

3次元型トランジスタを用いた半導体集積回路の高集積化（低コスト化）、高速化、低電力化に関する研究

令和3年3月

廣島佑

論文の概要

半導体集積回路はその基本構成要素である平面型トランジスタの微細化(スケーリング則)及び高集積化(ムーアの法則)により低コスト化、高速化、低消費電力化が実現され発展してきた。その平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近付いているため LSI の高集積化(低コスト化)、高速化、低消費電力化が出来なくなっている問題がある。本論文では、その問題を解決できる、3次元型トランジスタ(FinFET、ダブルゲート型トランジスタ)を用いた LSI の高集積化(低コスト化)、高速化、低消費電力化を実現するために必要となる、デバイス、回路設計、パターン設計技術を新たに提案した。以下に論文の内容を示す。

本論文の主な目的は前述したように3次元型トランジスタを用いた LSI の高集積化(低コスト化)、高速化、低電力化の実現であることをまず第1章で明記する。

第2章では各構造の3次元型トランジスタを用いた LSI の問題点の抽出とその解決策の方向付けを行う。まず平面型トランジスタの限界を克服できる有力な候補であるダブルゲートトランジスタを用いた LSI では、高集積化(低コスト化)のために1層型のダブルゲートトランジスタを用いた基本回路の新たな設計法(一方のゲート配線の上に厚い絶縁膜を介して別のゲート配線を形成する新レイアウト法)を提案する(第3章)。次にこれを更に積層化(2層型)した場合の基本回路の新たな設計法を提案する(第4章)。次に FinFET とダブルゲートトランジスタの低コスト化の指標となるパターン面積を基本的な論理回路で比較する(第5章)。

次に高集積化(低コスト化)同様に重要な LSI の高速化、低消費電力化に向け、3種類の3次元型トランジスタと、ゲート・基板間を接続する方式(DTMOS方式)を組み合わせた新たなデバイス・設計技術を提案する(第6章)。それぞれに FinFET (1層型でシリコン柱の上面で接続する場合)に関しては第6-2章、積層型 FinFET (2層型でシリコン柱の側面で接続する場合)に関しては第6-3章、SGTに関しては第6-4章で述べる。

従来 of ムーアの法則を延命させる新たな L S I の候補として本論文で提案した3次元トランジスタのデバイス、回路設計、パターン設計技術は将来の LSI の高集積化(低コスト化)、高速化、低消費電力化のために極めて有望である。

目次

1. 序論	1~16
1-1. 論文の背景	1
1-2. 論文の目的	9
1-3. 論文の構成	10
2. LSIの高集積化(低コスト化)、高速化、低電力化設計法	17~21
2-1. 3次元型トランジスタによる高集積化(低コスト化)	17
2-2. 3次元型トランジスタによる高速化、低消費電力化	17
2-3. 本論文で提案する3次元型トランジスタを用いたLSIでの新技術	18
3. 独立したゲートを持つダブルゲートトランジスタによるシステムLSIの新レイアウト設計法	22~35
3-1. 序論	22
3-2. 独立したゲートを持つダブルゲートトランジスタ	22
3-3. 従来ダブルゲート方式と提案方式の比較	23
3-4. 基本的な論理回路でのパターン面積縮小効果	25
3-5. 通信用システムLSI, DRAM用バッファ回路, 1bit-Full Adderでのパターン面積縮小効果	32
3-6. 結論	34
4. 独立したゲートを持つ積層型ダブルゲートトランジスタによるシステムLSIの設計法	36~51
4-1. 序論	36
4-2. スタック型3次元トランジスタの構造	36
4-3. 独立したゲートを持つスタック型3次元トランジスタの構造	37
4-4. 基本論理回路でのパターン面積縮小効果	39
4-5. 通信用システムLSIでのパターン面積縮小効果	42
4-6. DRAM用バッファ回路でのパターン面積縮小効果	43
4-7. パターン面積の側壁チャンネル幅依存性	44
4-8. NMOSとPMOSのチャンネル幅が異なる場合のパターン面積縮小効果	

果	4 6
4 - 9 . 配線領域の面積を考慮したパターン面積縮小効果	
果	4 7
4 - 1 0 . 結論	5 0

5. 各種 3 次元型トランジスタを用いた論理回路のパターン面積の比較検討

52~62

5 - 1 . 序論	5 2
5 - 2 . 検討に用いた 3 次元型トランジスタ	5 2
5 - 3 . 全加算器の回路図とパターンレイアウト図	5 3
5 - 4 . 全加算器のパターン面積の回路方式、3 次元型トランジスタの構造依存性の解析	5 9
5 - 5 . 素子、配線、素子間等その他の領域の各領域に分けてのパターン面積の解析	6 0
5 - 6 . 結論	6 2

6. 3 次元型トランジスタを用いた DT MOS による LSI の高速、低電力設計法

63~90

6 - 1 . 序論	6 3
6 - 2 . シリコン柱の上部でゲートと基板を接続する FinFET 型 DT MOS の提案と設計法	6 3
6 - 2 - 1 . 序論	6 3
6 - 2 - 2 . FinFET 型 DT MOS の構成	6 4
6 - 2 - 3 . NAND 回路等でのパターン面積の縮小効果	6 4
6 - 2 - 4 . 全加算器等の論理回路のパターン面積縮小効果	6 6
6 - 2 - 5 . FinFET 型 DT MOS と FinFET の併用方式	6 9
6 - 2 - 6 . 結論	6 9
6 - 3 . シリコン柱の側面でゲートと基板を接続する積層構造 DT MOS の提案と設計法	7 0
6 - 3 - 1 . 序論	7 0
6 - 3 - 2 . 積層型 DT MOS の構造	7 1
6 - 3 - 3 . 積層構造 DT MOS 導入による動作時間の低減	7 3
6 - 3 - 4 . 基本的な論理回路での面積縮小効果	7 6
6 - 3 - 5 . 全加算器、通信用 LSI 等での面積縮小効果	7 8

6-3-6. 今後の展望	81
6-3-7. 結論	82
6-4. SGT 型 DT MOS の提案と設計法	83
6-4-1. 序論	83
6-4-2. SGT 型 DT MOS の構成、製造方法、動作速度	83
6-4-3. SGT 型 DT MOS を用いた論理回路のパターン面積と遅延時間の低減	86
6-4-4. 結論	89
7. 結論	92~97
7-1. 結論の要約	92
7-2. 将来の展望	94
謝辞	99
研究業績：発表論文、口頭発表、解説記事	100~102

1. 序論

1-1. 論文の背景

LSI は過去ムーアの法則にしたがって平面型トランジスタの微細化が進み、大容量化、低コスト化、高速化、低消費電力化が着実に進められてきた。その結果ロジック LSI の代表である MPU (Micro Processor Unit) では 10 億個以上の平面型トランジスタを用いた GHz 動作が実現され、メモリ LSI の中で最も大容量化が進んだ平面型トランジスタを用いた NAND 型フラッシュメモリでは 64Gbit まで大容量化が進められている[1]。しかしながらこの平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近付いている。

現在の LSI ではシリコン基板の表面に平面上にトランジスタが形成されるいわゆる平面型トランジスタを基本単位として、それを複数個シリコン基板上に配列して異なる平面型トランジスタの間を配線で接続する構成を用いている。LSI で複雑な機能を実現するためには多数の平面型トランジスタが必要になる。図 1-1 に平面型トランジスタの構造を示す。シリコン基板 (後述する方式との関係でシリコン柱とも呼ぶ) の上にゲート絶縁膜を介してゲートが横方向に走る構成を用いている。電流はドレインからソースに横方向に流れる。

LSI では過去ムーアの法則に従い着実に平面型トランジスタ数が 18 カ月 (1 世代) で 2 倍に増加し、現在数十億個の平面型トランジスタが集積されている[2]。平面型トランジスタの面積が大きいとその LSI は非常に大きくなり動作性能と製造コスト的に現実的な LSI は実現できない。この問題を解決するため、過去平面トランジスタの寸法を 1 世代で長さ方向に 0.7 倍に縮小するスケールリング則[3]を用いてきた。スケールリング則によると平面型トランジスタは図 1 の縦、横、高さ方向に同じ割合 (0.7 倍) に縮小すると小型化されるだけでなく、高速化、低消費電力化も併せて実現できる特徴がある。すなわち LSI では過去半世紀近くムーアの法則とスケールリング法則を指導原理として LSI の高集積化 (1 平方ミリ程度の小さな LSI の面積に平面型トランジスタ数を増やすこと)、高速化、低消費電力を実現してきた。

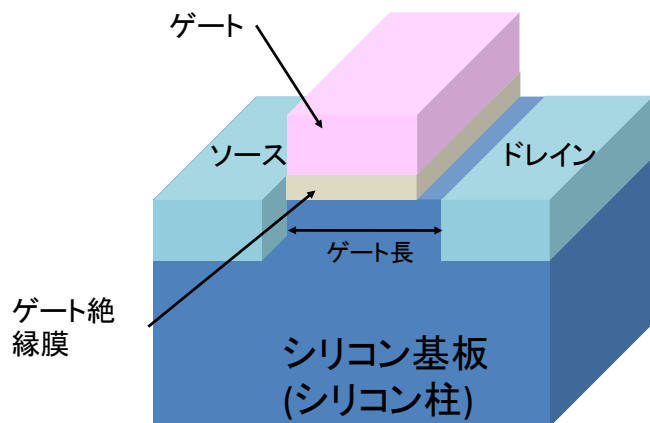
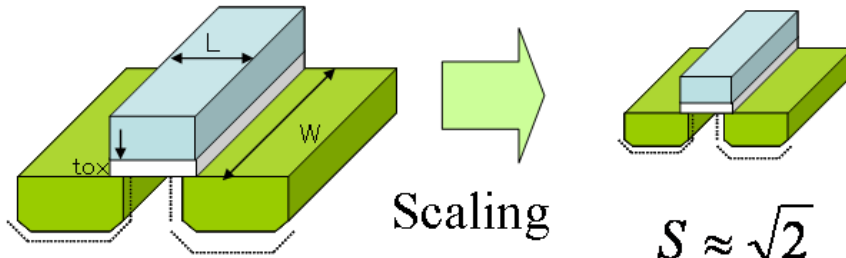


図 1-1. 平面型トランジスタの構成

スケーリング則はLSIの黄金則である



$$S \approx \sqrt{2} \quad \text{動作電圧も} 1/S \text{にする}$$

Device/Circuit parameter	Scaling Factor
Device dimensions L, W, Tox	1/S
Doping concentration	S
Voltage	1/S
Field	1
Current	1/S
Gate Delay	1/S
Power dissipation/device	1/S ²

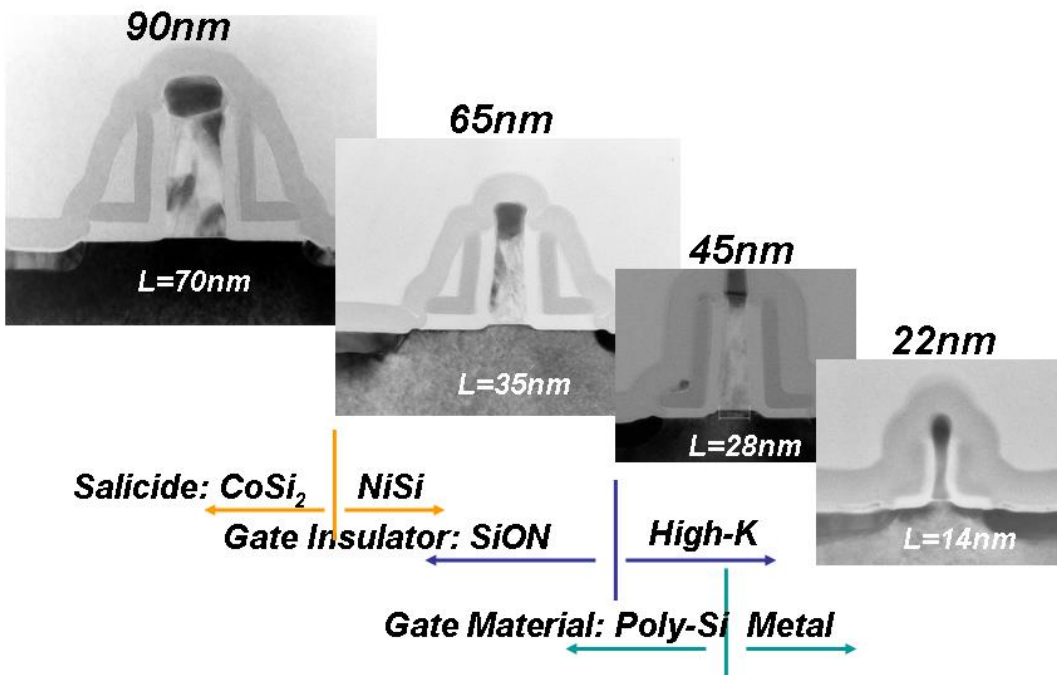
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

東工大 松澤教授講義より

図 1-2. 平面型トランジスタのスケーリング則を説明する図



東芝 データ

図 1-3. 平面型トランジスタのプロセス技術の推移

図 1-2 にスケージング則の説明図を示す。S の値が 1 から 2 になるとチャンネル長，チャンネル幅，ゲート酸化膜の厚さが半分になる。動作電圧も半分になり，電流やゲートの遅延時間も半分になる。その結果消費電力も 1/4 に削減できる[4][5]。そのスケージング則にしたがって平面型トランジスタはどんどん微細化されていった。図 1-3 に示すようにプロセス技術が進みトランジスタが微細化されていくと必要になる技術も変わってくる。ゲート酸化膜の厚さが薄くなりゲートリークが顕著になってくると困るのでゲート絶縁膜は High-K になりつつある。ゲートの材料もポリシリコンからメタルに変わりつつある。Intel が発表した CPU は High-K ゲート絶縁膜とメタルゲートの技術が使われている。[6]-[11]

しかしながら過去 40 年以上続いた平面型トランジスタの微細化もそろそろ限界に近づいている。従来から使われている平面型トランジスタでは、トランジスタの寸法が小さくなりすぎるとトランジスタの動作を制御できなくなるいわゆるショートチャンネル効果が大きくなる問題が起こる。トランジスタの寸法（正確にはゲート長（図 1-1 参照）と呼ばれる）は 20nm 世代になるとこの効果が顕著になる。つまり平面型トランジスタの重要な特性であるオン電流，ショートチャンネル効果，消費電力 or リーク電流のバランスをとりながら設計を行うことが困難になってきている（図 1-4）。つまりオン電流を多く流すためには動作電圧を上げたり，しきい値電圧を下げたりしてたくさんの電流を流せばよい。しかし動作電圧を上げると 2 乗に比例して消費電力が増えてしまう。しきい値電圧を下げるとサブスレッショルドリークが指数関数的に増加してしまうので最近ではこれらのバランスをとるのが非常に難しくなっている。

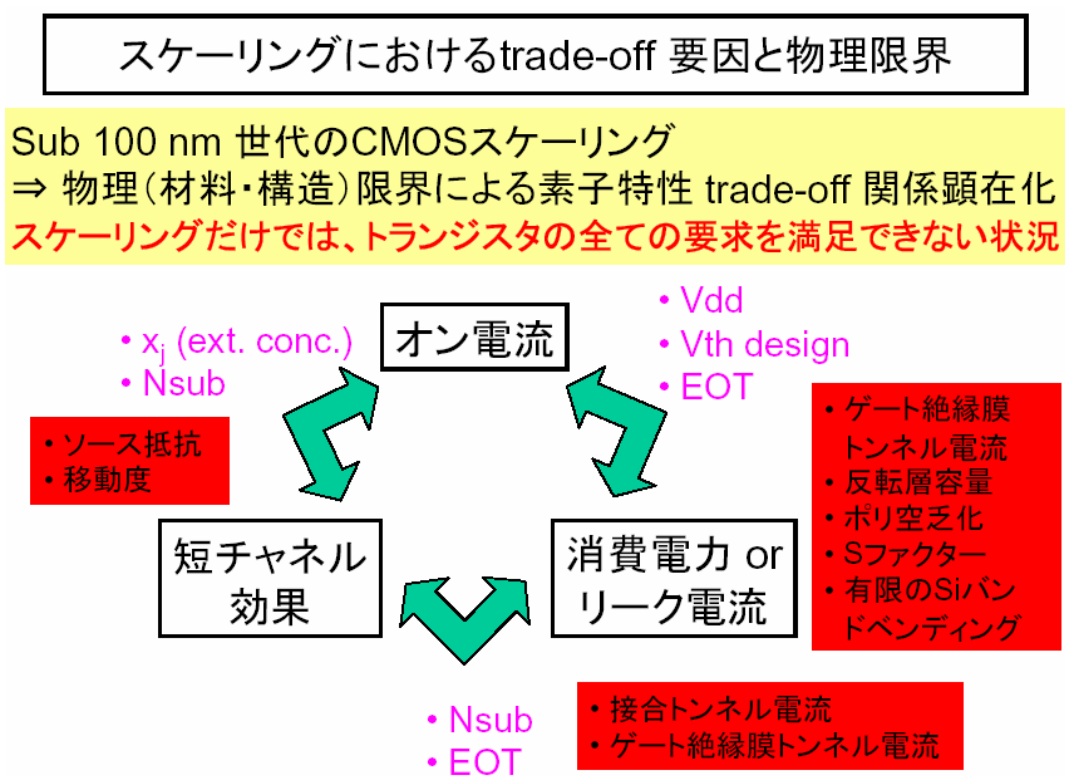


図 1-4. 平面型トランジスタの微細化の限界を説明する図

その結果 2010 年頃まではスケーリング則に従ってトランジスタの微細化が進められたが、それ以降は微細化のスピードが急激に落ちている状況にある (図 1-5) [12]。そのため従来通りのムーアの法則によるトランジスタ数の増加やスケーリング則による L S I の高速化や低消費電力化が次第に困難になってきている (図 1-6) [13]- [40]。

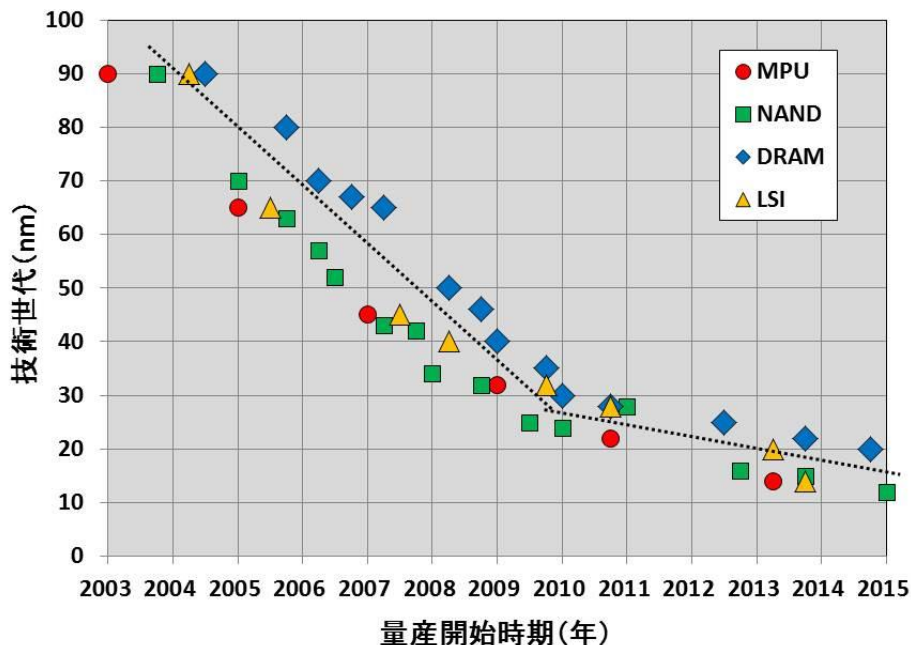
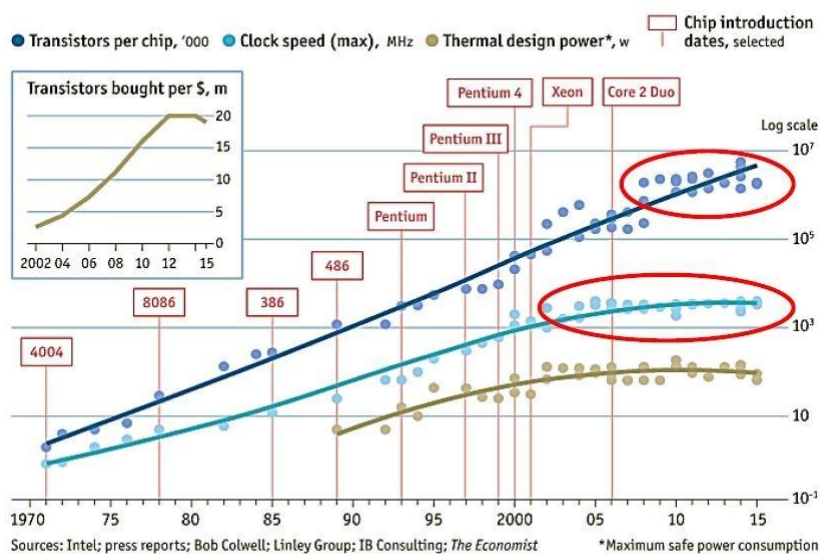


図1 急ブレーキがかかる微細化

出所: 日経エレクトロニクス、2015年4月号、30ページの図30

図 1-5. 平面型トランジスタの微細化の推移

Moore's Law Challenges



Credit: Economist, 2016

図 1-6. 平面型トランジスタの微細化の鈍化による高集積化、高速化、低消費電力化の鈍化

図 1-6 に示すように 2010 年以降高速化、低消費電力化が困難になるだけでなく 1 個のシリコンチップの上に多数のトランジスタを搭載する高集積化も困難になっている。LSI においては高機能化のために高集積化は必要不可欠だがそれも困難になりつつある。

これらの平面型 LSI での微細化等の問題を解決するため、ショートチャネル効果に強い 3 次元型トランジスタが開発された。その代表例が FinFET[41]-[67]やダブルゲート型 FET[68]-[74]や SGT(Surrounding Gate Transistor)[75] -[91]である。

図 1-7 に FinFET の構造を示す。ショートチャネル効果を抑制するためには電流が流れるシリコン柱を出来るだけゲートで囲む構成が適していることが知られている。従来の平面型トランジスタでは図 1-1 にも示したようにシリコン柱の上にゲートが走る構成を用いている為、シリコン柱は 1 面のみゲートに接している。それに対して FinFET は 3 方向がゲートに囲まれている為、微細なトランジスタでも比較的容易にショートチャネル効果を抑制できる特徴がある。この制御性の良さにより平面型トランジスタ以上の高速動作、低消費電力特性を実現し、パターン面積の縮小にも貢献出来る可能性がある。以上のように色々な特徴がある 3 次元型トランジスタの唯一の欠点は製造技術の複雑さにある。このため過去その潜在的に優れた特性にもかかわらず、製品に使われることは無かった。それが 6 年前に初めてインテルのマイクロプロセッサに使用されることになり [92] -[94]、3 次元型トランジスタの時代に突入することになった。今まで問題となっていた製造技術の複雑さも、長年の努力によって克服され、平面型トランジスタより僅か数パーセント多い製造コストの増加で(増加分は側壁のためのトレンチ形成による)、実現することが可能になった。今後 3 次元型トランジスタの中で最も構造が簡単で製造しやすい FinFET がマイクロプロセッサ以外の各種システム LSI に使用されていくと予想される。

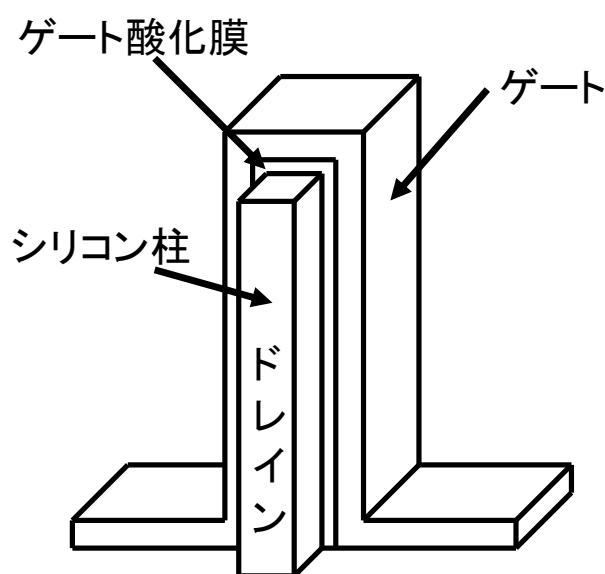


図 1-7. FinFET の構成

前述した FinFET の左右の側壁部分に別々の信号を入力することによってパターン面積の縮小が可能になるのが独立したゲートを持つダブルゲートトランジスタである. この特徴から 1 つの FinFET で 2 入力の論理を実現することが可能である (図 1-8). NAND や NOR などの論理回路ではトランジスタの直列接続や並列接続が必要となる. そこでそれらを区別するために独立したゲートを持つダブルゲートトランジスタでは, 基板の不純物濃度やゲート材料の仕事関数等を調節し, 入力 A と入力 B の両方がハイレベルになった時に基板の中心部分に電流が流れるようにすることによって, トランジスタの直列接続を実現している. 並列接続は基板の不純物濃度等を直列接続の時と違う値に変えて, 入力 A と入力 B のどちらかがオンになった時に基板の表面に電流が流れるようにしている (図 1-9). 2 入力 NAND は NMOS では直列接続型, PMOS では並列接続型を用いることにより平面型の半分の 2 個のトランジスタで実現することが出来る. 以上のように左右の 2 側面をゲートに使用するた

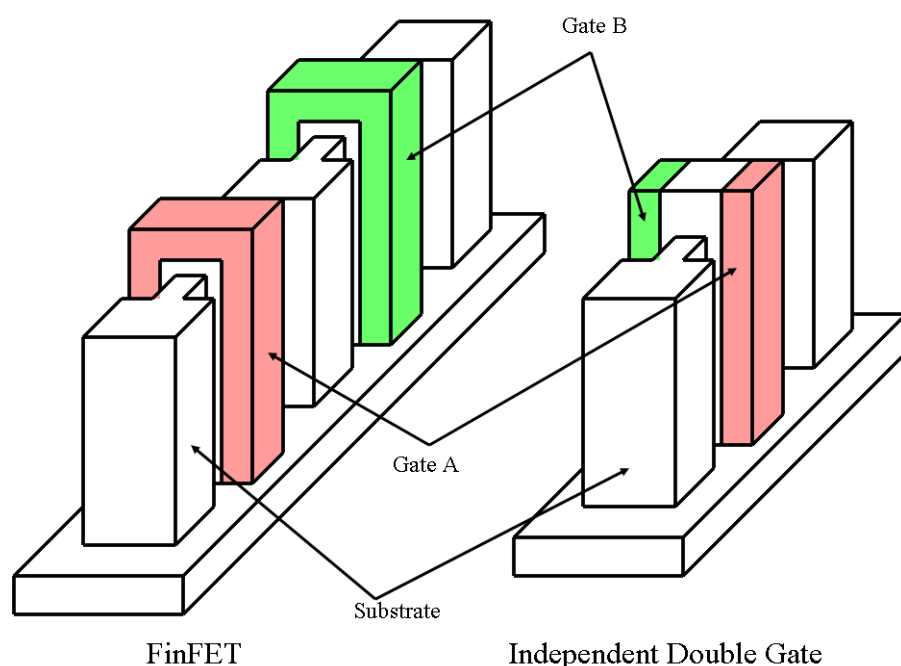


図 1-8. ダブルゲート型トランジスタの構成 (FinFET との比較を示す)

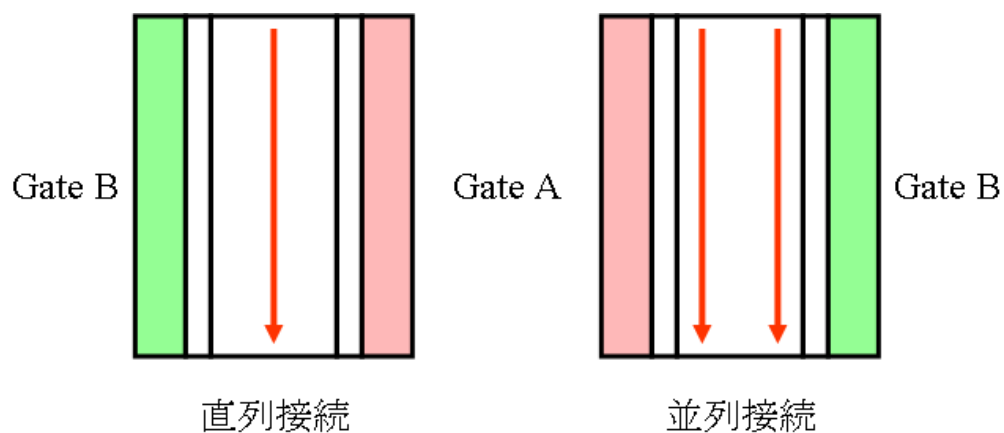


図 1-9. ダブルゲート型トランジスタによる直列接続と並列接続の実現

めに FinFET 同様にショートチャネル効果を抑えられるのみならず、左右に独立した入力信号を入れることによりトランジスタ数を低減できる特徴もある。しかしながら FinFET と比較して製造技術が若干困難になるためまだ研究開発段階にあり、ほとんど製品化は行われていない。今後のダブルゲートトランジスタの製造技術の進展に合わせたその論理 LSI での回路設計関連の研究が強く望まれている。

FinFET とダブルゲートトランジスタは、電流はドレインからソース電極に向かって横方向に流れる 3 次元型トランジスタであるのに対し、電流が縦方向に流れる 3 次元型トランジスタが SGT である。図 1-10 に SGT の構造を示す。チャンネルになるシリコン柱を 4 方向から囲む形でゲート電極が形成されるため、FinFET 以上にゲート電極によるチャンネルの制御が容易になる特徴がある。また FinFET 同様に平面型トランジスタと比較してパターン面積を縮小できる特徴がある。SGT は以上のような特徴があるもののその製造技術は FinFET 以上に困難であるため、現時点までに 3D フラッシュメモリや DRAM 以外の論理 LSI には使われていない。そのため SGT に関する研究もトランジスタ単体レベルや DRAM 等のメモリレベルに止まっているのが現状である。今後の SGT の製造技術の進展に合わせたその論理 LSI での回路設計関連の研究が強く望まれている (SGT は縦方向に積層すると超低コストを実現できるためにフラッシュメモリのメモリ部分として利用され製品化されている [95]- [98]。ゲート電極とゲート電極間の層間絶縁膜の積層をひとつの製造工程のセットとして、このセットを積層する層数だけ繰り返した後に、一括して基板の一番下までトレンチを形成し、積層数分だけまとめて同一の工程でメモリセルを形成する製造技術である。多段積層縦型トランジスタ構造を導入することにより、積層することにより大容量化できるだけでなく、ビットコストを積層しない 1 層構造と比較して大幅に低減することが初めて可能になった。この製造工程は別名 BiCS 方式とも呼ばれている)。

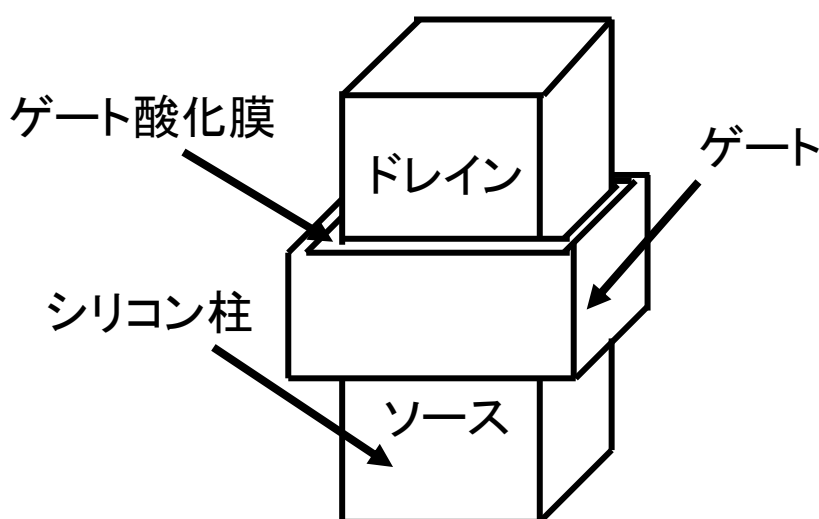
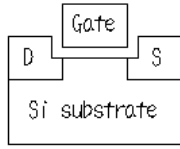
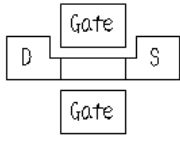
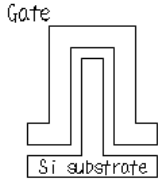
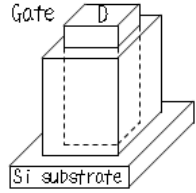
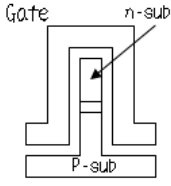


図 1-10. SGT の構成

以上の 3 次元型トランジスタの提案当初の形状及びその特性を表 1-11 に示す。

表 1-11 3次元型トランジスタの提案当初の形状及びその特性

	平面型	ダブルゲート	FinFET	SGT	スタック型
断面図					
トランジスタの微細化	困難	容易	容易	容易	容易
パターン面積の縮小効果	無い	高い	高い	高い	高い
製造技術	容易	比較的容易	比較的容易	困難	困難
設計技術	既存	一部新規	一部新規	新規	新規

今までに述べた 3次元型トランジスタの導入によりトランジスタの微細化は延命されるが、トランジスタの寸法が 10nm 程度に更に微細化されると、3次元型トランジスタでもショートチャネル効果の抑制は困難になる。また前述したように LSI はトランジスタと配線から構成されているが、以上のようなトランジスタ構造の改良は配線の微細化に関する問題を改善することが出来ない。配線の微細化は主に配線の微細加工技術の進展に依存するが、その基本となるリソグラフィ技術が限界に達しつつあり、今後の配線の更なる微細化が困難になっている。つまり、トランジスタ構造と配線構造の両面で、現在の主流であるいわゆる平面型論理回路は微細化の限界に達している。

以上 3種類のショートチャネル効果に強い、従来の平面型トランジスタ以上に微細化に適した 3次元型トランジスタについて述べた。いずれのトランジスタも微細化に適している為それを用いた LSI の高集積化（トランジスタ数を増やす）と微細化（トランジスタのパターン面積を縮小する）に適している特徴がある。またトランジスタの閾値電圧の制御が容易な為、3次元型トランジスタを用いた LSI の高速化と低消費電力化にも適している。

以上のような特徴をもつ 3次元型トランジスタであるが、その研究はトランジスタ単体レベルにとどまっている。現在製品化されている FinFET を用いている LSI では、LSI 上に基本単位の FinFET を配置するだけで、FinFET 固有の回路設計法は提案されていない。また基本単位の FinFET は 1種類のみで、更なる高集積化（低コスト化）のためのデバイス技術は提案されていない。更に FinFET の構造と従来から平面型トランジスタで用いられてきた高速・低消費電力技術を組み合わせた新たなデバイス・設計技術は提案されていない。一方ダブルゲートトランジスタに関してはまだ研究レベルなため、FinFET 以上に研究が遅

れている。NAND 回路や NOR 回路レベルの回路設計法がまだ提案されておらず、ダブルゲートトランジスタ固有の回路設計法 (FinFET と異なり左右に異なる入力信号を入れることが可能) は提案されていない。更にダブルゲートトランジスタの構造と従来から平面型トランジスタで用いられてきた高速・低消費電力技術を組み合わせた新たなデバイス・設計技術は提案されていない。

更に各種 3 次元型トランジスタのうちどの構造が高集積化 (低コスト化)、高速化、低電力化に適しているか比較した研究はほとんど行なわれていない。

1-2. 論文の目的

本論文では 1-1 節に述べた 3 次元型トランジスタを用いた LSI の高集積化 (低コスト化)、高速化、低消費電力化に関して述べる。3 次元型トランジスタとしては現在最も注目されている前述したダブルゲートトランジスタ、FinFET を研究対象とする。

現在製品化されている FinFET を用いている LSI では、LSI 上に基本単位の FinFET を配置するだけで、FinFET 固有の回路設計法は提案されていない。

また FinFET の構造と従来から平面型トランジスタで用いられてきた高速・低消費電力技術を組み合わせた新たなデバイス・設計技術は提案されていない。本論文では FinFET の構造と平面型トランジスタで用いられてきたゲートと基板を接続する方式 (DTMOS 方式) [99] を組み合わせた新たなデバイス・設計技術を提案することを目的とする。これにより FinFET の閾値電圧を動的に制御し、従来の静的な閾値電圧の場合と比較して高速・低消費電力特性を実現できる。

一方まだ研究レベルにあるダブルゲートトランジスタは、FinFET 以上に研究が遅れており、NAND 回路レベルの基本論理回路設計法がまだ提案されておらず、ダブルゲートトランジスタ固有の回路設計法が提案されていない。また更なる高集積化 (低コスト化) のための回路・デバイス技術は提案されていない。本論文ではダブルゲートトランジスタを用いた NAND 回路レベルの基本論理回路設計の設計法を新たに提案することを目的としている。この提案を用いたシステム LSI では単純にダブルゲートトランジスタを配置した従来の設計法と比較してパターン面積の縮小により大幅に高集積化 (低コスト化) 出来る。またダブルゲートトランジスタを縦方向に積層する基本論理回路の新たな設計法を提案する。これにより前述した 1 層型のダブルゲートトランジスタを用いた基本論理回路設計の設計法と比較して大幅にパターン面積の縮小により高集積化 (低コスト化) 出来る。

また FinFET 同様にダブルゲートトランジスタでゲートと基板を接続する方式 (DTMOS 方式) を組み合わせた新たなデバイス・設計技術を提案する。

FinFET とダブルゲートトランジスタはトランジスタ構造が類似しているにも関わらず高集積化 (低コスト化) の指標となるパターン面積を論理回路で比較されていない。本論文では基本論理回路での両者のパターン面積の比較を初めて行う。

1-3. 論文の構成

本論文の具体的な構成を図 1-12 に示す。

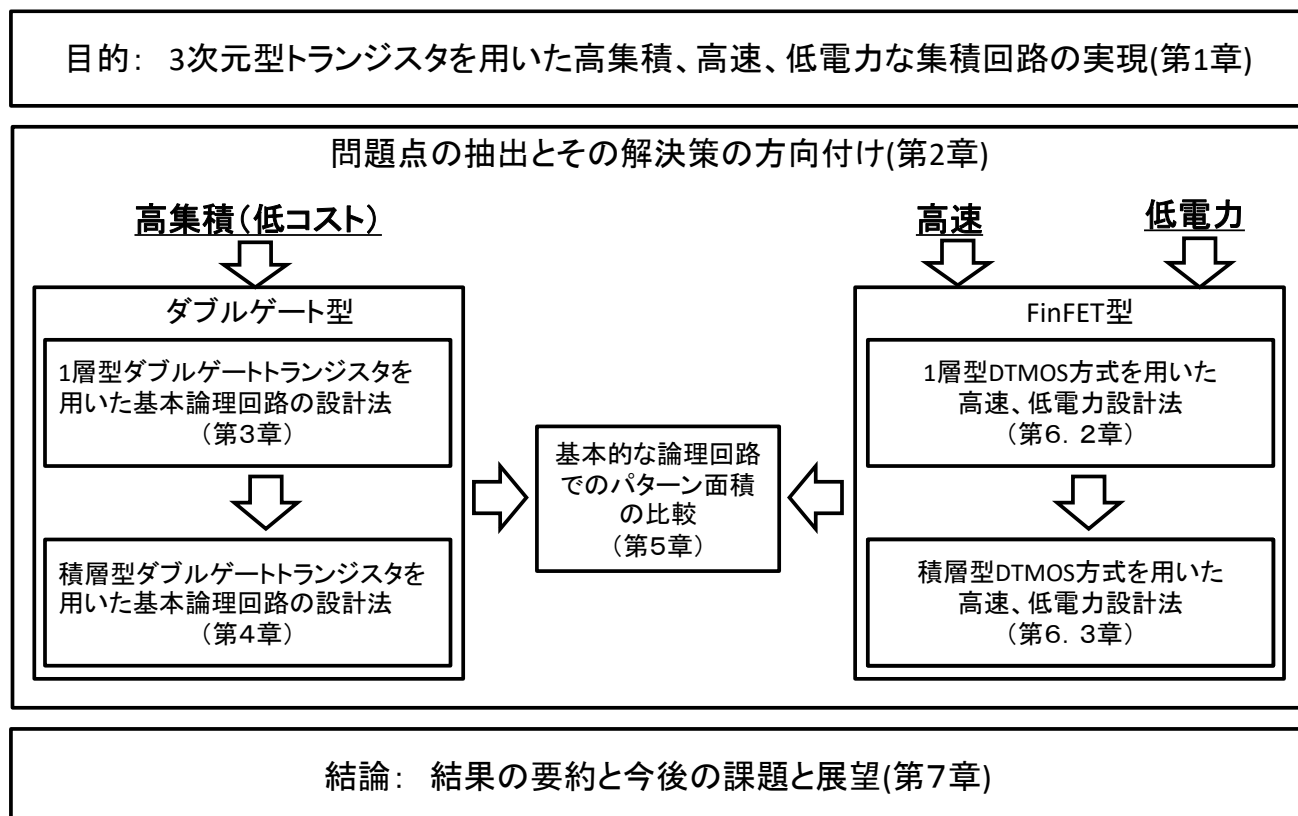


図 1-12. 本論文の構成

本論文の主な目的は前述したように 3 次元型トランジスタを用いた LSI の高集積化（低コスト化）、高速化、低電力化の実現である（第 1 章）。

第 2 章では各構造の 3 次元型トランジスタを用いた LSI の問題点の抽出とその解決策の方向付けを行う。まず平面型トランジスタの限界を克服できる有力な候補であるダブルゲートトランジスタを用いた LSI では、高集積化（低コスト化）のために 1 層型のダブルゲートトランジスタを用いた基本回路の新たな設計法を提案する（第 3 章）。次にこれを更に積層化（2 層型）した場合の基本回路の新たな設計法を提案する（第 4 章）。次に FinFET とダブルゲートトランジスタの低コスト化の指標となるパターン面積を基本的な論理回路で比較する（第 5 章）。

次に高集積化（低コスト化）同様に重要な LSI の高速化、低消費電力化に向け、3 種類の 3 次元型トランジスタと、ゲート・基板間を接続する方式（DTMOS 方式）を組み合わせた新たなデバイス・設計技術を提案する（第 6 章）。それぞれ FinFET に関しては第 6-2 章、

積層型 FinFET に関しては第 6-3 章、SGT に関しては第 6-4 章で述べる。

最後に第 7 章で結果の要約と今後の課題と展望について述べる。

第 1 章の参考文献

- [1] M. Sako et al., "A Low-Power 64Gb MLC NAND-Flash Memory in 15nm CMOS Technology", ISSCC Dig. Tech. Papers, 2015.
- [2] 渡辺重佳、廣島佑、横田智弘、玉井翔人、佐藤匠、“ムーアの法則以降の新しい半導体メモリとトランジスタの技術動向”、湘南工科大学紀要、Vol.50, no.1, pp.39-47, 2016.
- [3] Dennard, Robert H., Gaensslen, Fritz, Yu, Hwa-Nien, Rideout, Leo, Bassous, and Ernest LeBlanc, Andre, "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid State Circuits. SC-9, No.5, 1974.
- [4] International Technology Roadmap For Semi-conductors 2001 edition pp.179-180.
- [5] G.E.Moore, "No exponential is Forever: but "Forever" can be delayed!", ISSCC Dig. Tech. Papers, 2003.
- [6] T. Sato, Y. Takeishi and H. Hara, "Mobility anisotropy of electrons in inversion layers on oxidized silicon surfaces", Phys. Rev. B, Condens. Matter, Vol.4, pp.1950-1960, 1971
- [7] M. Kinugawa, M. Kakumu, T. Usami and J. Matsunaga, "Effects of silicon surface orientation on submicron CMOS devices", IEDM Tech. Dig., pp.581-584, 1985.
- [8] L. Chang, M. Jeong and M. Yang, "CMOS circuit performance enhancement by surface orientation optimization", IEEE Trans. Electron Devices, Vol.51, no.10, pp.1621-1627, 2004.
- [9] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai and S. Takagi, "(110)-surface strained-SOI CMOS device", IEEE Trans. Electron Devices, Vol.52, no.3, pp.367-374, 2005.
- [10] W. Rosner, E. Landgraf, J. Kretz, L. Dreeskornfeld, H. Schaffer, T. Schulz, F. Hofmann, R. Luyken, M. Specht, J. Hartwich, W. Pamler, and L. Risch, "Nanoscale FinFETs For low power applications", Solid-State Electronics, Vol.48, pp.1819-1823, 2004.
- [11] M. Yang, et al., "Hybrid-Orientation Technology (HOT): Opportunities and Challenges," IEEE Trans. Electron Devices, vol.53, no.5, pp.965-978, May, 2006.
- [12] 日経エレクトロニクス 2015年4月号
- [13] 桜井、他、“低消費電力、高速 LSI 技術”、リアライズ社 1998 年。
- [14] S. Lo, D. Buchanan, Y. Taur and W. Wang, "Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin oxide NMOSFETs," IEEE Trans. Electron Device Lett., vol.18, no.5, pp. 209-211, 1997.
- [15] T. Douseki, T. Shimamura, K. Fujii and J. Yamada, "Energy-reduction effect of ultralow-voltage MTCMOS/SIMOX circuits using a graph with equispeed and equienergy lines," IEICE Trans. Electron., vol.E38-C, no.2, pp.212-219, 2000.
- [16] T. Kuroda, T. Fujita, S. Mita, T. Nagamatu, S. Yoshioka, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kato, M. Kinugawa, M. Kakumu and T. Sakurai, "A 0.9-V, 150-MHz, 10-mW, 4mm², 2D discrete cosine transform core processor with variable threshold-voltage (VT) scheme," IEEE JSSC vol.31, no.11, pp.1770-1779, 1996.
- [17] 渡辺：微細 MOSFET のゲートリーク電流の低消費電力用 2 電源方式に及ぼす影響の検討、電子情報通信学会和文誌 C, VolJ86-C, no.6, pp.658-660, 2003 年 6 月。
- [18] 渡辺：微細 MOSFET のリーク電流を考慮したシステム LSI の高速低消費電力設計法の検討、電子情報通信学会和文誌 C, VolJ86-C, no.9, pp.1034-1037, 2003 年 9 月。
- [19] T. Sakurai and R.A. Newton., "Alpha-power law MOSFET model and its application to CMOS

- inverter and other Formulas,” IEEE JSSC vol.25, no.4, pp.584-594, 1990.
- [20]K. Kanda et al., “ Design impact of positive temperature dependence on drain current in sub-1-V CMOS LSIs,” IEEE JSSC vol.36, no.10, pp.1559-1564, 2001.
- [21]A. Chandrakasan, S. Sheng and R. Broderson, “Low-power CMOS digital design,” IEEE JSSC vol.27, no.4, pp.473-484, 1992.
- [22]G. Almasi and A. Gottlieb, “Highly parallel computing”, Benjamin/Cummings, 1982.
- [23]新井、他、“マイクロプロセッサ”、電子情報通信学会誌 vol.81, no.11, pp.1107-1112, 1998.
- [24]G. Gerosa et al, “A 250-MHz 5-W PowerPC microprocessor with on-chip L2 cache controller,” IEEE Journal of Solid-State Circuits, vol.32, no.11, pp.1635-1649, Nov. 1997.
- [25]C. Akrouf et al, “A 480-MHz RISC micro-processor in a 0.12-um LeFF CMOS technology with copper interconnects,” IEEE Journal of Solid-State Circuits, vol.33, no.11, pp.1609-1616, 1998.
- [26]S. Park et al, “A 0.25-um, 600-MHz, 1.5-V, Fully depleted SOI CMOS 64-bit microprocessor,” IEEE Journal of Solid-State Circuits, vol.34, no.11, pp.1436-1445, Nov. 1999.
- [27]M. Miyazaki et al, “A 1.2-GIPS/W micro-processor using speed-adaptive threshold-voltage CMOS with Forward bias,” IEEE Journal of Solid-State Circuits, vol.37, no.2, pp.210-217, Feb. 2002.
- [28]C. Webb and J. Schtz, “A scalable X86 CPU design For 90nm process”, ISSCC Dig. Tech. Papers, 2004.
- [29]S. NaFFziger et. Al., “The implementation of a 2-core multi-threaded Itanium Family processor” (Montecito), ISSCC Dig. Tech. Papers, 2005.
- [30]A. Jain et al, “ A 1.2GHz Alpha microprocessor with 44.8GB/s chip pin bandwidth,” ISSCC Dig. Tech. Papers pp.128-129, 2001.
- [31]S. Watanabe et al, “An experimental 16-Mbit CMOS DRAM chip with a 100-MHz serial read/write mode,” IEEE Journal of Solid-State Circuits, vol.24, no.3, pp.763-770, Mar. 1989.
- [32]Y. Oowaki et al, “A 33-ns 64-Mb DRAM,” IEEE Journal of Solid-State Circuits, vol.26, no.1, pp.1498-1505, Nov. 1991.
- [33]S. Mori et al, “A 45-ns 64-Mb DRAM with a merged match-line test architecture,” IEEE Journal of Solid-State Circuits, vol.26, no.11, pp.1486-1492, Nov. 1991.
- [34]A. Tanabe et al, “A 30-ns 64-Mb DRAM with built-in self-test and self-repair Function,” IEEE Journal of Solid-State Circuits, vol.27, no.11, pp.1525-1533, Nov. 1992.
- [35]M. Taguchi et al, “A 40-ns 64-Mb DRAM with 64-b parallel data bus architecture,” IEEE Journal of Solid-State Circuits, vol.26, no.11, pp.1493-1497, Nov. 1991.
- [36]T. Yamada et al, “A 64-Mb DRAM with meshed power line,” IEEE Journal of Solid-State Circuits, vol.26, no.11, pp.1506-1510, Nov. 1991.
- [37]D. Takashima et al., “Open-Folded bit-line arrangement For ultra-high-density DRAMs,” IEEE Journal of Solid-State Circuits, vol.29, no.4, pp.539-542, Apr. 1994.
- [38]C. Yoon et al, “An 80/20-MHz 160-mW multimedia processor integrated with embedded DRAM, MPEG-4 accelerator, and 3-D rendering engine For mobile applications,” IEEE Journal of

- Solid-State Circuits, vol.36, no.11, pp.1758-1767, Nov. 2001.
- [39]T. Yamamoto et al, "A mixed-signal 0.18um CMOS SoC For DVD systems with 432-M sample/s PRML read channel and 16-Mb embedded DRAM," IEEE Journal of Solid-State Circuits, vol.36, no.11, pp.1785-1794, Nov. 2001.
- [40]S. Kumaki et al, "A 99-mm² 0.7-W single-chip MPEG2 422P@ML video, audio, and system encoder with a 64-Mb embedded DRAM For portable 422P@HL encoder system," IEEE Journal of Solid-State Circuits, vol.37, no.3, pp.450-454, March 2002.
- [41]K. Hieda, F. Horiguchi, H. Watanabe, K. Sunouchi, and H. Hamamoto, "Effect of a new trench-isolated transistor using sidewall gate," IEEE Trans. Electron Devices, vol.36, no.9, pp.1615-1619, 1989.
- [42]D. Hisamoto et al., "FinFET-A self-aligned double gate MOSFET scalable beyond 20nm," IEEE Trans. Electron Devices, vol.47, no.12, pp.2320-2325, Dec. 2000.
- [43]X. Huang et al., "Sub-50nm P-channel FinFET," IEEE Trans. Electron Devices, vol.48, no.5, pp.880-886, May, 2001.
- [44]N. Lindert et al., "Sub-60nm quasi-planar FinFET Fabricated using a simplified process," IEEE Electron Devices Letters, vol.22, no.10, pp.487-489, Oct. 2001.
- [45]S. Watanabe, IEICE Trans. Electron, vol.J82-C-II, no.11, pp.645-647, 1999.
- [46]S. Tang, et al., "FinFET A quasi-planar double-gate MOSFET," in ISSCC Tech. Dig., pp. 118-119, Feb. 2001.
- [47]B. Rainey et al., "Demonstration of FinFET CMOS circuits," in DRC Tech. Dig., pp.47-48, May. 2002.
- [48]E. Nowak, et. al., "A Functional FinFET-DGCMOS SRAM cell," in IEDM Tech. Dig., pp.411-414, Dec. 2002.
- [49]渡辺重佳、"TISを用いたギガビットDRAMのゲート絶縁膜信頼性の解析" 電子情報通信学会和文誌 C-II、Vol.J82-C-II, no.11, pp.645-647, 1999.
- [50]渡辺重佳、"TISを用いたバッファ回路の新設計法とその大容量DRAMへの適用検討" 電子情報通信学会和文誌 C、Vol.J86-C, no.3, pp.301-306, 2003.
- [51]渡辺重佳、"TISを用いたシステムLSIの設計法" 電子情報通信学会和文誌 C、Vol.J88-C, no.12, pp.1208-1218, 2005.
- [52]Watanabe, S., 'Design methodology For system LSI with TIS,' Electronics and Communications in Japan, Wiley, 2006, 89, (11), pp.1-12.
- [53]S.-W. Chung, et al., "Highly Scalable Saddle-Fin(S-Fin) Transistor For Sub-50nm DRAM Technology," Symp. VLSI Technology, Dig. Tech. Papers, pp.40-41, June. 2006.
- [54]M. Yoshida, et al., "Full FinFET DRAM Core integration Technology Using a Simple Selective Fin Formation Technique," Symp. VLSI Technology, Dig. Tech. Papers, pp.42-43, June. 2006.
- [55]M. Kido, et al., "Vertex Channel Field Effect Transistor (VC-FET) Technology Featuring high performance and Highly Manufacturable Trench Capacitor DRAM," Symp. VLSI Technology, Dig. Tech. Papers, pp.44-45, June. 2006.

- [56] J. Kavalieros, et al., "Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates and Strain Engineering," Symp. VLSI Technology, Dig. Tech. Papers, pp.62-63, June. 2006.
- [57] N. Collaert, et al., "Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SC-SSOI) and CESL," VLSI Technology, Dig. Tech. Papers, pp.64-65, June. 2006.
- [58] H. Shang, et al., "Investigation of FinFET Devices For 32nm Technologies and Beyond," VLSI Technology, Dig. Tech. Papers, pp.66-67, June. 2006.
- [59] T.-Y. Liow, et al., "Strained N-Channel FinFETs with 25nm Gate Length and Silicon-Carbon Source/Drain Regions For Performance Enhancement," VLSI Technology, Dig. Tech. Papers, pp.68-69, June. 2006.
- [60] L.-E. Yu, et al., "Sub-5nm All-Around Gate FinFET For Ultimate Scaling," VLSI Technology, Dig. Tech. Papers, pp.70-71, June. 2006.
- [61] M.S. Kim, et al., "122 Mb High Speed SRAM Cell with 25nm Gate Length Multi-Bridge-Channel MOSFET (MBCFET) on Bulk Si Substrate," VLSI Technology, Dig. Tech. Papers, pp.84-85, June. 2006.
- [62] H. Kawasaki, et al., "Embedded Bulk FinFET SRAM Cell Technology with Planar FET Peripheral Circuit For hp32 nm Node and Beyond," VLSI Technology, Dig. Tech. Papers, pp.86-87, June. 2006.
- [63] S.M. Kim, et al., "TiN/HFSiO_x Gate Stack Multi-Channel Field Effect Transistor (McFET) For sub 55nm SRAM Application," VLSI Technology, Dig. Tech. Papers, pp.88-89, June. 2006.
- [64] S. Kim, et al., "Paired FinFET Charge Trap Flash Memory For Vertical High Density Storage," VLSI Technology, Dig. Tech. Papers, pp.104-105, June. 2006.
- [65] S.-K. Sung, "SONOS-type FinFET Device Using P+ Poly-Si Gate and High-k Blocking Dielectric Integrated on Cell Array and GSL/SSL For Multi-Gigabit NAND Flash Memory," VLSI Technology, Dig. Tech. Papers, pp.106-107, June. 2006.
- [66] Y.J. Ahn, et al., "Trap Layer Engineered FinFET NAND Flash with Enhanced Memory Window," VLSI Technology, Dig. Tech. Papers, pp.108-109, June. 2006.
- [67] D.S. Havaladar et al., "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol.53, no.4, pp.737-752, Apr. 2006.
- [68] H. Wong et al., "Device design considerations For double-gate, ground-plane, and single-gated ultra-thin SOI MOSFETs at 25nm channel length generation," in IEDM Tech. Dig., pp.407-410, Dec. 1998.
- [69] K. Guarini et al., "Triple-self-aligned, planar double-gate MOSFETs: Devices and," in IEDM Tech. Dig., pp.425-428, Dec. 2001.
- [70] L. Ge, et al., "On the Gate Capacitance Limits of Nanoscale DG and FD SOI MOSFETs," IEEE Trans. Electron Devices, vol.53, no.4, pp.753-758, Apr. 2006.
- [71] T. Krishnamohan, "High-Mobility Low Band-To-Band-Tunneling Strained-Germanium Double-Gate Heterostructure FETs: Simulations," IEEE Trans. Electron Devices, vol.53, no.5, pp.1000-1008, May, 2006.

- [72] H.Lu, et al., "An Analytic Potential Model For Symmetric and Asymmetric DG MOSFETs," IEEE Trans. Electron Devices, vol.53, no.5, pp.1161-1168, May, 2006.
- [73] M.Wong, and X. Shi, "Analytical I-V Relationship Incorporating Field-Dependent Mobility For a Symmetrical DG MOSFET With an Undoped Body," IEEE Trans. Electron Devices, vol.53, no.6, pp.1389-1397, June, 2006.
- [74] Z.Xiong, C. Zhu, and J.K. Sin, "A New Polysilicon CMOS Self-aligned Double-Gate TFT Technology," IEEE Trans. Electron Devices, vol.53, no.12, pp.2629-2639, Dec. 2005.
- [75] H.Takato et al., "Impact of SGT For ultra-high-density LSIs," IEEE Trans. Electron Devices, vol.38, no.5, pp.573-578, Mar. 1991.
- [76] S. Watanabe et al., "A novel circuit technology with Surrounding Gate Transistors (SGTs) For ultra high density DRAMs," IEEE Journal of Solid-State Circuits, vol.30, no.9, pp.960-971, Sep. 1995.
- [77] D. Monroe and J. Hergenrother, "The vertical replacement-gate (VRG) process For scalable general-purpose complementary logic," ISSCC Digest of Technical papers, pp.134-135, Feb. 2000.
- [78] T. Endoh, K. Shinmei, H. Sakuraba and F. Masuoka., "New three-dimensional memory array architecture For Future ultrahigh-density," IEEE Journal of Solid-State Circuits, vol.34, no.4, pp.476-483, April 1999.
- [79] T. Endoh, M. Suzuki, H. Sakuraba and F. Masuoka., "2.4F2 memory cell technology with Stacked Surrounding Gate Transistor (S-SGT) DRAM," IEEE Trans. Electron Devices, vol.48, no.8, pp.1599-1603, Aug. 2001.
- [80] B. Goebel et al., "Vertical N-channel MOSFETs For extremely high density memories: The impact of interface orientation on device performance," IEEE Trans. Electron Devices, vol.48, no.5, pp.897-906, May 2001.
- [81] T. Schulz et al., "Short-channel vertical sidewall," IEEE Trans. Electron Devices, vol.48, no.8, pp.1783-1788, Aug. 2001.
- [82] J. Colinge et al., "Silicon-on-insulator Gate-all-around device," in IEDM Tech. Dig., pp.595-598, Dec. 1990.
- [83] 西亮輔, 日置雅和, 桜庭弘, 舛岡富士雄, "SGT のパンチスルー抑制を指向した凹型ソース SGT", 電子情報通信学会論文誌 C, Vol. J86-C, No. 2, pp. 200-201, 2003.
- [84] 日高剛, 網川裕之, 中村広記, 桜庭弘, 舛岡富士雄, "SGT 試作のための Si 柱側壁の犠牲酸化", 電子情報通信学会論文誌 C, Vol. J88-C, No. 12, pp. 1230-1232, 2005.
- [85] T. Endoh, K. Shinmei, H. Sakaraba, and F. Masuoka, "The analysis of the Stacked Surrounding Gate Transistor (S-SGT) DRAM For the high speed and low voltage operation", IEICE Trans. Electron, Vol.E81-C, no.9, pp.1491-1498, 1998.
- [86] S.-P. Sim, et al., "Fully 3-Dimensional NOR Flash Cell with Recessed Channel and Cylindrical Floating Gate – A Scaling Direction For 65nm and Beyond," Symp. VLSI Technology, Dig. Tech. Papers, pp.22-23, June. 2006.

- [87] E. Gili, et al., "Asymmetric Gate-Induced Drain Leakage and Body Leakage in Vertical MOSFETs With Reduced Parasitic Capacitance," *IEEE Trans. Electron Devices*, vol.53, no.5, pp.1080-1087, May, 2006.
- [88] J.-P. Colinge, et al., "Quantum-Mechanical Effects in Trigate SOI MOSFETs," *IEEE Trans. Electron Devices*, vol.53, no.5, pp.1131-1136, May, 2006.
- [89] K. Endo, et al., "Fabrication of FinFETs by Damage-Free Neutral-Beam Etching Technology," *IEEE Trans. Electron Devices*, vol.53, no.8, pp.1826-1827, Aug. 2006.
- [90] N. Nitayama et al., "Multi-pillar surrounding gate transistor (M-SGT) For compact and high-speed circuits," *IEEE Trans. Electron Devices*, Volume: 38, Issue: 3 (1991) 579-583
- [91] K. Sunouchi et al., "A surrounding gate transistor (SGT) cell For 64/256Mbit DRAMs", *IEDM Tech. Dig.*, pp.23-26, 1989.
- [92] S. Davnaraju et al., "A 22nm IA multi-CPU and GPU system on chip", *ISSCC Dig. Tech. Papers*, 2012.
- [93] D. Bhattacharya and N. Jha, "FinFETs: From devices to architectures," *Advanced Electronics*, vol.2014, 365689, 2014.
- [94] S. Davnaraju et al., "A 22nm IA multi-CPU and GPU system on chip", *ISSCC Dig. Tech. Papers*, 2012.
- [95] H. Tanaka et al., "Bit Cost scalable Technology with Punch and Plug Process For Ultra High Density Flash Memory", *Symp.on VLSI Technology*, 2007.
- [96] R. Katsumata et al., "Pipe-shaped BiCS Flash memory with 16 stacked layers and multi-level-cell operation For ultra high density storage devices", *Symp .on VLSI Technology*, pp.136-137, 2009.
- [97] J. Jang et al., "Vertical cell array using TCAT(Terabit Cell Array Transistor) technology For ultra high density NAND Flash memory", *Symp.on VLSI Technology*, pp.192-193, 2009.
- [98] J-W. Im, W-P. Jeong, D-H. Kim, S-W. Nam, D-K. Shim, M-H. Choi, H-J. Yoon, D-H. Kim, Y-S. Kim, H-W. Park, D-H. Kwak, S-W. Park, S-M. Yoon, W-G. Hahn, J-H. Ryu, S-W. Shim, K-T. Kang, S-H. Choi, J-D. Ihm, Y-S. Min, I-M. Kim, D-S. Lee, J-H. Cho, O-S. Kwon, J-S. Lee, M-S. Kim, S-H. Joo, J-H. Jang, S-W. Hwang, D-S. Byeon, H-J. Yang, K-T. Park, K-H. Kyung, J-H. Choi, " A 128Gb 3b/cell V-NAND Flash Memory with 1Gb/s I/O Rate2," *ISSCC Dig. Tech. Papers*. 2015.
- [99] Assaderaghi, F., et al., 'Dynamic Threshold-Voltage MOSFET (DTMOS) For ultra-low voltage VLSI', *IEEE Trans. Electron Devices*, 1997, 44, (3), pp.414-422.
- [100] W. Choi, et al., "Tunneling Field-effect transistors (TFETs) with subthreshold swing (SS) less than 60mv/dec," *IEEE Electron device Lett.*, vol.28, no.8, pp.743-745, Aug. 2007.

2. L S I の高集積化（低コスト）、高速化、低電力化設計法

2-1. 3次元型トランジスタによる高集積化（低コスト化）

前述したように 3 次元型トランジスタは従来の平面型と比較してショートチャネル効果に強い為、微細化に適している。トランジスタ 1 個当たりの面積を縮小できる。一般に LSI ではその製造コストはパターン面積と工程数に比例し、歩留りに反比例する[1]- [3]。そのため平面型トランジスタと比較して 3 次元型トランジスタの工程数はほとんど増加せず、製造技術の発展により歩留りが平面型トランジスタ同様量産時の指標になる 90%を超えれば、3 次元型トランジスタを用いた LSI の製造コストは従来の平面型トランジスタを用いた LSI の製造コストと比較視して大幅に低減できる特徴がある。3 次元型トランジスタの代表例である FinFET やダブルゲート型トランジスタは製造コストの低減の有力な候補になるが、それらを用いた LSI の回路設計法に関する研究はほとんど行われていない。

本研究では 3 次元型トランジスタの代表例である FinFET やダブルゲート型トランジスタを用いた LSI（論理回路）の新たな回路設計法を提案する。またその回路設計法を用いた場合の基本的な論理回路のパターン面積を両方で比較する。

2-2. 3次元型トランジスタによる高速化、低消費電力化

表 2-1 従来の平面型トランジスタで用いられている各種設計技術

Circuit style	Era	Advantages	Disadvantages
Push-Pull Logic	NMOS	Simple	Inefficient
Bootstrapping	NMOS	Enables Full Rail	Slow and consumes Power
E/D Decoding	NMOS	Easy to Design	Expensive Decoding
Static Combinatorial	CMOS	Robust, Easy to Design	Lives and dies with Overdrive
DCVS	CMOS	Noise immune	Area inefficient
Pass-Gate/T-Gate	CMOS	Fast, efficient	Hypersensitive
Dynamic Domino	CMOS	Very Fast	High Power Consumption
Body-Biasing	Post	PDP-efficient	Requires infrastructure
Sub Vt Operation	Post	Energy-Efficient	Loss of Fan-out

一方 3 次元型トランジスタを用いた LSI の高速化、低消費電力化に関しては過去 3 次元型トランジスタ自身が持つ性能を生かした方式のみ研究され、従来の平面型トランジスタで用いられている各種設計技術[4]-[22]（表 2-1）を 3 次元型トランジスタに組み合わせる研究

は過去行われていない。そこで本論文では平面型トランジスタに用いられてきた各種設計技術のうち3次元型トランジスタに適した基板バイアス方式を選別して3次元型トランジスタと組み合わせた新たな回路・デバイス技術提案する。具体的には基板バイアス方式の中で最も高速化低消費電力化に適したDTMOS方式[23]-[28] (図2-2)を3次元型トランジスタと組み合わせた。

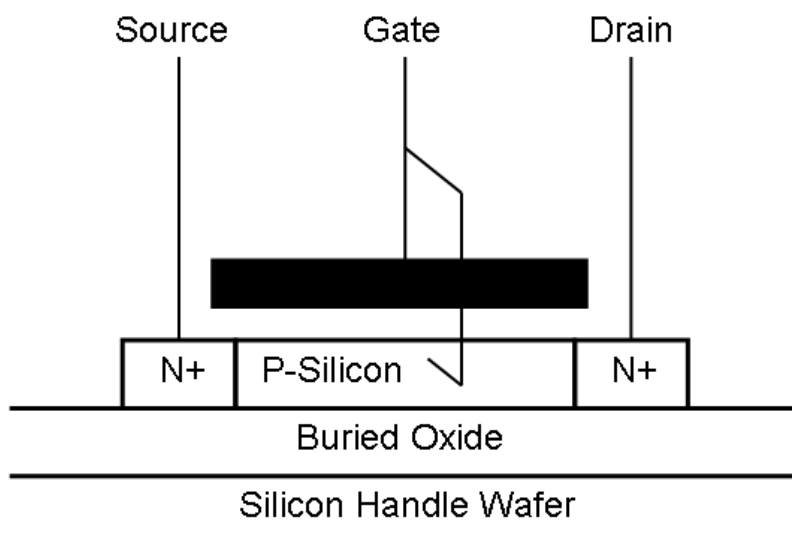


図2-2 平面型トランジスタで用いられているDTMOS回路方式

2-3. 本論文で提案する3次元型トランジスタを用いたLSIでの新技術

図2-3に本論文で提案する具体的な新技術を示す。

第3章ダブルゲートトランジスタを用いたLSIでは、高集積化(低コスト化)のために1層型のダブルゲートトランジスタを用いた基本回路の新たな設計法を提案する[39]。次に第4章では、これを更に積層化(2層型)した場合の基本回路の新たな設計法を提案する[40]。次に第5章でFinFETとダブルゲートトランジスタの低コスト化の指標となるパターン面積を基本的な論理回路で比較する[41]。

次に第6章では、高集積化(低コスト化)同様に重要なLSIの高速化、低消費電力化に向け、3種類の3次元型トランジスタと、ゲート・基板間を接続する方式(DTMOS方式)を組み合わせた新たなデバイス・設計技術を提案する。FinFETに関しては第6-2章(1層型でシリコン柱の上面で接続する場合)[42]及び第6-3章(2層型でシリコン柱の側面で接続する場合)[43]、SGTに関しては第6-4章で述べる。

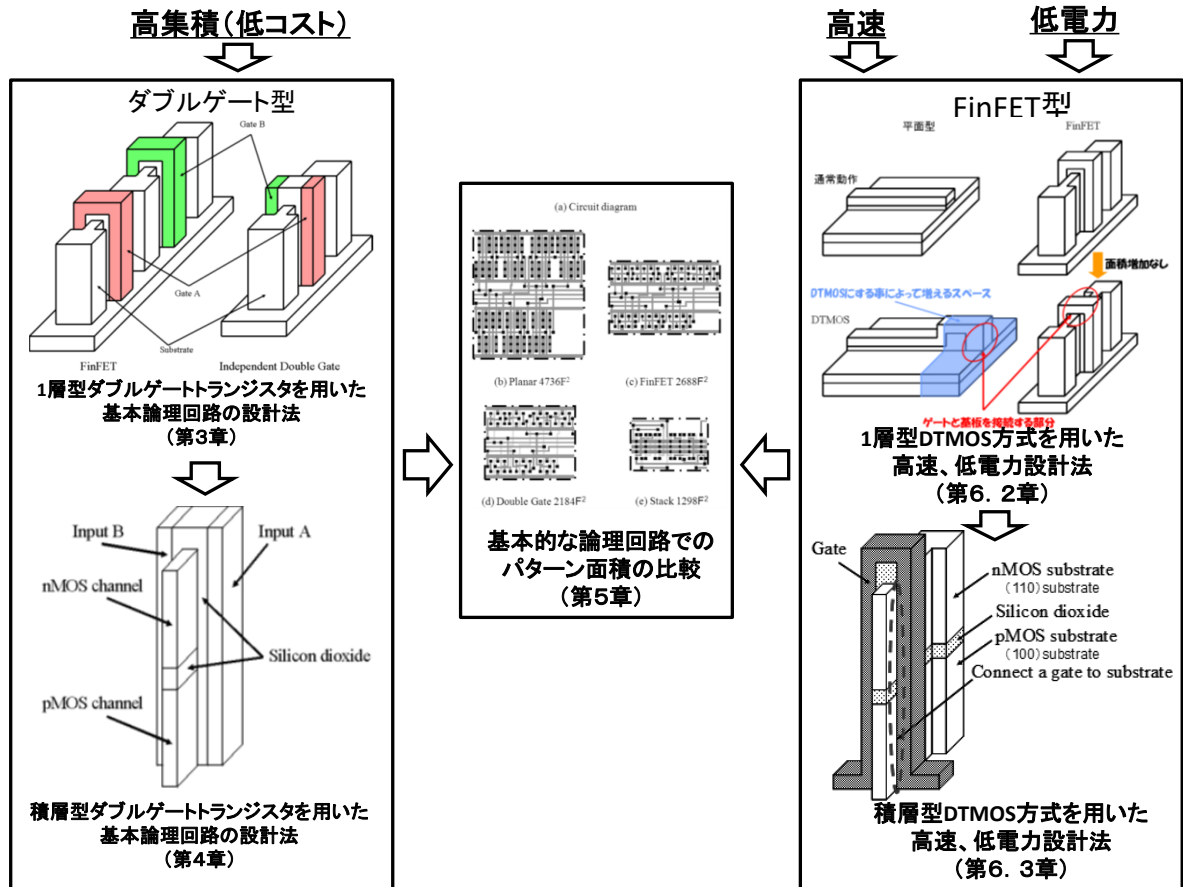


図 2-3. 本論文で提案する新技術

第 2 章の参考文献

- [1]横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 .” 電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016.
- [2] 加藤翔, 渡辺重佳, “積層方式 Chain 構造 PRAM の設計法,” 電気学会論文誌 C, Vol.133, No.5, pp.937-946, 2013.
- [3]S. Tamai and S. Watanabe, “Analysis of bit cost For stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [4]H. Soeleman, K. Roy, “Ultra-Low Power Digital Subthreshold Logic Circuits*,” IEEE ISLPED Dig. Tech. Papers, pp.94-96, 1999.
- [5] H. Soeleman, K. Roy, B. Paul, “Robust Ultra-Low Power Sub-threshold DTMOS Logic*,” IEEE ISLPED Dig. Tech. Papers, pp.25-30, 2000.
- [6] H. Soeleman, K. Roy, Bipul C. Paul, “Robust Subthreshold Logic For Ultra-Low Power Operation,” IEEE Transactions on VLSI Systems, vol.9, no.1, pp.90-99, Feb. 2001.

- [7] 岡佳憲、榎本忠儀、“弱反転動作を用いた極低電力 CMOS 論理回路術、” 電子情報通信学会総合大会、2003 年
- [8] B. Paul, A. Raychowdhury, K. Roy, “Device Optimization For Ultra-Low Power Digital Sub-Threshold Operation,” IEEE ISLPED Dig. Tech. Papers, pp.96-101, Aug. 2004.
- [9] Bipul C. Paul, A. Raychowdhury, k. Roy, “Device Optimization For Digital Subthreshold Logic Operation,” IEEE Trans. Electron Devices, vol.52, no.2, pp.237-247, Feb. 2005.
- [10]A. Raychowdhury, Bipul C. Paul, S Bhunia, K. Roy, “Computing With Subthreshold Leakage: Device/Circuit/Architecture Co-Design For Ultralow-Power Subthreshold Operation,” IEEE Transactions on VLSI Systems, vol.13, no.11, pp1213-1224, Nov. 2005.
- [11]A. Wang, A. Chandrakasan, “A 180mV FFT Processor Using Subthreshold Circuit Techniques,” ISSCCD Dig. Tech. Papers, pp.292-237, Feb. 2002.
- [12]A. Wang, A.Chandrakasan, “A 180-mV Subthreshold FFT Processor Using a Minimum Energy Design Methodology,” IEEE J. Solid-State Circuits, vol.40, no.1, pp.310-319, Jan. 2005.
- [13]Benton H. Calhoun, A. Chandrakasan, “Characterizing and Modeling Minimum Energy Operation For Subthreshold Circuits,” IEEE SLPED Dig. Tech. Papers, pp.90-95. Aug. 2004.
- [14]Benton H, Anantha P. Chandrakasan, “Ultra-Dynamic Voltage Scaling (UDVS) Using Sub-Threshold Operation NAND Local Voltage Dithering,” IEEE J. Solid-State Circuits, vol.41, no.1, pp.238-245, Jan. 2006.
- [15]Benton H. Calhoun, Anantha P. Chandrakasan, “Static Noise Margin Variation For Sub-threshold SRAM in 65-nm CMOS,” IEEE J. Solid-State Circuits, vol.41, no.7, pp.1673-1679, July, 2006.
- [16]B. Zhai, S. M. Hanson, D. Blaauw, D. Sylvester, “Analysis and Mitigation of Variability in Subthreshold Design,” IEEE ISLPED Dig. Tech. Papers, Aug. 2005.
- [17]B. Zhai, D. Blaauw, D. Sylvester, K. Flautner, “The Limit of Dynamic Voltage Scaling and Insomniac Dynamic Voltage Scaling,” IEEE Transactions on VLSI Systems, vol.13, no.11, pp.1239-1251, Nov. 2005.
- [18]B. Zhai, L. Nazhandali, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, D. Blaauw, T. Austin, “A 2.60pJ/Inst Subthreshold Sensor Processor For Optimal Energy Efficiency,” Symp. VLSI Circuits, Dig. Tech. Papers, pp.192-193, June, 2006.
- [19]J. Kwong, A. Chandrakasan, “Variation-Driven Device Sizing For Minimum Energy Sub-threshold Circuits,” IEEE ISLPED Dig. Tech. Papers, Oct. 2006.
- [20]I. J. Chang, j. Kim, K. Roy, “Robust Level Converter Design For Subthreshold Logic(s),” IEEE ISLPED Dig. Tech. Papers, Oct. 2006.
- [21]T. Kim, H. Eom, J. Keane, C. Kim, “Utilizing Reverse Short Channel Effect For Optimal Subthreshold Circuit Design,” IEEE ISLPED Dig. Tech. Papers, Oct. 2006.
- [22]J. Nyathi, B. Bero, “Logic Circuits Operating in Sub-threshold Voltages,” IEEE ISLPED Dig. Tech. Papers, Oct. 2006.
- [23]Assaderaghi, F., et al., ‘Dynamic Threshold-Voltage MOSFET (DTMOS) For ultra-low voltage VLSI’, IEEE Trans. Electron Devices, 1997, 44, (3), pp.414-422.
- [24]E.S. Cho, et al., “Technology Breakthrough of Body-Tied FinFET For Sub 50nm NOR Flash Memory,” VLSI Technology, Dig. Tech. Papers, pp.110-111, June. 2006.
- [25]T.-S. Park et al., “Characteristics of the Full CMOS SRAM Cell Using Body-Tied TG MOSFETs (Bulk FinFETs),”

- IEEE Trans. Electron Devices, vol.53, no.3, Mar. 2006.
- [26] 柿本誠三、小瀧浩、柴田晃秀、中野雅行、足立浩一郎、佐藤雄一、太田賢司' 超低消費電力 LSI のための CMOS デバイス技術' シャープ技報,第 79 号・2001 年 4 月,pp16-21.
- [27] 平本俊郎、高宮真' しきい値電圧を制御しうる MOS トランジスタを有する回路及びしきい値電圧制御方式'
- [28] 廣島佑、渡辺重佳 “FinFET を用いた DT MOS (FinFET 型 DT MOS) の提案,” 信学論 (C), Vol.J92-C No.11 PP.742-743,Nov.2009
- [29] W. Choi, et. al., “Tunneling Field-eFFect transistors (TFETs) with subthreshold swing (SS) less than 60mv/dec,” IEEE Electron device Lett., vol.28, no.8, pp.743-745, Aug. 2007.
- [30] P. F. Wang et. al., “Complementary tunneling transistor For low power application,” Solid State Electron., vol.48, no.12, pp.2281-2286, 2004.
- [31] O. Nayfeh et al., ”Design of tunneling Field-eFFect transistors using strained –silicon/strained germanium type 2 staggered heterojunction”, IEEE Electron Device Lett., vol.29, no.9, pp. 1074 - 1077, 2008.
- [32] S. O. Koswatta et. al., “PerFormance comparison between p-i-n transistors and conventional MOSFETs ”, IEEE Trans. Electron Devices, vol.56, no.3, pp.456-465, 2009.
- [33] J. Appenzeller et al., ”Band-to-band tunneling in carbon nanotube Field-eFFect transistors ”, Phys. Rev. Lett., vol. 93, no.17, pp. 196805-1-196805-4, 2004.
- [34] F. Mayer et al., “Impact of SOI , Si1-xGExOI and GeOI substrates on CMOS compatible tunnel FET performance”, IEDM Tech. Dig., pp.163-166, 2008.
- [35] S. W. Kim et al., “L-shaped tunneling Field eFFect Transistors For complementary logic applications”, IEICE Trans. on Electronics, vol.E96-C, no.5, pp.634-638, 2013.
- [36] E. Yablonovitch et al., “Density-of states switching mechanism For the tunnel Field eFFect transistor,” University of California, Berkeley, 2012.
- [37] N. Mojumder, et al., “Band-to-band tunneling ballistic nanowire FET: Circuit-compatible device modeling and design of ultra-low-power digital circuits and memories”, IEEE Trans. Electron Devices, vol.56, no.10, pp.2193-2202,2009.
- [38] D. Kim et al., “Low power circuit design based on hetero junction tunneling transistors (TFETs) For improved reliability”, Symp. Low Power Electronics and Design, pp.219-224, 2009.
- [39] 廣島佑、渡辺重佳, “独立したゲートをもつダブルゲートトランジスタによるシステム LSI の新レイアウト設計法.” 信学論 (C), vol.J92-C, no.1, pp.18-25, January 2009.
- [40] 廣島佑、渡辺重佳, “独立したゲートを持つスタック型 3 次元トランジスタによるシステム LSI の設計法.” 信学論 (C), vol.J92-C, no.3, pp.94-103, March 2009.
- [41] 廣島佑、小玉貴大、渡辺重佳 “三次元型トランジスタを用いた各種回路構成の論理回路のパターン面積の縮小効果の検討” 電子情報通信学会 C, Vol.J94-C, No.10, pp.341-345, 2011
- [42] 廣島佑、渡辺重佳 “FinFET を用いた DT MOS (FinFET 型 DT MOS) の提案,” 信学論 (C), Vol.J92-C No.11 PP.742-743, 2009.
- [43] 廣島佑、小玉貴大、渡辺重佳 “積層型 DT MOS(スタック型 DT MOS)の検討 “ 電気学会論文誌 C, Vol.132, No.12, pp.1927-1933, 2012.

3.独立したゲートを持つダブルゲートトランジスタによるシステム LSIの新レイアウト設計法

3-1. 序論

最近のシステム LSI はスケーリング則によりトランジスタが微細化されているにも関わらず、マルチメディア機器などの発展による高性能化、多機能化の要求がますます高まってきたためにチップ面積が大きくなってしまいう問題があった[1]。さらに従来の平面構造では短チャネル効果などにより、これ以上微細化することが難しくなっている。それらの問題を解決するために、各種 3 次元構造のトランジスタが提案されている[2], [3], [4]。なかでも FinFET[2], ダブルゲート[3]は比較的作りやすく、将来有望であると考えられており、各種検討が行われている[5]~[8]。その中にダブルゲートの左右の側壁に別々の信号を入力する構造のトランジスタが提案されている[8]。しかし別々の入力電気が電気的に接続されないようにするために、ゲート配線が互いに避けるようなパターンレイアウトになっているためにパターン面積の縮小効果が FinFET と比べて良くないという問題点があった。またそのトランジスタの回路への適用検討はインバータや 2 入力 NAND レベルにとどまり、更に複雑な入力数を増やした NAND や、システム LSI レベルでの検討は行われていない。

そこで、本論文は別々のゲート配線が電気的に接続されないように配線同士の間には厚い絶縁膜を入れることによって更なる高密度設計を実現できる新レイアウト設計法を提案し、インバータや NAND, NOR などの基本的な論理回路や通信用システム LSI などのセルライブラリに本方式を適用した場合のパターン面積の縮小効果について検討を行った。

3-2. 独立したゲートを持つダブルゲートトランジスタ

独立したゲートを持つダブルゲートトランジスタ[8]では、FinFET の左右の側壁に別々の入力を入れているために、1 つの FinFET で 2 入力の論理を実現することが可能という特徴がある。NAND や NOR などの論理回路ではトランジスタの直列接続や並列接続が必要となる。そこでそれらを区別するために独立したゲートを持つダブルゲートトランジスタでは、基板の不純物濃度やゲート材料の仕事関数等を調節し、入力 A と入力 B の両方がハイレベルになった時に基板の中心部分に電流が流れるようにすることによって、トランジスタの直列接続を実現している。並列接続は基板の不純物濃度等を直列接続の時と違う値に変えて、入力 A と入力 B のどちらかがオンになった時に基板の表面に電流が流れるようにしている[8] (図 3-1)。2 入力 NAND は NMOS では直列接続型、PMOS では並列接続型を用いることにより平面型の半分の 2 個のトランジスタで実現することが出来る。

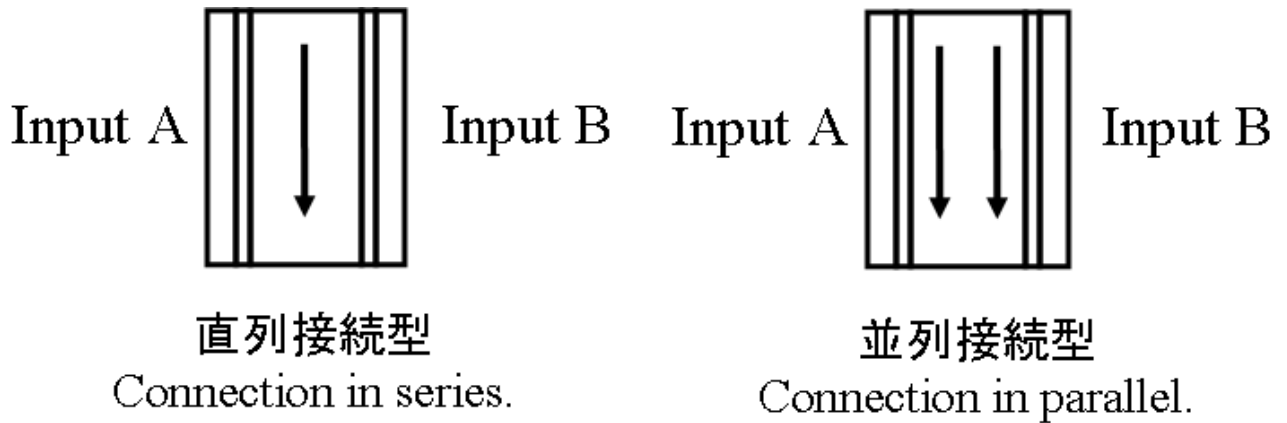


図 3-1 直列接続と並列接続回路の実現法

3-3. 従来ダブルゲート方式と提案方式の比較

独立したゲートを持つダブルゲートトランジスタの従来レイアウト方式（以下従来方式と略す）と新たに提案するレイアウト方式（以下提案方式と略す）を 2 入力の NAND を例に説明する。従来方式の場合（図 3-2），入力 A と入力 B が電気的に接続されないようにゲート配線同士が互いに避けあっているため，配線部分が占めるパターン面積が大きくなってしまふ（図中で縦に走るメタル配線を横切る形でゲート A，ゲート B が走っている）。その結果パターン面積の縮小効果は小さくなってしまふ問題があった。トランジスタ部分の C-C' 間の断面図を図 3-3 に示す。

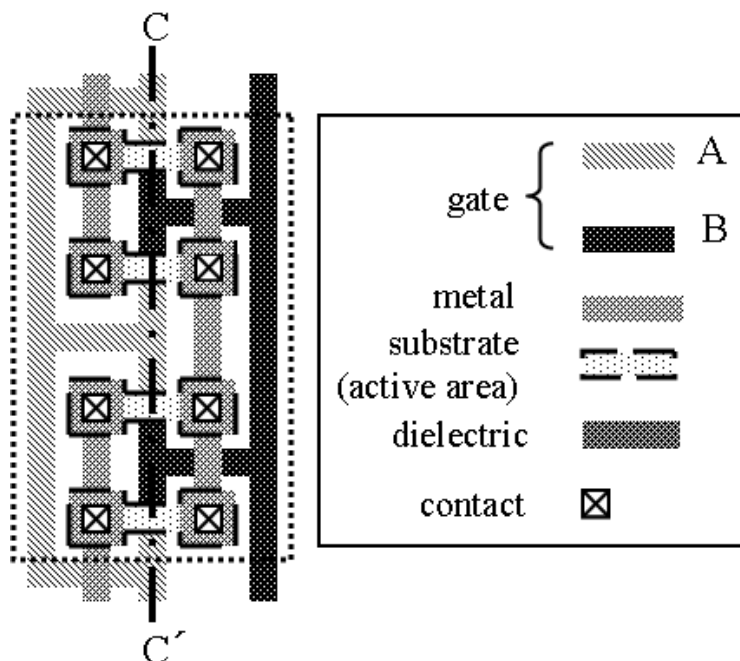


図 3-2. 従来方式の 2 入力 NAND のパターン図

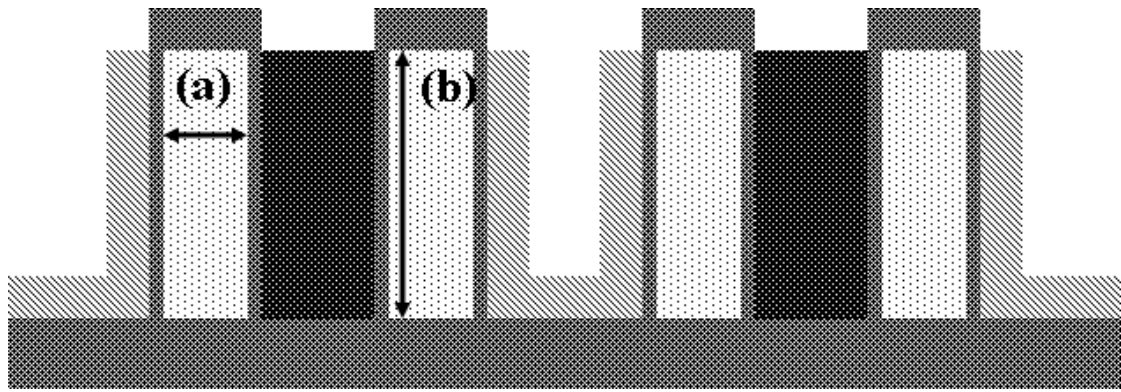


図 3-3. 従来方式の 2 入力 NAND の断面図 (a) シリコン柱の幅、(b) シリコン柱の高さ

それに対して提案方式では図 3-4 に示すようにゲート配線の上に別のゲート配線が電氣的に接続されないようにするための厚い絶縁膜を形成することにより、別々のゲート配線を重ねる事が出来、これにより従来方式以上のパターン面積縮小効果を実現できる。図 3-5 の断面図では入力 A の上に厚い絶縁膜があり、その上に入力 B が通っている。NOR の場合もパターンのレイアウトは基本的には NAND と同じものを使用出来る。つまり、2 入力 NOR では NMOS では図 3-1 の並列接続型、PMOS では直列接続型を用いる事により実現可能である。

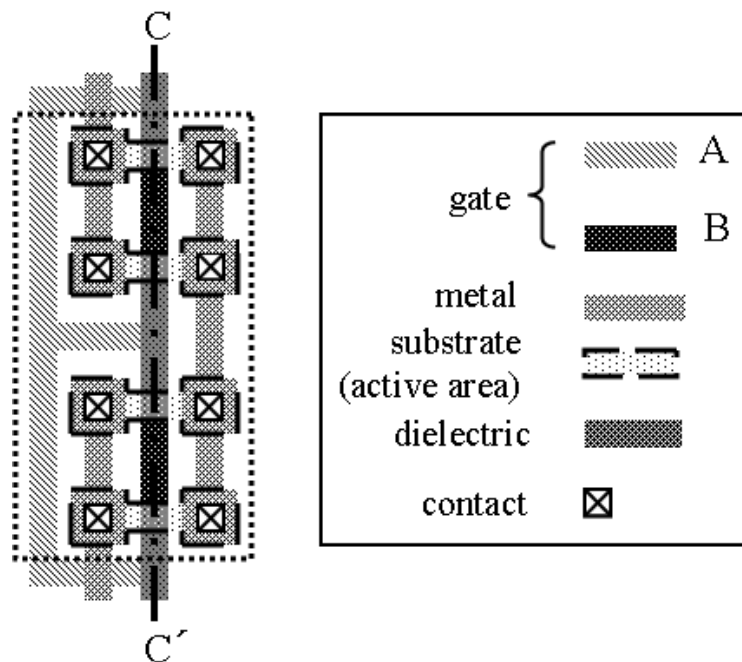


図 3-4. 提案方式の 2 入力 NAND のパターン図

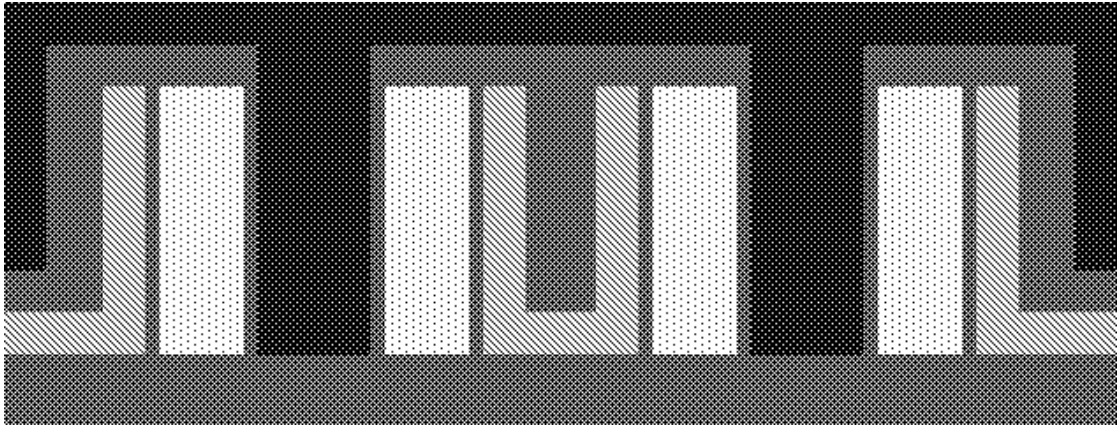


図 3-5. 提案方式の 2 入力 NAND の断面図

3-4. 基本的な論理回路でのパターン面積縮小効果

今回提案した新レイアウト設計法によるパターン面積の縮小効果を比較するために、平面型、FinFET、従来方式、提案方式でインバータ、2 入力 NAND、3 入力 NAND、4 入力 NAND を設計した。設計する際に用いたデザインルールを表 3-1 に示す。

表 3-1. 設計に用いたデザインルール

	Planar	FinFET	Conventional scheme	Proposed scheme
Gage length	F	F	F	F
Al Wiring	F	F	F	F
Al Wiring to Al Wiring	F	F	F	F
Contact size	$F \times F$	$F \times F$	$F \times F$	$F \times F$
Hight of silicon substrate		4.5F	10F	10F
Width of silicon substrate		F	F	F

トランジスタのチャンネル幅は PMOS, NMOS とともに同じ値を用い、10F (F はデザインルール) の場合と 20F の場合のそれぞれでパターン面積を求め比較検討した。検討の際どの方式のトランジスタでもチャンネル幅とゲート長が同じなら、同じバイアス電圧の条件では

等しいドレイン電流が流れると仮定した。

図 3-6 にチャンネル幅が $10F$ の時の 2 入力 NAND のレイアウト図を示す。FinFET は両側壁と上部の平面部をゲートとして利用している（側壁のチャンネル幅 $4.5F$ が 2 面と上部の平面部のチャンネル幅 F の合計 $4.5F \times 2 + F = 10F$ ）。2 個の NMOS を構成する時に FinFET では Fin の数が 2 個必要になるが、従来方式と提案方式は左右の側壁へ異なる入力を入れるために Fin の数は 1 個に低減できる。平面型と比較して FinFET、従来方式、提案方式のいずれの場合もパターン面積を縮小することが出来るが、提案方式は FinFET の 77%、従来方式の 85%と最も小さなパターン面積で設計することが可能である。

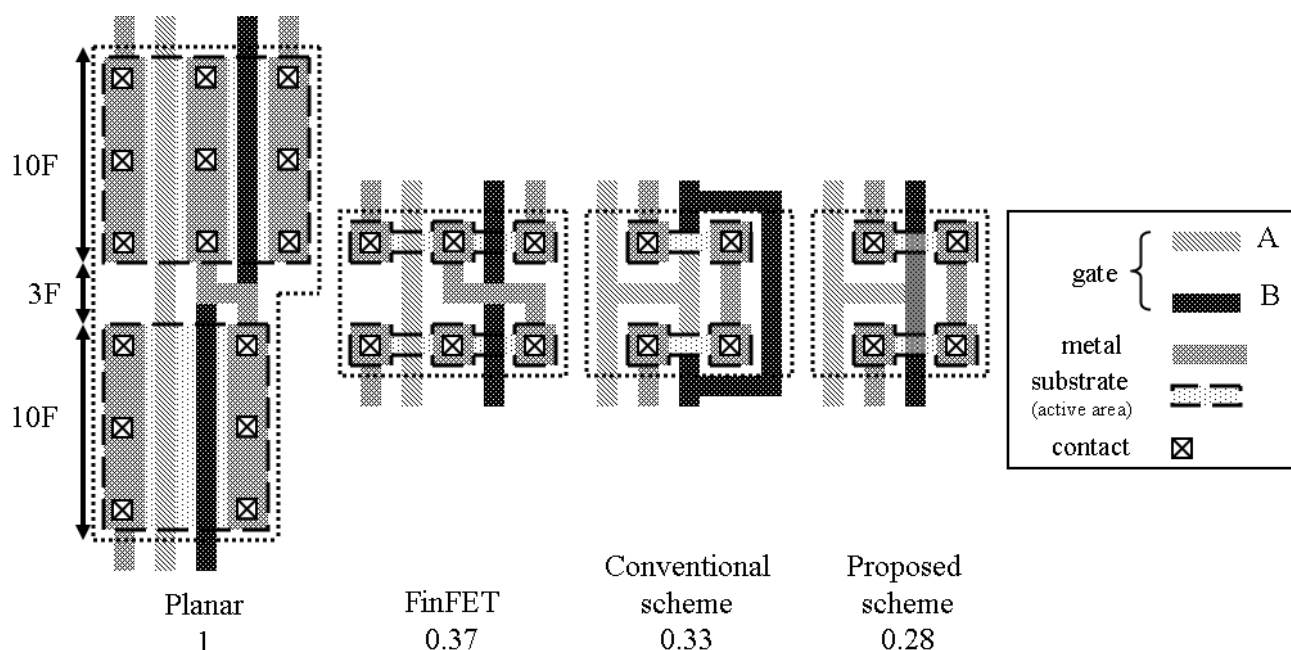


図 3-6. チャンネル幅が $10F$ の時の 2 入力 NAND のパターンレイアウト図（平面型のパターン面積を 1 とした場合の FinFET、従来方式、提案方式のパターン面積）

同様にチャンネル幅が $20F$ の時の 2 入力 NAND のパターンレイアウトを図 3-7 に示す。 $10F$ の時の 2 倍の 2 個トランジスタを並列に接続することによりチャンネル幅が大きくなった場合でも提案方式は FinFET の 77%、従来方式の 74%と最も小さなパターン面積に縮小可能である。次にチャンネル幅が $20F$ の 4 入力 NAND のパターンレイアウト図を図 3-8 に示す。4 個の入力の配線がコンパクトに整然とレイアウト出来、パターン面積縮小効果も今回検討した中で最も大きくなっている（FinFET の 73%、従来方式の 68%）。

2 入力、4 入力 NAND で提案方式のパターン面積縮小効果が明らかになったので、インバータ、3 入力 NAND でも同様な検討を行った。図 3-9、図 3-10 チャンネル幅が $10F$ の時のインバータ、3 入力 NAND のパターンレイアウトを示す。チャンネル幅が $10F$ の時のインバータの場合、従来方式は片側一方の側壁のみをゲートとして利用するためにゲート配線が迂回してレイアウトされている。そのためパターン面積が FinFET よりも大きくなって

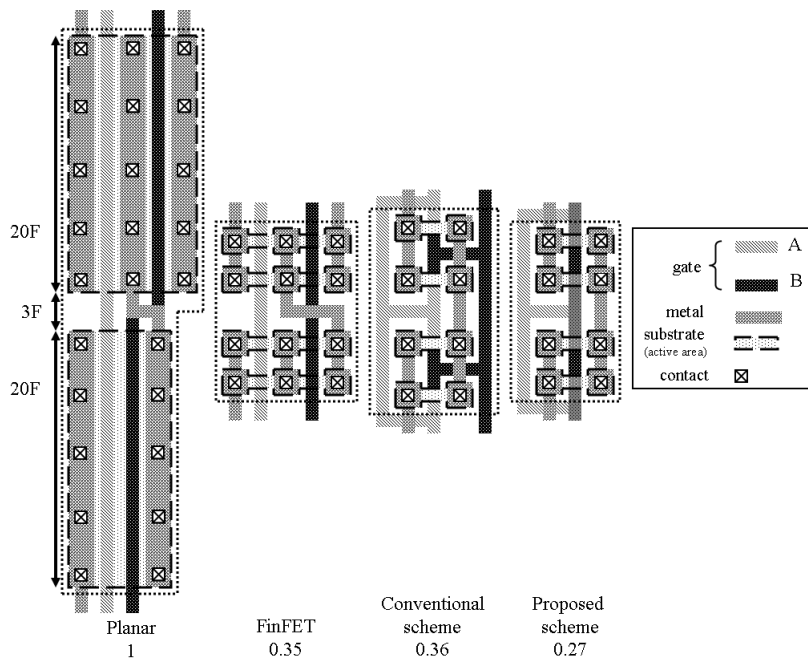


図 3-7. チャンネル幅が $20F$ の時の 2 入力 NAND のパターンレイアウト図

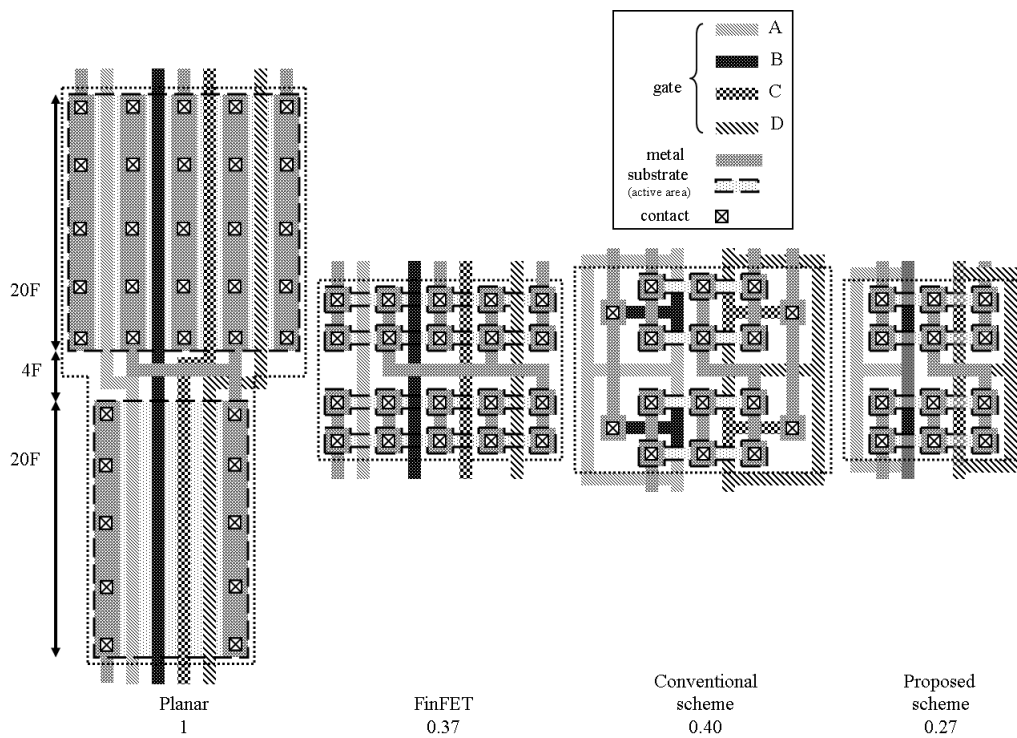


図 3-8. チャンネル幅が $40F$ の時の 4 入力 NAND のパターンレイアウト図

しまっていたが、提案方式ではゲートとして利用しない側壁部分に厚い絶縁膜を形成しその上をゲートが通過しているために FinFET と同じパターン面積で実現することが可能である。また、チャンネル幅を $20F$ にした場合は従来方式、提案方式ともにチャンネル幅が $10F$ の時に使用していなかった側壁部分をゲートとして利用でき、提案方式は FinFET の 57%、従来方式の 82% のパターン面積で設計することが可能である。3 入力 NAND の場合、従来

方式はゲート配線と別のゲート配線が重ならないためにメタルにつなぎ変えなければ実現することが出来なかったが、提案方式はゲート配線の上に絶縁膜を形成しその上にゲート別のゲート配線を通しているために FinFET の 83%，従来方式の 89%のパターン面積で設計することが出来る。

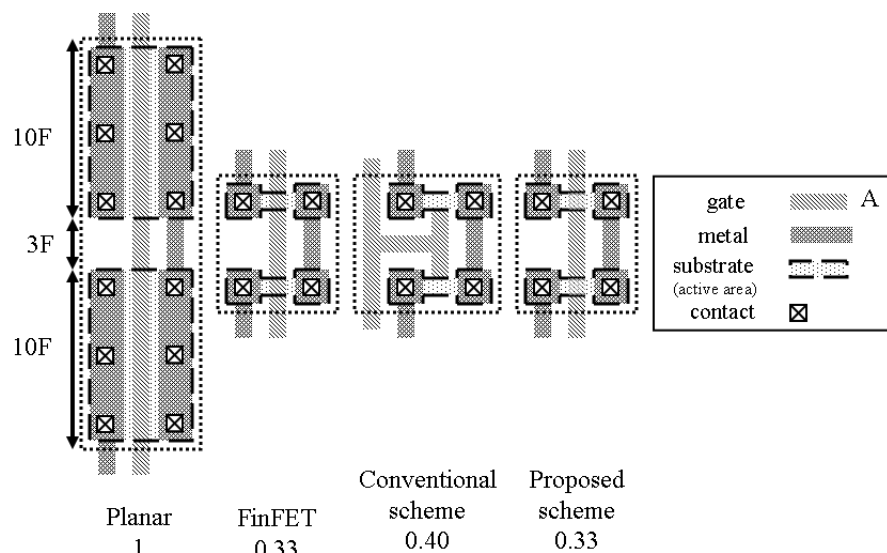


図 3-9. チャンネル幅が 10F の時のインバータのパターンレイアウト図

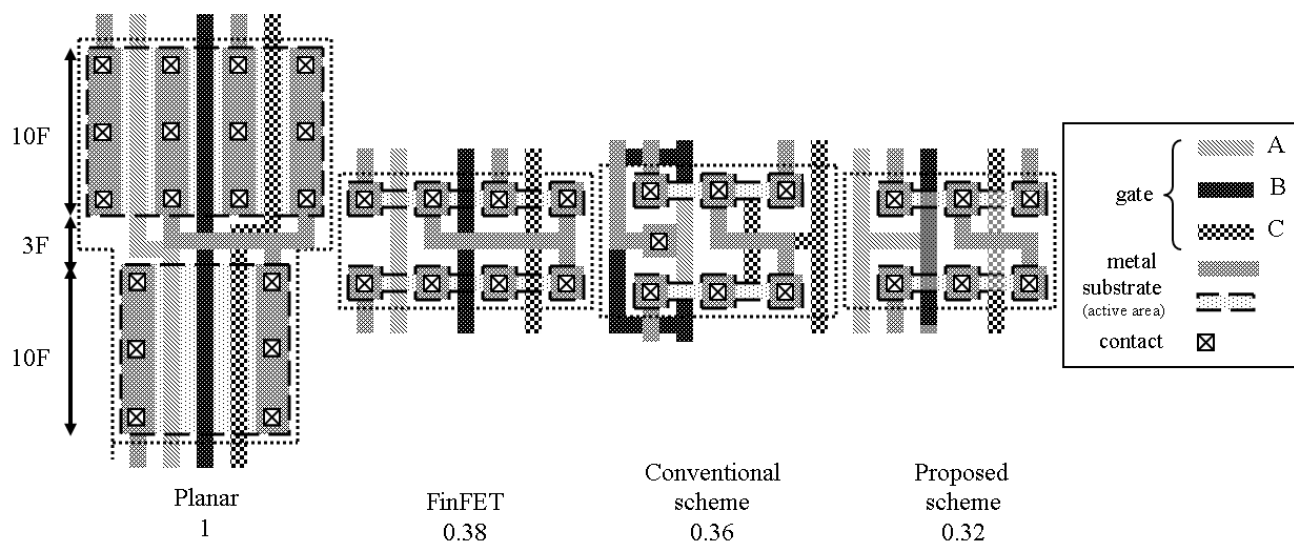


図 3-10. チャンネル幅が 10F の時の 3 入力 NAND のパターンレイアウト図

以上の結果をまとめて図 3-11, 3-12 と表 3-2, 3-3 に示す. 図 3-11, 3-12 にパターン面積のトランジスタの直列接続段数依存性 (直列接続段数が 1 ならインバータ, 2 なら 2 入力 NAND 等) を示す. チャンネル幅が 10F の場合を図 3-11, チャンネル幅が 20F の場合を図 3-12 に示す. パターン面積を平面型が 1 になるように規格化したものを表 3-2, 表 3-3 に示す. 図 3-12, 表 3-3 から 20F の場合も 10F の場合と同様に提案方式導入により最もパターン面積を縮小出来る事がわかる. どの直列接続段数を見ても平面型と比較して FinFET, 従来方

式，提案方式はパターン面積を縮小することが出来るが，従来方式は FinFET よりもパターン面積が大きくなってしまいう時があった．しかし提案方式はどの直列接続段数でも FinFET よりもパターン面積を小さくすることが出来，最小のパターン面積を実現している．

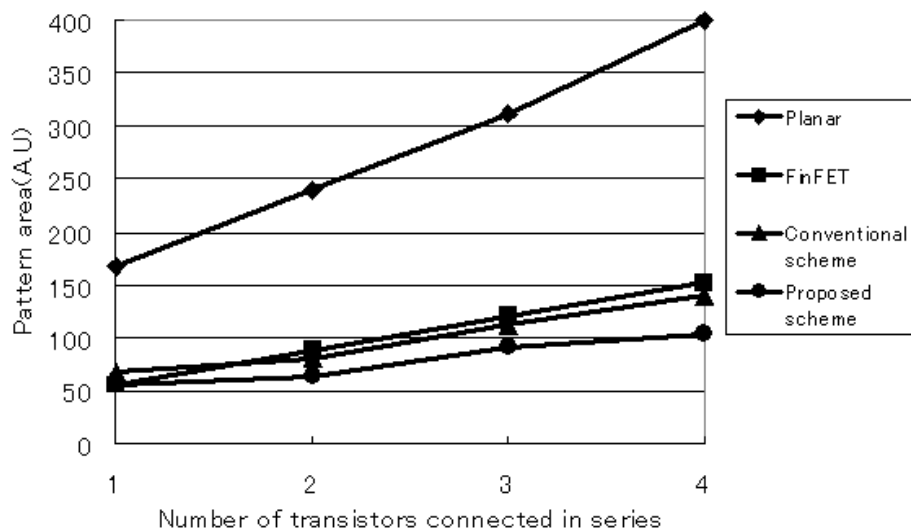


図 3-11 . チャンネル幅が 10F の時のパターン面積の直列段数依存性

表 3-2. チャンネル幅が 10F の時の規格化されたパターン面積の直列段数依存性

	Planar	FinFET	Conventional scheme	Proposed scheme
Inverter	1.00	0.33	0.40	0.33
2NAND	1.00	0.37	0.33	0.28
3NAND	1.00	0.38	0.36	0.32
4NAND	1.00	0.38	0.35	0.28

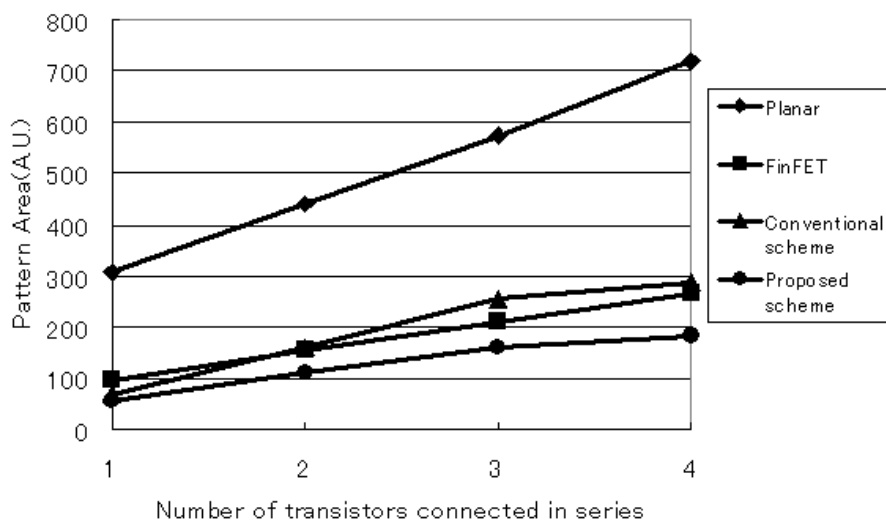


図 3-12 . チャンネル幅が 20F の時のパターン面積の直列段数依存性

表 3-3 . チャンネル幅が 20F の時の規格化されたパターン面積の直列段数依存性

	Planar	FinFET	Conventional scheme	Proposed scheme
Inverter	1.00	0.32	0.22	0.18
2NAND	1.00	0.35	0.34	0.27
3NAND	1.00	0.37	0.45	0.31
4NAND	1.00	0.37	0.40	0.27

次に設計するトランジスタのチャンネル幅を更に増やした場合のパターン面積の推移を見積もった。パターン面積のチャンネル幅依存性を FinFET と提案方式で比較する形で図 3-13 に示す。

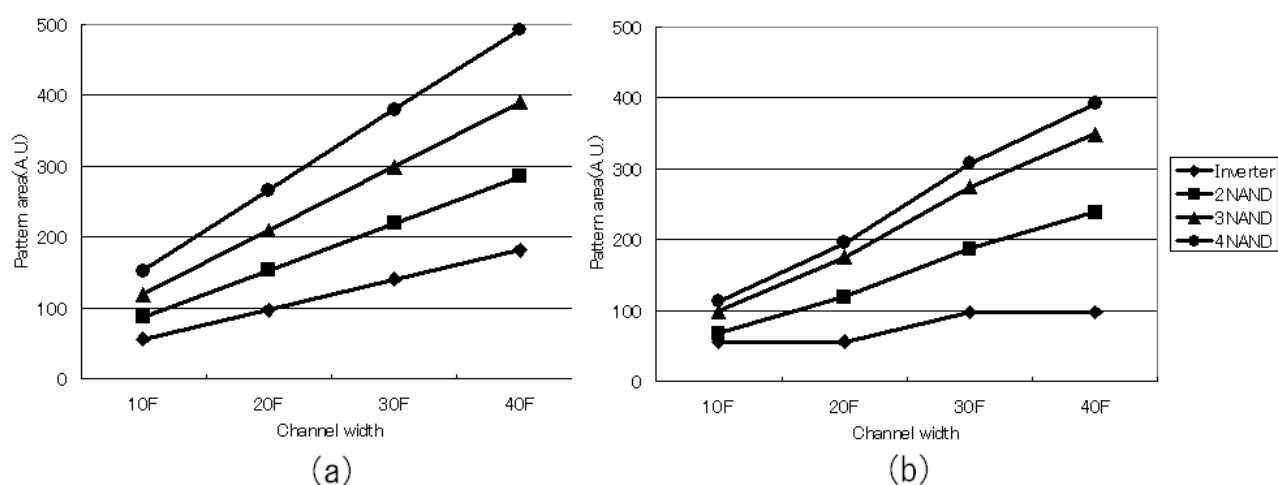


図 3-13. パターン面積のチャンネル幅依存性 (a)FinFET, (b)提案方式

チャンネル幅を増やしても提案方式のパターン面積が常に FinFET より小さく出来る。チャンネル幅が増えればパターン面積は増加するが、従来方式と提案方式はインバータではパターン面積が変わらないところ (10F→20F, 30F→40F のところ) がある。それは Fin の一側面のみをゲートとして利用しているものが両側面を利用するためパターン面積が増加しないためである。

従来方式はゲート A の配線とゲート B の配線がお互いに避けてレイアウトするために、平面型や FinFET では可能であった VDD や VSS を別の論理と共有することが不可能であるが、提案方式ではゲート A の配線の上に絶縁膜を形成し、その上にゲート B の配線が通っているために平面型や FinFET と同様に共有することが可能になる特徴がある。表 3-4 に隣接している回路での VDD/VSS 共有の可能性を示す。隣接している回路が互いに 3 入力以内なら、VDD/VSS は共有することが可能である。その例として図 3-14 に 3 入力 NAND 同士が隣接している場合のパターンレイアウトを示す。隣接している回路の一方が 4 入力になると VDD/VSS は共有することが出来ない。その例として図 3-15 に 4 入力 NAND と 2 入力 NAND が隣接する場合のパターンレイアウトを示す。通常システム LSI では 3 入力

までの回路が使われる事が多いため[7], 提案方式によりシステム LSI の大部分のパターンで VDD/VSS を共有することが出来る.

表 3-4. 隣接回路との VDD/VSS 共有の可能性

	Inverter	2-Inputs	3-Inputs	4-Inputs
Inverter	○	○	○	×
2-Inputs	○	○	○	×
3-Inputs	○	○	○	×
4-Inputs	×	×	×	×

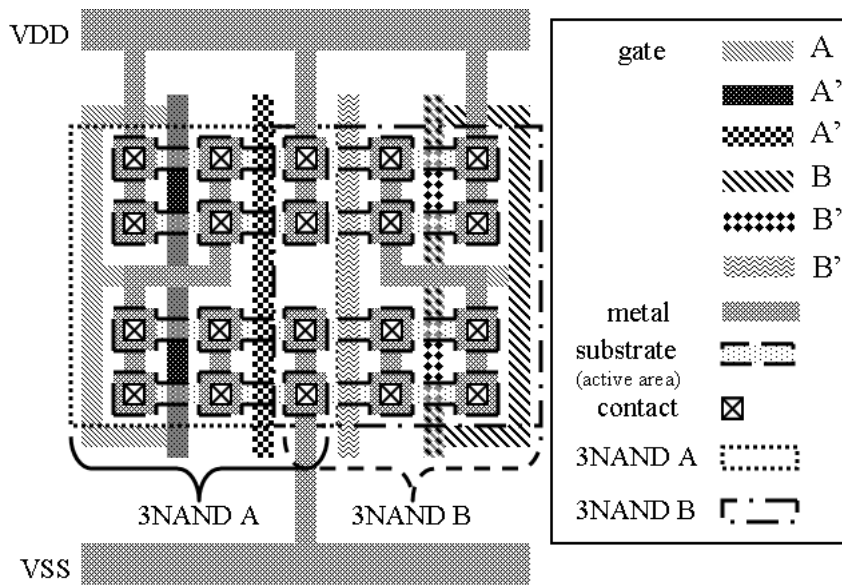


図 3-14. 3 入力同士が隣接している場合のパターンレイアウト図

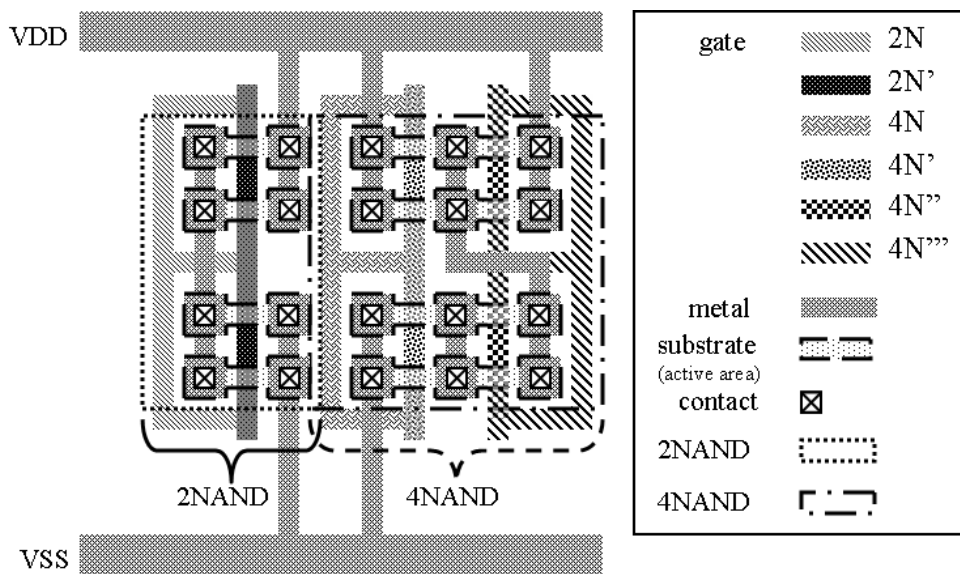


図 3-15. 4 入力 NAND と 2 入力 NAND が隣接している場合のパターンレイアウト図

3-5. 通信用システム LSI, DRAM 用バッファ回路, 1bit-Full Adder での

パターン面積縮小効果

インバータや NAND, NOR 等の基本回路だけではなく, チャンネル幅の小さなトランジスタの割合が大きい通信用システム LSI でもパターン面積の縮小効果について検討を行った. 過去平面型で設計された通信用 LSI[9]を元に検討した. 検討にあたり FinFET の設計法として過去提案されている“平面型+FinFET 型”方式を用いた[6]. 図 3-16 に提案方式の側壁チャンネル幅を変えたときの配線部分を除いたトランジスタ素子, 素子分離, ウェル分離領域のパターン面積の縮小効果を示す.

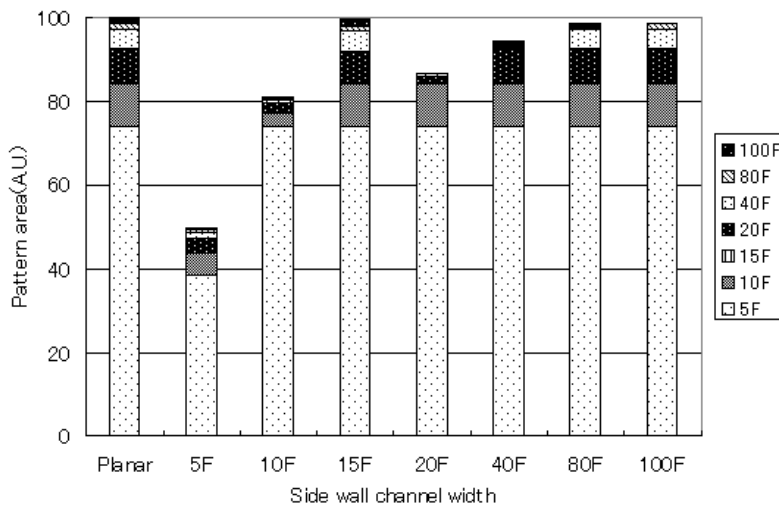


図 3-16. 通信用システム LSI でのパターン面積縮小効果

この通信用 LSI ではチャンネル幅が 5F のトランジスタのパターン面積がチップ全体の 70% 以上を占めているために, このトランジスタを 1 つの提案方式で実現することが可能な側壁チャンネル幅を 5F とした時に最もパターン面積の縮小効果が大きい. 平面で構成した場合と比較して 49% のパターン面積で実現することが可能である. 通信用システム LSI では一部 8 入力 NAND 等入力数が 5 以上の回路が用いられている. 今回の提案方式では 5 入力以上は実現出来ないため, 5 入力以上の回路は平面型として実現すると仮定した. 5 入力以上の回路のパターン面積は小さいので (チップ全体の 1.3%) この効果はほとんど無視出来る.

通信用システム LSI はチャンネル幅の小さなトランジスタの割合が大きい, チャンネル幅の大きなトランジスタの割合が大きい DRAM 用バッファ回路でもパターン面積の縮小効果について検討を行った[10]. 図 3-17 に今回提案する方式の側壁チャンネル幅を変えたときのパターン面積縮小効果を示す. 通信用システム LSI では側壁チャンネル幅が 5F の時にパターン面積が最小になったが, チャンネル幅の大きなトランジスタの割合が大きい側壁チャンネル幅が 45F の時に最小な値 16% になることがわかった. 45F が大きく製造プロセスが複雑になる場合は, 15F を用いても 18% にパターン面積が縮小可能である. 側壁チャンネル幅を

10F にした時にほとんどパターン面積が縮小できないのはチャンネル幅が 45F や 135F を整数個の提案方式で実現出来ないためである。

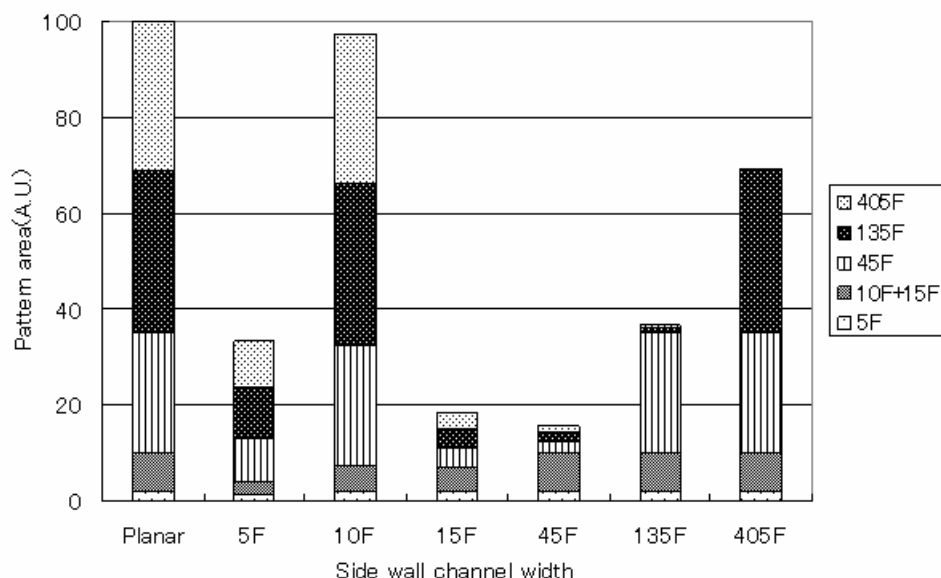


図 3-17. DRAM 用バッファ回路でのパターン面積縮小効果

前章までの検討はトランジスタ素子、素子分離、ウェル分離領域のみで行ったが、通常システム LSI では配線領域のパターン面積も存在する。そこで配線領域のパターン面積も考慮に入れた 1bit-Full Adder でのパターン面積の縮小効果を見積もった。検討に用いた 1bit-Full Adder は図 3-18 のような回路で、今回検討したインバータと NAND のみで設計した。トランジスタのチャンネル幅は NMOS, PMOS とともに 5F とした。平面型で構成した場合のパターン面積を 1 とした場合、FinFET は 0.69, 提案方式は 0.55 で実現できることがわかった (図 3-19)。チャンネル幅の小さいトランジスタの割合の大きい通信用システム LSI よりもパターン面積の縮小効果が小さくなったのは、トランジスタ部分の面積縮小効果に比べ、配線部分の面積は余り縮小できなかったためである。

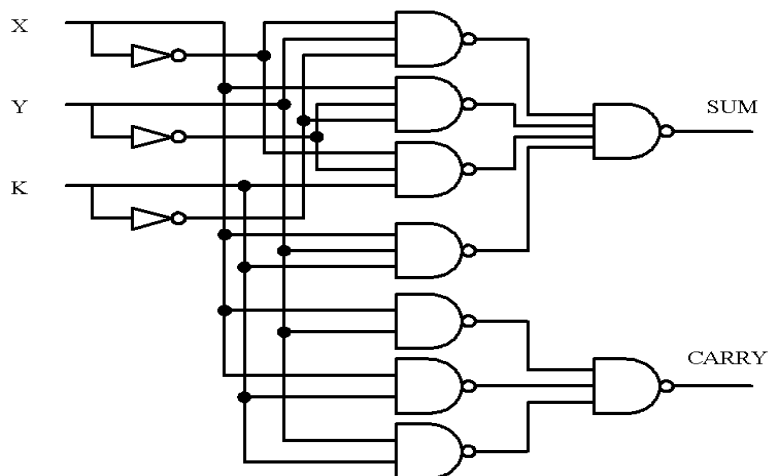


図 3-18. 1 bit Full-Adder の回路図

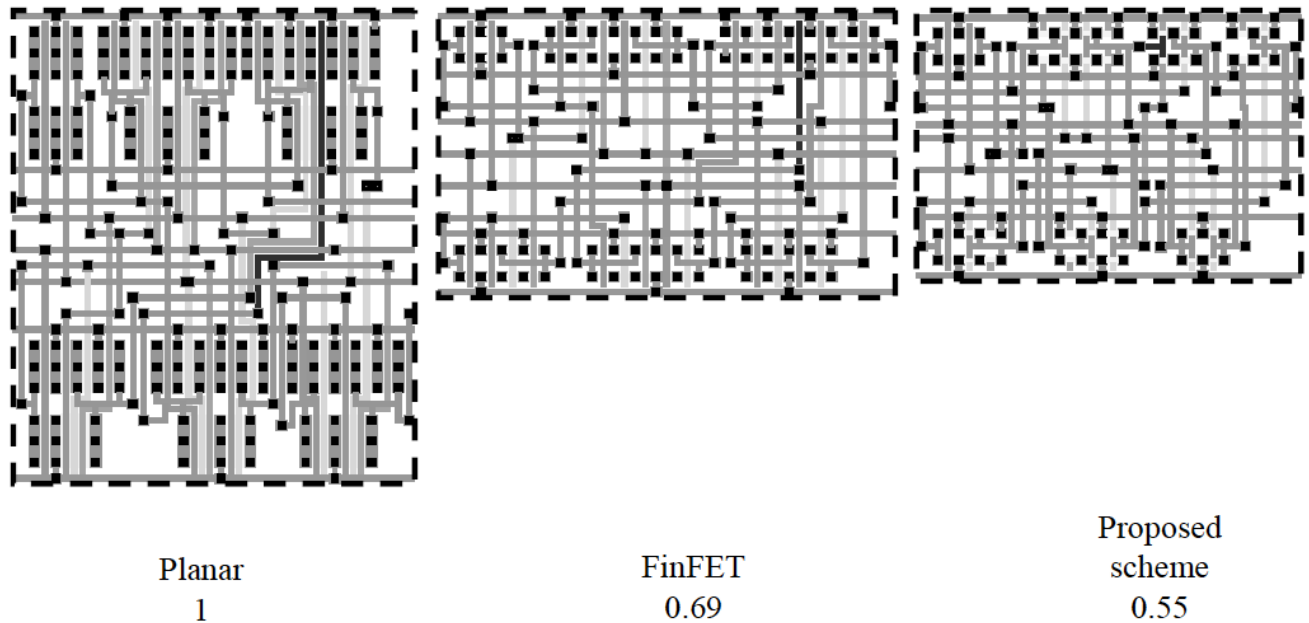


図 3-19. 1 bit-Full Adder のパターンレイアウト図

3-6. 結論

FinFET 以上の高密度化が実現できる独立したゲートを持つダブルゲートトランジスタの新レイアウト法を提案した。新方式では、一方のゲート配線の上に厚い絶縁膜を介して別のゲート配線を形成する事により、パターン面積を縮小出来る。パターン面積の縮小効果をインバータ, NAND, NOR 等の基本回路で定量的に検証し、パターン面積が平面型の 27%, FinFET の 78%と大幅に低減出来る事がわかった。またこれらの基本回路の組み合わせで構成される通信用システム LSI, DRAM 用バッファ回路, 1bit Full-Adder への適用検討を行ったところ、従来の平面型トランジスタを用いた場合のそれぞれ 49%, 16%, 55%にパターン面積が縮小できることが分かった。

以上の検討結果により、提案方式はシステム LSI の性能を犠牲にすることなく、パターン面積を縮小するために有効であることがわかった。

第 3 章の参考文献

- [1] International Technology Roadmap of Semiconductor 2003 Edition.
- [2] D.Hisamoto et al., "FinFET—a self-align double gate MOSFET scalable beyond 20 nm," IEEE Trans. Electron Devices, vol.3, pp.2320-2325. Dec.2000.
- [3] H.Wong, D.Frank, and P.Solomon, "Device design consideration For double-gate, ground-plane, and single-gate ultra-thin SOI MOSFET's at 25 nm channel length generation," in IEDM Tech. Dig., Dec. 1998, pp.407-410.
- [4] H.Takato et al., "Impact of SGT For ultra-high density LSIs," IEEE Trans. Electron Devices, vol.38, pp. 573-578, Mar. 1991.
- [5] S.Watanabe, "Impact of three-dimensional transistor on the pattern area reduction For ULSI," IEEE Trans. Electron Devices, vol.50, no.10, pp.2073-2080, 2003.
- [6] 渡辺重佳, "TIS を用いたバッファ回路の新設計法とその大容量 DRAM への適用検討." 信学論

- (C), vol.J86-C, no.3, pp.301-306, March 2003.
- [7] 渡辺重佳, “TIS(Trench-Isolated-transistor using Side wall gate)を用いたシステム LSI の設計法,” 信学論 (C), vol.J88-C No.12 pp.1208-1218, March 2005.
- [8] Meng-Hsueh Chiang, et al., “High-Density Reduced-Stack Logic Circuit Techniques Using Independent-Gate Controlled Double-Gate Devices”, IEEE Trans. Electron Devices, vol.53, NO.9, Sep.2006.
- [9] H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. NguyeNAND F. Hatori, “ A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter,” ISSCC Dig. Tech. Papers pp.68-69, 2003.
- [10] Y.Oowaki, K.Tuchida, Y.Watanabe, D.Takashima, M.Ohta, H.Nakano, S.Watanabe, A.Nitayama, F.Horiguchi, K.Ohuchi, and F.Masuoka, “A 33-ns 64Mb DRAM,” IEEE J. Solid-State Circuit, vol.26, no.11, pp.1498-1505, 1991.

4. 独立したゲートを持つ積層型ダブルゲートトランジスタによるシステム L S I の設計法

4-1. 序論

近年のシステム L S I では高性能化，多機能化の要求が増々高まり，スケーリング則によりトランジスタが微細化されているにも関わらず，チップ面積が大きくなってしまいう問題がある．さらに従来の平面構造では短チャネル効果などにより，これ以上微細化することが難しくなってきた[1]．これらの問題を解決するために，FinFET[2]に代表される各種 3次元構造のトランジスタ[3]~[5]が提案されている．しかしこれらの構造ではトランジスタ部分のパターン面積の縮小効果は高いが，NMOS と PMOS の素子分離領域のパターン面積を縮小することが出来なかった．そこで以前 PMOS の上に絶縁膜を形成し，その上に NMOS を形成することによってトランジスタの素子分離のパターン面積を無くすことが出来るスタック型 3次元トランジスタが提案されている[6]．この方式により素子分離領域の面積を低減できるだけでなく，トランジスタ部分の面積も半減できる特徴がある．

本論文ではこのスタック型 3次元トランジスタと，ダブルゲート構造の左右の側壁に別々の信号を入力する事によってパターン面積を縮小することが出来る方式[7]を複合した，独立したゲートを持つスタック型 3次元トランジスタを新たに提案した．更にインバータや NAND，NOR 等の基本的な論理回路や，通信用システム L S I や DRAM 用バッファ回路などのセルライブラリにこの方式を適用した場合のパターン面積縮小効果について検討を行った．

4-2. スタック型 3次元トランジスタの構造

FinFET のような同一平面状に素子を形成する 3次元トランジスタ方式では，NMOS と PMOS を分離するための面積が必要不可欠であるため，側壁をチャネルとして用いる事によりトランジスタ部分の面積を小さくすることが出来ても回路全体では大きな面積縮小効果をあげることが困難になる．そこで更なる面積の縮小効果を実現するために，スタック型 3次元トランジスタが考案された[6] (図 4-1)．PMOS 上に PMOS と NMOS を分離させるための絶縁膜を形成し，その上に NMOS を形成している．上下のトランジスタを接続すればインバータ回路が容易に設計できる．このような構造にすると素子分離のパターン面積が不要に出来る特徴がある．更にトランジスタを縦に積層する事により，トランジスタ部分の面積を半減できる．

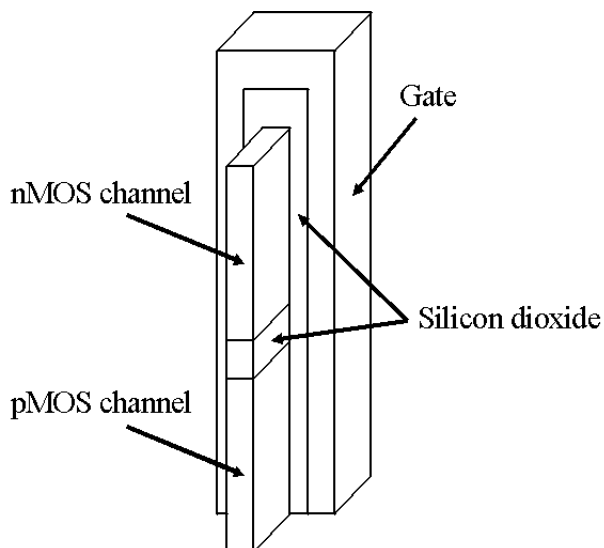


図 4-1. スタック型 3 次元トランジスタ

4-3. 独立したゲートを持つスタック型 3 次元トランジスタの構造

図 4-2 に今回新たに提案する独立したゲートを持つスタック型 3 次元トランジスタ (以下提案方式と略す) の図を示す.

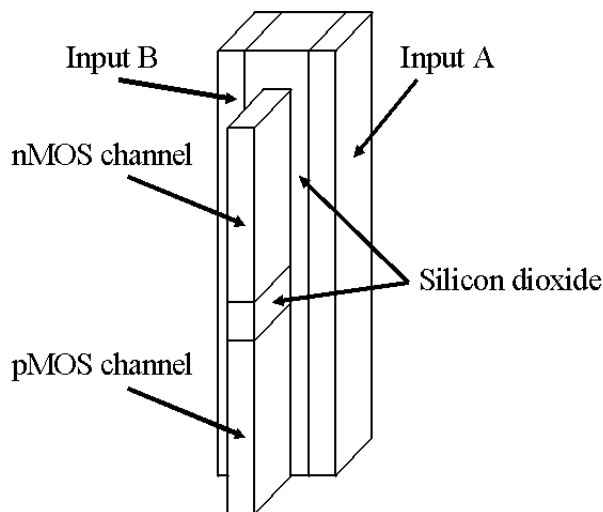


図 4-2. 独立したゲートを持つスタック型 3 次元トランジスタ

従来のスタック型 3 次元トランジスタとの違いは左右から違う信号を入力している事である. 上下のトランジスタを接続すれば, 容易に 2 入力 NAND が実現できる. 2 入力の NAND (図 4-3) の場合, NMOS はトランジスタが直列に接続されているため, 基板の不純物濃度やゲート材料の仕事関数を調整することによって, 入力 A と入力 B の両方がオンになった時に基板の中心部分に電流が流れるようにすることで実現する. 一方 PMOS は, トランジ

スタを並列に接続するため NMOS とは違う値になるように基板の不純物濃度等を調節し、入力 A と入力 B のどちらかがオンになった時に基板の表面に電流が流れるようにすることで実現する [7]. 今回提案する方式の 2 入力 NAND のパターンレイアウト図を図 4-4 に示す. 左右の側壁に異なる入力信号が入力できるために, 従来のスタック型 3 次元トランジスタ [6] で設計したインバータとほぼ同じレイアウトで 2 入力 NAND を設計することが可能である. NMOS の下に構成される PMOS と VDD 配線を接続する場合には, 図 4-5 に示すように上から PMOS 部分に貫通する形で穴を形成し, PMOS 部分の側壁でメタル配線と接続する.

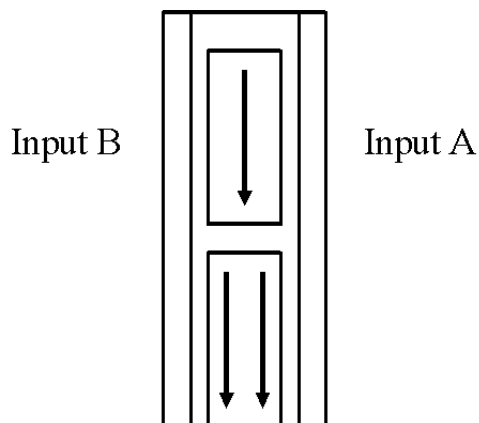


図 4-3. ゲート部分の断面図

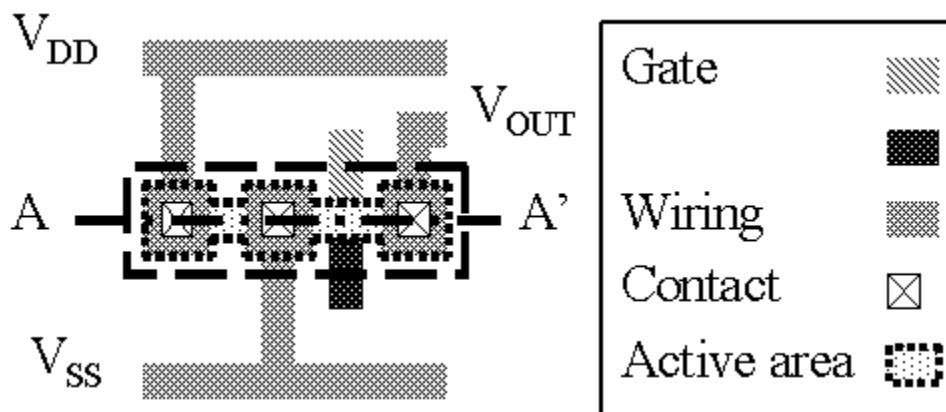


図 4-4. 2 入力 NAND のパターンレイアウト図

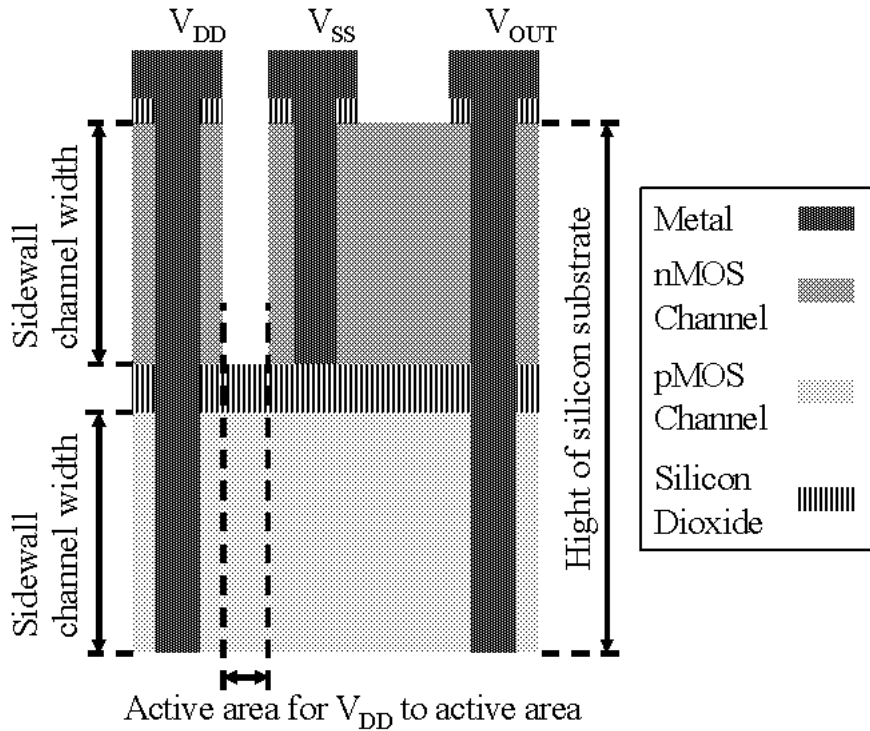


図 4-5. A-A' 間の断面図

4-4. 基本論理回路でのパターン面積縮小効果

提案方式によるパターン面積縮小効果を比較するために平面型，FinFET，独立したゲートを持つダブルゲートトランジスタ，提案方式でインバータ，2入力NAND，3入力NAND，4入力NANDをどのトランジスタでも同じW/L，電圧では同じドレイン電流が流れるという仮定で設計した．設計に用いたデザインルールを表 4-1 に示す．側壁チャネル幅は，それぞれの3次元トランジスタを用いて通信用システムLSI（チャネル幅の小さいトランジスタが多いのが特徴）を設計した場合にパターン面積が最小になる値を選択した．すなわち，FinFETでは $2F$ [10]，独立したゲートを持つダブルゲートトランジスタでは $5F$ [8]，提案方式で $5F$ とした．シリコン柱の高さはNMOSとPMOSが上下に積層されないFinFETと独立したゲートを持つダブルゲートトランジスタでは側壁チャネル幅と同じ値を用いた．一方，上下に積層される提案方式ではNMOSとPMOSのチャネル幅が同じ場合を想定して $5F \times 2 + F = 11F$ （ $+F$ はNMOSとPMOSの分離部分の厚さ）を用いた．

図 4-6 にチャネル幅がNMOS，PMOS共に $5F$ （ F はデザインルール）の時の2入力NANDのパターンレイアウト図を示す．平面型のパターン面積を100%とした場合，FinFET，独立したゲートを持つダブルゲートトランジスタ，提案方式はそれぞれ63%，48%，21%で設計できることがわかった．FinFET，独立したゲートを持つダブルゲートトランジスタともにトランジスタ部分のパターン面積はある程度縮小出来るが，ウェル分離領域部分のパターン面積が縮小できない．そのため今回比較に用いたチャネル幅が $5F$ と小さいトランジ

スタの場合，回路全体としてのパターン面積縮小効果は余り高くないという問題があった。しかし提案方式では PMOS の上に NMOS を形成することによってウェル分離領域のパターン面積が不要に出来る。更にトランジスタを積層する事によりトランジスタ部分の面積を半減できるために今回比較した中で最もパターン面積縮小効果が高いことがわかった。チャンネル幅が $10F$ の時の 2 入力 NAND でも同様にパターン面積の比較を行った。図 4-7 にチャンネル幅が $10F$ の時の 2 入力 NAND のパターンレイアウト図を示す。チャンネル幅が 2 倍になったために FinFET，独立したゲートを持つダブルゲートトランジスタではトランジスタを 2 個並列に並べる事により，パターン面積はそれぞれ平面型の 64%，47%で実現できることがわかった。一方提案方式では，通常のダブルゲートトランジスタを PMOS では並列，NMOS では直列に接続することにより平面型の 23%に縮小できる（詳細は 4-5 章参照）。インバータや 3 入力 NAND，4 入力 NAND でも同様に検討を行い，提案方式が他方式と比較して最もパターン面積縮小効果が大きいことがわかった。

図 4-8 にチャンネル幅が(a) $5F$ ，(b) $10F$ の時のパターン面積縮小効果をまとめたグラフを示す。トランジスタを積層している効果だけでなく，トランジスタ 1 個のチャンネル幅が小さく，NAND などのパターン全体に占めるウェル分離領域の割合が大きいため，ウェル分離領域のパターン面積が不要になる提案方式は FinFET や独立したゲートを持つダブルゲートトランジスタ以上のパターン面積縮小効果があることがわかった。

表 4-1. 設計に用いたデザインルール

	Planar	FinFET	Independent Gate	Proposed Scheme
Gate length	F	F	F	F
Wiring	F	F	F	F
Wiring to Wiring	F	F	F	F
Contact size	$F \times F$	$F \times F$	$F \times F$	$F \times F$
Sidewall channel width		2F	5F	5F
Height of silicon substrate		2F	5F	11F
Width of silicon substrate		F	F	F
Active area for V_{DD} to active area				F

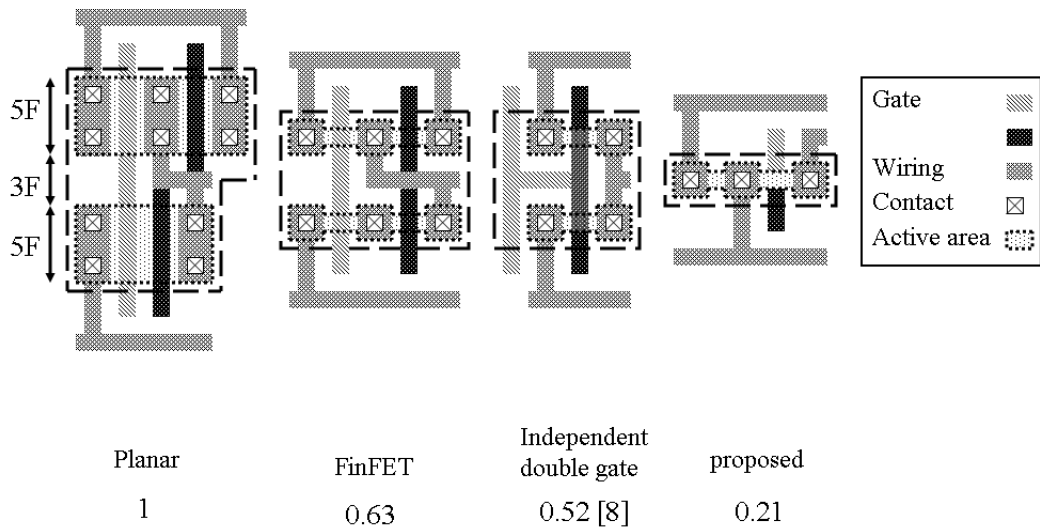


図 4-6. チャンネル幅が 5F の時の 2 入力 NAND のパターンレイアウト図

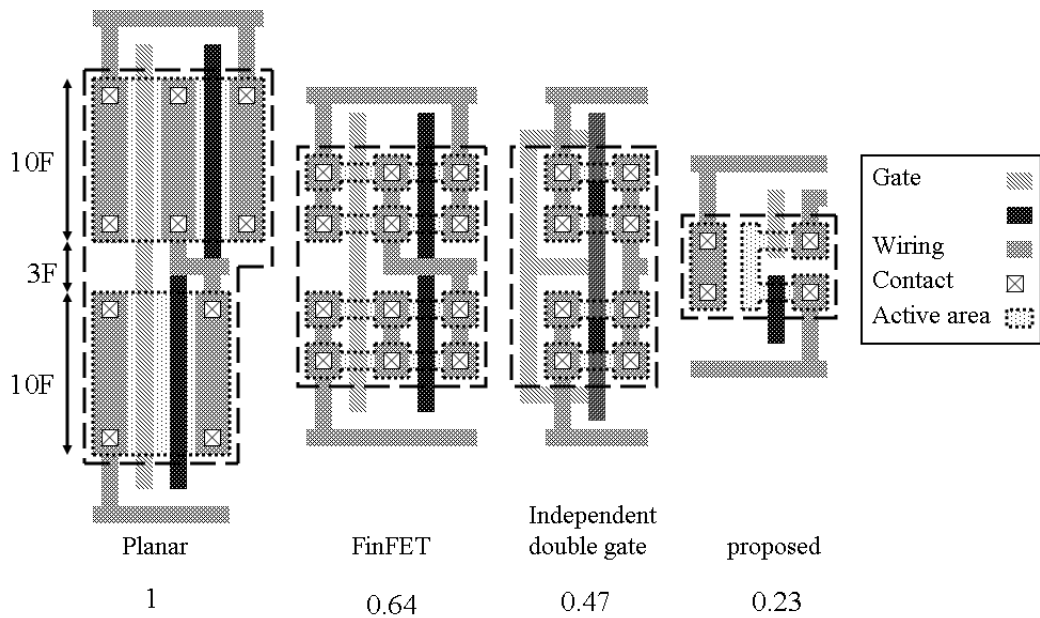


図 4-7. チャンネル幅が 10F の時の 2 入力 NAND のパターンレイアウト図

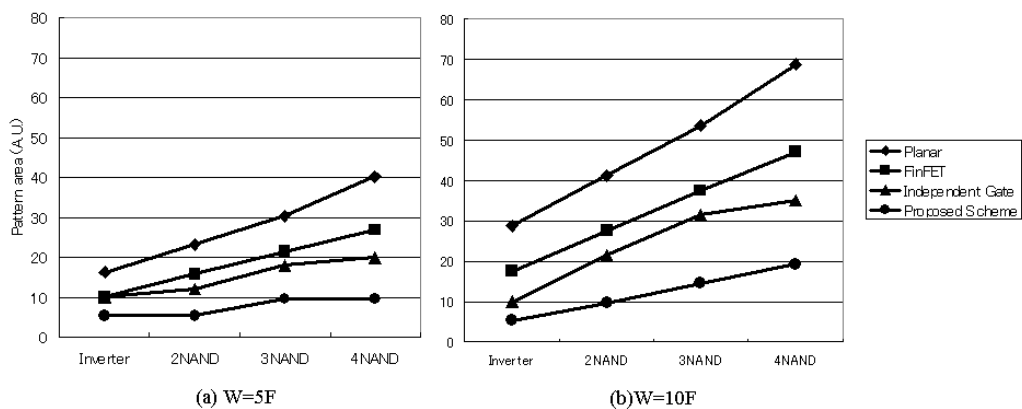


図 4-8. チャンネル幅が(a)5F, (b)10F の時のパターン面積の直列段数依存性

4-5. 通信用システム LSI でのパターン面積縮小効果

インバータや NAND, NOR 等の基本的な論理回路だけではなく、チャンネル幅の小さなトランジスタの割合が大きい通信用システム LSI でもパターン面積の縮小効果について検討を行った。過去平面型で設計された LSI[9], [10]を元に検討した。パターン面積としてはトランジスタ部分、ウェル分離領域のみを考慮した。図 4-9 にそれぞれの 3 次元トランジスタを用いた場合に通信用システム LSI のパターン面積が最小になるように側壁チャンネル幅を定めた場合のパターン面積の縮小効果を示す。側壁チャンネル幅は FinFET で 2F, 独立したゲートを持つダブルゲートトランジスタと提案方式では 5F である。一方シリコン柱の高さはそれぞれ 2F, 5F, 11F になる。検証に用いた通信用システム LSI では NMOS と PMOS のチャンネル幅が同じトランジスタが多いため、NMOS と PMOS の側壁チャンネル幅を同じ値（この場合は 5F）にするとパターン面積を最小にできる。通信用システム LSI では、チャンネル幅が小さいトランジスタの割合が 74%と大きいため、チャンネル幅 5F のトランジスタを 1 個の FinFET, 独立したゲートを持つダブルゲートトランジスタ, 提案方式で実現することにより、NMOS と PMOS を積層し、ウェル分離領域のパターン面積が不要になる提案方式が最もパターン面積を縮小することができる。平面型のパターン面積を 100%とした場合 FinFET が 62%, 独立したゲートを持つダブルゲートトランジスタが 49%で実現されるのに対し、提案方式は 24%で実現できた。検討に用いた通信用システム LSI にはインバータや NAND だけではなく NOR も含まれている。チャンネル幅が NMOS, PMOS 共に 5F の場合は基板の不純物濃度を NAND と違うものを用いること (NMOS はトランジスタを並列に接続するために、基板の表面に電流が流れるように基板の不純物濃度等を調整する。

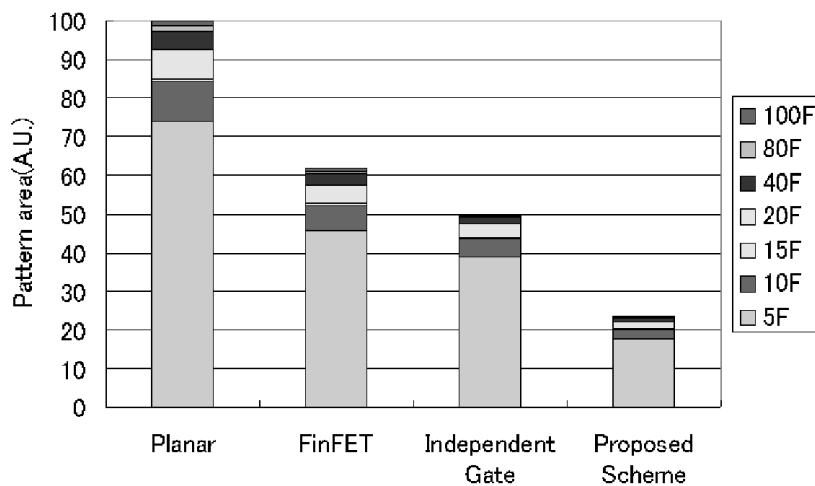


図 4-9. 通信用システム LSI でのパターン面積縮小効果

PMOS はトランジスタを直列に接続するために、基板の中心に電流が流れるように基板の不純物濃度等を調整する。)により、NOR を実現することが可能であり、レイアウト図は

NAND と同じものとなる．一方チャンネル幅が NMOS, PMOS 共に $5F$ より大きい場合は，トランジスタを並列に並べなければならない．その場合のレイアウトは NAND と違うものになる．図 4-10 にチャンネル幅が NMOS, PMOS 共に $10F$ の時の 2 入力 NAND と NOR の比較を示す．2 入力の場合，提案方式を 2 つ並列に並べる①方式と，通常の直列，並列接続を用いる②方式の両方で実現可能であるが，②方式の方がパターン面積を若干小さく出来るのでここでは②方式を用いる．チャンネル幅が $15F$, $20F$ の場合も同様である．一方，3 入力以上の場合は①方式ではレイアウトが難しく②方式しか実現できない場合が多い．図 4-10

(a) の NAND は PMOS がトランジスタの並列接続，NMOS が直列接続であるために矢印のように $V_{DD} \rightarrow V_{OUT} \rightarrow V_{SS}$ と電流が流れる．(b) の NOR では PMOS が直列接続，NMOS が並列接続であるために NMOS, PMOS 共に NAND とは異なる構造になっている．電流は矢印のように $V_{DD} \rightarrow V_{OUT} \rightarrow V_{SS}$ と流れる．レイアウト図に違いはあるものの，パターン面積は同じになる．

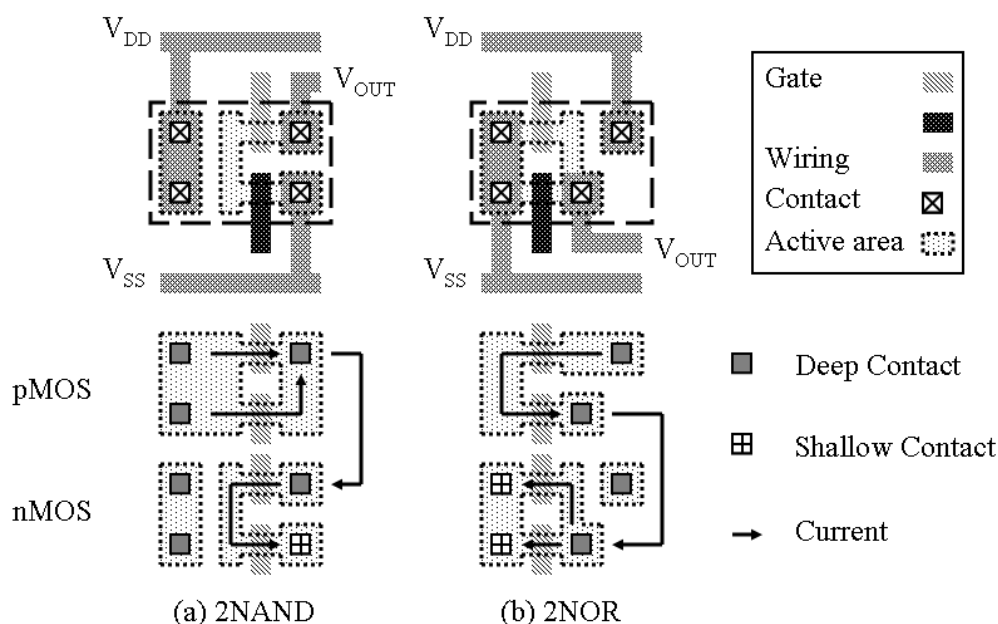


図 4-10. チャンネル幅が $10F$ の時の(a)2NAND, (b)2NOR のパターンレイアウト図

4-6. DRAM 用バッファ回路でのパターン面積縮小効果

通信用システム LSI はチャンネル幅の小さなトランジスタの割合が大きかったが，チャンネル幅の大きなトランジスタの割合が大きい DRAM 用バッファ回路[11]でもパターン面積の縮小効果について検討を行った．図 4-11 にそれぞれの 3 次元トランジスタを用いた場合に DRAM 用バッファ回路のパターン面積が最小になるように側壁チャンネル幅を定めた場合のパターン面積の縮小効果を示す．側壁チャンネル幅は，FinFET で $7F$ ，独立したゲートを持つダブルゲートトランジスタと提案方式では $15F$ である．通信用システム LSI 同様 DRAM 用バッファ回路でも NMOS と PMOS のチャンネル幅が同じトランジスタが多いため，NMOS

と PMOS の側壁チャンネル幅が同じときパターン面積が最小になる。通信用システム LSI では側壁チャンネル幅が比較的小さい値の時にパターン面積が最小になったが、チャンネル幅が大きなトランジスタの割合が大きいため通信用システム LSI よりも側壁チャンネル幅が大きい時パターン面積の縮小効果が大きくなり、平面型を 100%とした場合 FinFET が 25%、独立したゲートを持つダブルゲートトランジスタが 18%、提案方式が 14%で実現できることがわかった。FinFET、独立したゲートを持つダブルゲートトランジスタ、提案方式でのパターン面積の縮小率が通信用システム LSI より大きいのは、面積を最小にする側壁チャンネル幅が大きくなったためである。その結果提案方式でのシリコン柱の高さは 31F と高くなる。現在の DRAM ではシリコン柱の高さとシリコン柱間の間隔の比であるアスペクト比が大きい LSI が実現されている[12][13]。そのため提案方式では、この程度のアスペクト比は工業的に実現できると考えられる。一方、独立したゲートを持つダブルゲートトランジスタに対する提案方式の面積縮小率が通信用システム LSI の場合より小さいのは DRAM バッファ回路ではチャンネル幅が大きく、ウェル分離領域部分のパターン面積が比較的小さくなるためである。

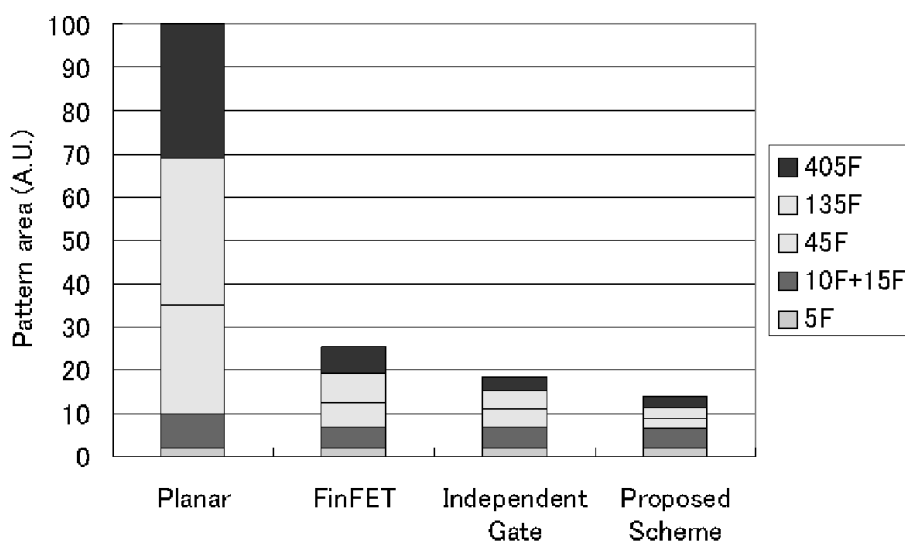


図 4-11. DRAM 用バッファ回路でのパターン面積縮小効果

4-7. パターン面積の側壁チャンネル幅依存性

第 4-5 章、4-6 章の検討結果により、チャンネル幅の小さいトランジスタの割合の大きい通信用システム LSI と、チャンネル幅の大きいトランジスタの割合の大きい DRAM 用バッファ回路ではパターン面積が最小になる側壁チャンネル幅が異なることがわかった。その傾向を更に詳細に示すため、側壁チャンネル幅の値を変えた場合のパターン面積の縮小効果を可視化した。その時個々のトランジスタを 3 次元化出来る場合は各種 3 次元トランジスタを設計に用い、個々のトランジスタを 3 次元化できない場合は平面型を用いて設計した。図 4-12 に通信用システム LSI のパターン面積の側壁チャンネル幅依存性を示す。通信用システム LSI は

チャンネル幅が 5F と小さいトランジスタの割合が大きいため、それを 1 個の 3 次元トランジスタで実現出来る側壁チャンネル幅 (FinFET では 2F, 独立したゲートを持つダブルゲートトランジスタ, 提案方式では 5F, 図中で矢印で示す) の時にパターン面積が最小になることがわかった. またチャンネル幅の小さいトランジスタの割合が大きいため、側壁チャンネル幅を増やすと 3 次元化出来ない場合が増える. そのためにパターン面積が小さくならない場合が多くなる. 次に DRAM 用バッファ回路でのパターン面積の側壁チャンネル幅依存性を検討した. DRAM 用バッファ回路はチャンネル幅が 45F, 135F, 405F のように大きいトランジスタの割合が大きい. そのために図 13 で示すように側壁チャンネル幅を FinFET では 7F, 独立したゲートを持つダブルゲートトランジスタ, 提案方式では 15F の場合にパターン面積が最小になることがわかった (図中で矢印で示す). 図 4-13 において FinFET で側壁チャンネル幅 5F, 15F でパターン面積が縮小されていないのは DRAM 用バッファ回路ではそれに対応するチャンネル幅 11F, 31F のトランジスタが無いためである. 同様のことが、側壁チャンネル幅 7F, 66F の独立したゲートと持つダブルゲートトランジスタ提案方式でも起こっている.

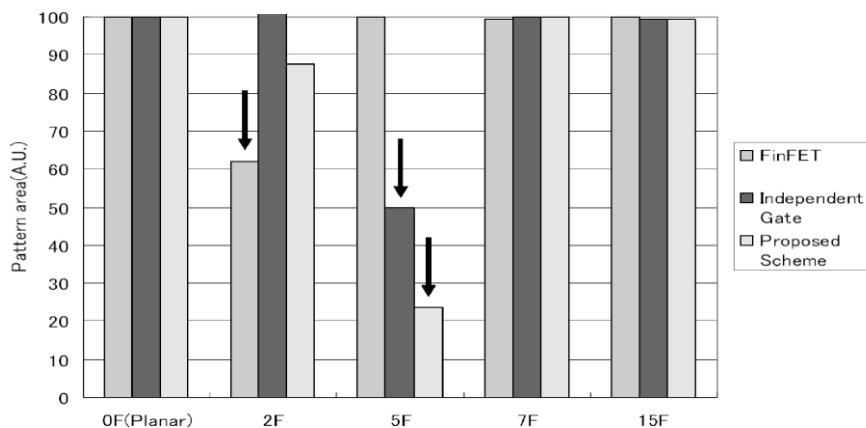


図 4-12. 通信用システム LSI のパターン面積の側壁チャンネル幅依存性

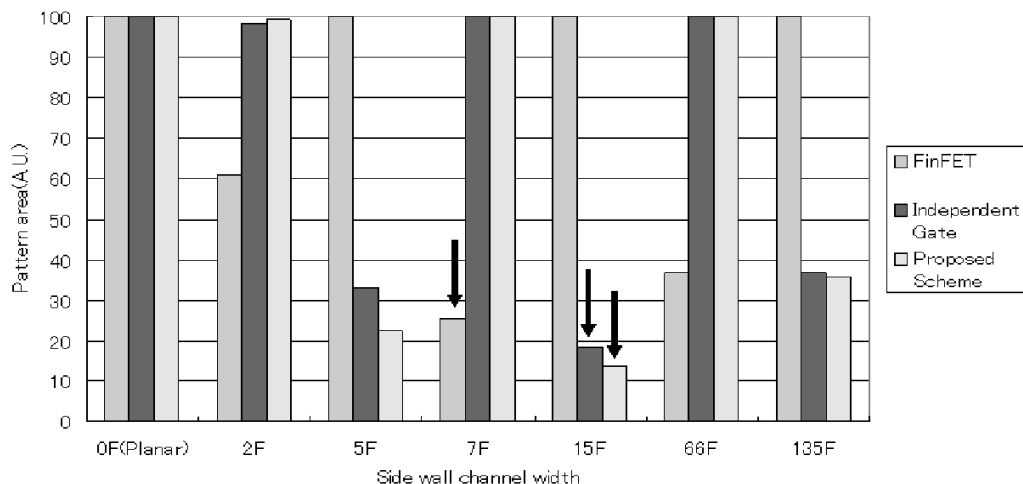


図 4-13. DRAM 用バッファ回路のパターン面積の側壁チャンネル幅依存性

4-8. NMOS と PMOS のチャンネル幅が異なる場合のパターン面積縮小効果

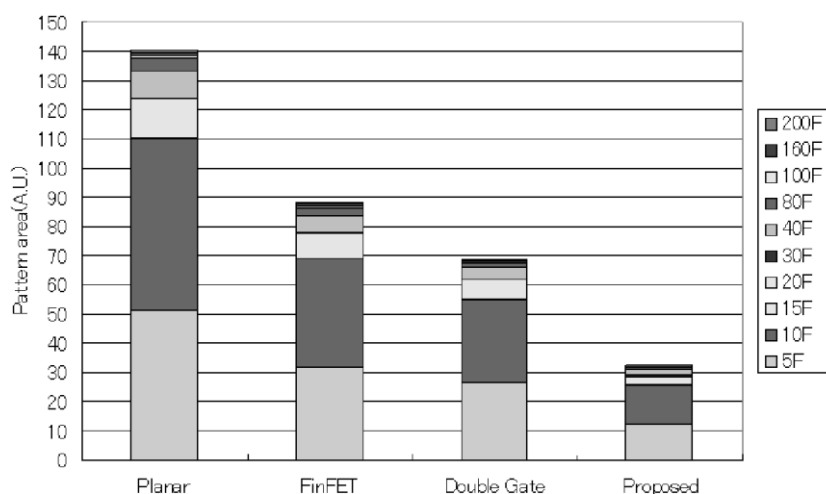


図 4-14. ① (移動度を考慮した場合) のパターン面積縮小効果

4-7 章までは議論を単純化するために NMOS, PMOS 共に同一のチャンネル幅で検討を行っていた。しかし、実際の LSI では移動度を考慮して PMOS のチャンネル幅が NMOS より大きい場合や、動作速度や消費電力を考慮して PMOS, NMOS のチャンネル幅を自由に設定することも多い。そこでそれらの状況に対応するために、①移動度を考慮して PMOS のチャンネル幅を NMOS より大きくする場合、②移動度とトランジスタの直列段数を考慮して直列接続部分のチャンネル幅を大きくする事によって高速性能を実現する場合 (PMOS, NMOS のチャンネル幅を自由に設定する一例) を、通信用システム LSI で検討した。①で設計するとパターン面積は平面型で設計した場合, NMOS, PMOS のチャンネル幅が同一の時と比較して 140%に増加し, ②で設計すると 165%に増加する。このパターン面積の増加は主にチャンネル幅が 10F 以上のトランジスタが増えたためである。図 4-14 に①に各種 3 次元トランジスタを用いた場合のパターン面積縮小効果を示す。①ではチャンネル幅が 5F と 10F のトランジスタの割合がほぼ同じであるために側壁チャンネル幅が FinFET では 2F, 独立したゲートを持つダブルゲートトランジスタでは 5F に設定するとパターン面積を最小に出来る。一方提案方式では, PMOS の上に NMOS を積層しているため, 比較的簡単に NMOS と PMOS の側壁チャンネル幅を変えることが出来る。①の場合には PMOS の側壁チャンネル幅を NMOS の 5F の 2 倍の 10F にするとパターン面積が最小になる。つまり①のように PMOS のチャンネル幅が NMOS と比較して一律 n 倍 (ここでは $n=2$) になる場合には, PMOS の側壁チャンネル幅を NMOS の n 倍にするとパターン面積を最小に出来, しかもプロセス技術的に比較的簡単に実現できる。その結果パターン面積は $n=1$ の時とほぼ同様のパターン面積縮小効果 (FinFET では 63%, 独立したゲートを持つダブルゲートトランジスタでは 49%, 提案方式は 23%) を実現出来る。②ではチャンネル幅が 10F のトランジスタの割合が大幅に大きくなっているためにチャンネル幅が 10F のトランジスタの面積を最も縮小できる側壁チャネ

ル幅 (FinFET では $4.5F$, 独立したゲートを持つダブルゲートトランジスタでは $10F$) を用いる事によりパターン面積を最小に出来る. 提案方式では, まず NMOS のチャンネル幅の分布よりパターン面積を最小にする NMOS の側壁チャンネル幅を求める. この場合 $10F$ となる. 次に PMOS のチャンネル幅の分布より同様にパターン面積を最小にする PMOS 側壁チャンネル幅を求める. この場合は 2 入力 NAND のパターン面積が多いために, パターン面積を最小にする側壁チャンネル幅は NMOS と同じ $10F$ になる. 以上のようにして求めた値を用いるとパターン面積が最小になる. 図 4-15 に②に各種 3 次元トランジスタを用いた場合のパターン面積縮小効果を示す. FinFET は 39%, 独立したゲートを持つダブルゲートトランジスタは 32%, 提案方式は 20% で実現することが出来た.

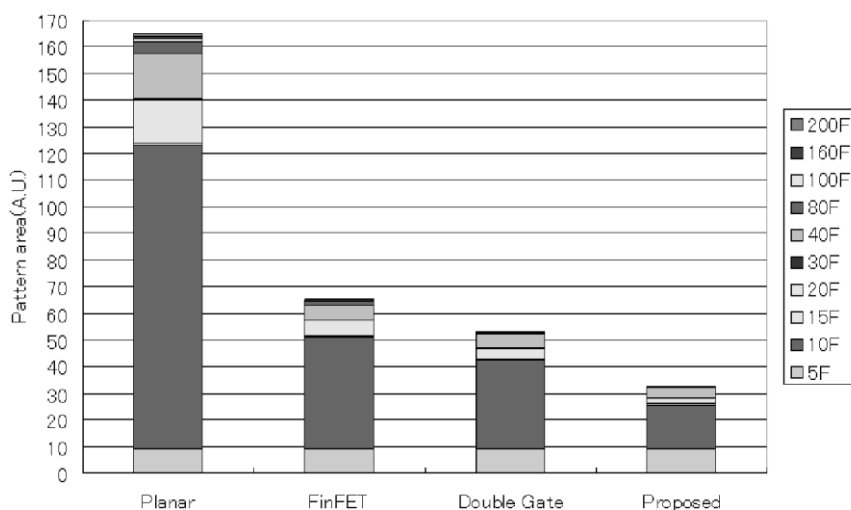


図 4-15. ② (移動度と速度を考慮した場合) のパターン面積縮小効果

4-9. 配線領域の面積を考慮したパターン面積縮小効果

前章までの検討はトランジスタ, 素子分離, ウェル分離領域のみで行ったが, 通常システム LSI では配線領域のパターン面積も存在する. そこで配線領域のパターン面積も考慮に入れた 1bit-Full Adder, トランジスタのドレインやソースに信号が入力される 4bit multiplexer のパターン面積の縮小効果を見積もった. 検討に用いた 1bit-Full Adder の回路図を図 4-16 に示す. トランジスタのチャンネル幅は NMOS, PMOS とともに $10F$ とした. 平面型で構成した場合のパターン面積を 100% とすると, FinFET は 57.1%, 独立したゲートを持つダブルゲートトランジスタは 46.6%, 提案方式は 28.5% と通信用システム LSI に近い縮小効果を実現している (図 4-17). FinFET や独立したゲートを持つダブルゲートトランジスタはトランジスタ部分のパターン面積縮小効果は高いが, 配線領域のパターン面積を縮小することが難しい. 検討に用いた平面型の 1bit-Full Adder ではトランジスタ及び電源/接地部分が 80% で, 配線部分が 20% になる. FinFET を用いる事によって図 4-18(b) のトランジスタ部分及び電源/接地部分の縦幅が縮小されているが, 横幅は平面型と同じである. 配線部分の面積は平面型の場合と同じであるために, トランジスタ部分と配線部分をあわせ

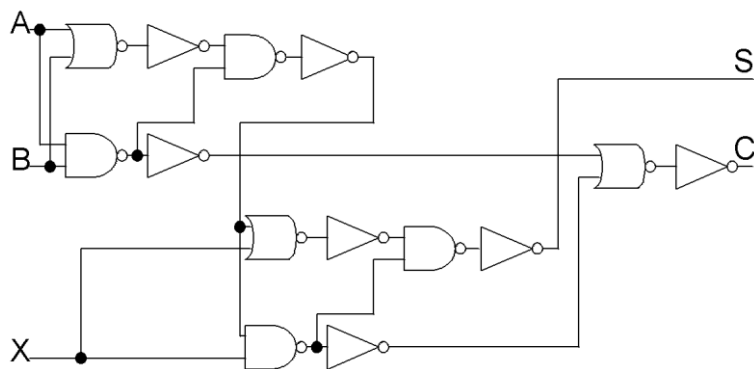


図 4-16. 1bit-Full Adder の回路図

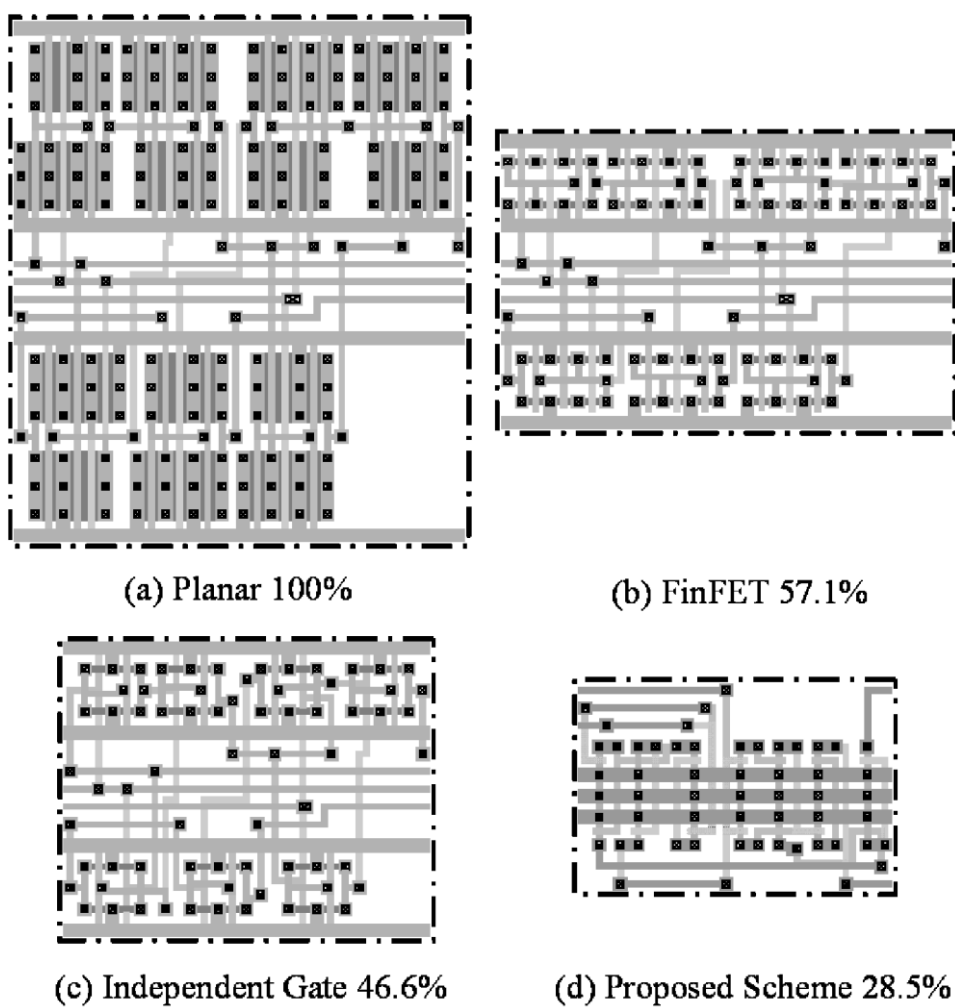


図 4-17. 1bit-Full Adder のパターンレイアウト図

たパターン面積は 57.1%になった. 独立したゲートを持つダブルゲートトランジスタは図 4-17(c)のトランジスタ及び電源/接地の縦幅は FinFET と同じであるが, 2 入力の論理を 1 つの Fin で実現できるために, FinFET よりもパターンレイアウト上の Fin の数が少なくな

るためにトランジスタ及び電源/接地部分の横幅を縮小することができる。それによって配線部分の横幅も縮小することができるためにパターン面積を 46.6%に縮小することができた。それに対して提案方式は VDD と VSS の配線の真下にレイアウトすることによりのトランジスタ及び電源/接地部分の面積を大幅に縮小することができる。さらに回路の方向を最適化（トランジスタを 90° 回転）することによって FinFET の 50%，独立したゲートを持つダブルゲートトランジスタの 61%のパターン面積で実現することができる。

図 4-18 に検討に用いた 4bit multiplexer の回路図を示す。1bit-Full Adder と対照的に論理ゲート数と比較して入出力数が多い構成になっている。トランジスタのチャンネル幅は NMOS, PMOS とともに 10F とした。平面型で構成した場合のパターン面積を 100%とすると、FinFET は 69.2%，独立したゲートを持つダブルゲートトランジスタは 68.2%，提案方式は 32.0%で実現できることがわかった（図 4-19）。ソース、ドレインに入力が入り、さらに入出力数が多く、配線が複雑に入り組んでいるために配線領域のパターン面積が非常に大きくなっている（図 4-16 の 1bit-Full Adder は配線部分の面積が 20%であったが、4bit multiplexer では 38%）。そのため、配線領域のパターン面積を縮小することが難しい FinFET や独立したゲートを持つダブルゲートトランジスタでは 1bit-Full Adder の場合ほどパターン面積を縮小することができなかった。また、FinFET と独立したゲートを持つダブルゲートトランジスタでパターン面積がほとんど同じになった。これは、独立したゲートを持つダブルゲートトランジスタは 2 入力の論理を 1 個の Fin で実現できるために図 16 のような回路ではパターン面積縮小効果が高いが、図 4-18 のように入力数が 1 の論理のみで構成された回路では、パターンレイアウトがほぼ FinFET と同じようになってしまうためである。それに対して提案方式は PMOS の上に NMOS を積層しているためにソース、ドレインへ入力するために配線を大きく迂回させる必要が無い。また VDD や VSS があるためにゲート電極用のポリシリコンとメタルをつなぎかえるため必要だったコンタクトも不要になるなどの特徴があるために FinFET や独立したゲートを持つダブルゲートトランジスタの半分以下のパターン面積を実現できる。

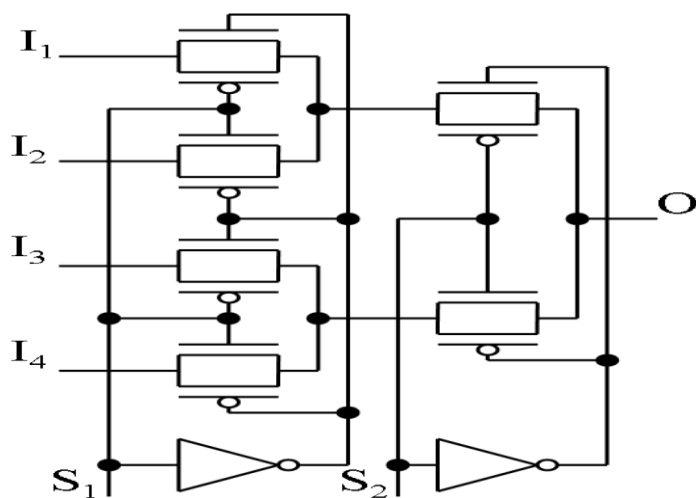


図 4-18. 4bit multiplexer の回路図

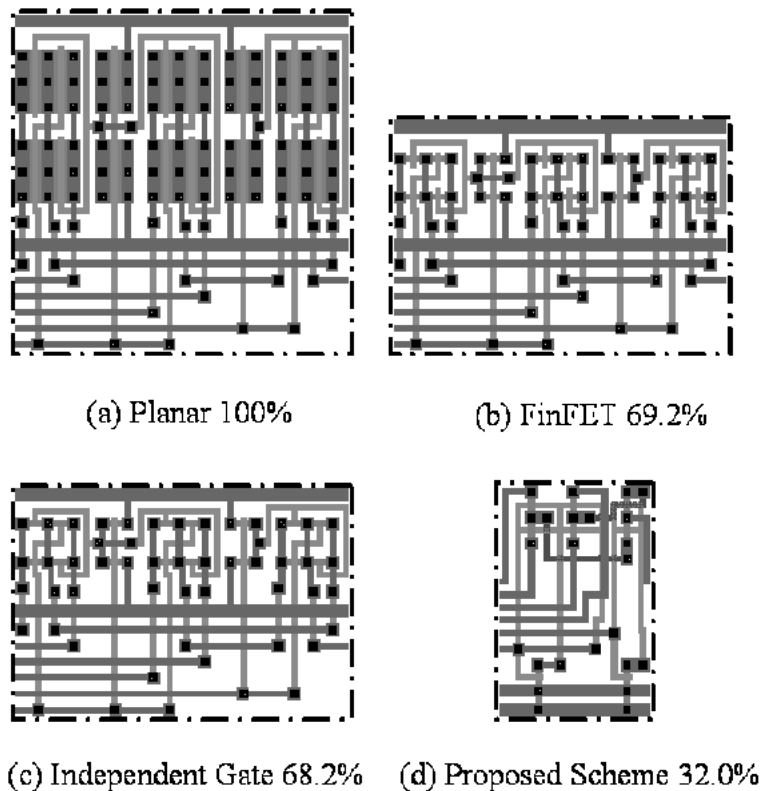


図 4-19. 4bit multiplexer のパターンレイアウト図

4-10. 結論

従来提案されていたスタック型の 3 次元トランジスタと、独立したゲートを持つダブルゲートトランジスタの特徴を併せ持つ独立したゲートを持つスタック型の 3 次元トランジスタを今回新たに提案した。NMOS と PMOS を積層出来、素子分離部分のパターン面積が不要となりシリコン柱の両側面に異なる信号を入力出来る特徴を併せ持つため、パターン面積の縮小効果は非常に大きい。チャンネル幅が $5F$ のトランジスタを 1 つの提案方式で実現した場合、インバータは従来の平面型の場合の 18%~30%、NAND、NOR は平面型の場合の 21%~33%に縮小出来る事がわかった。チャンネル幅の小さいトランジスタの割合の大きい通信用システム LSI では側壁チャンネル幅を最適化することによって 24%、チャンネル幅の大きいトランジスタの割合の大きい DRAM 用バッファ回路では側壁チャンネル幅を最適化することによって 13%にパターン面積を縮小できる。配線領域のパターン面積も考慮に入れた 1bit-Full Adder, 4bit multiplexer では提案方式を VDD と VSS の配線の直下コンパクトにレイアウトする事が出来、それぞれ 28.5%、32.0%に縮小出来る。以上のパターン面積縮小率は、従来提案されている 3 次元トランジスタ FinFET, 独立したゲートを持つダブルゲートトランジスタを用いた場合と比較して非常に大きい。提案方式はシステム LSI の性能を犠牲にすることなくパターン面積が縮小できるために今後のシステム LSI の高密度化に極めて有効である。

第 4 章の参考文献

- [1]International Technology Roadmap of Semiconductor 2003 Edition.
- [2]D.Hisamoto et al., “FinFET-A self-aligned double gate MOSFET scalable beyond 20nm,” IEEE Trans. Electron Devices, vol.47, no.12. pp.2320-2325, Dec. 2000.
- [3]H.Wong, D.Frank, and P.Solomon, “Device design consideration For double-gate, ground-plane, and single-gate ultra-thin SOI MOSFET’s at 25 nm channel length generation,” in IEDM Tech. Dig., Dec. 1998, pp.407-410.
- [4]Takato et al., “Impact of SGT For ultra-high density LSIs,” IEEE Trans. Electron Devices, vol.38, pp. 573-578, Mar. 1991.
- [5]S.Watanabe, “Impact of three-dimensional transistor on the pattern area reduction For ULSI,” IEEE Trans. Electron Devices, vol.50, no.10, pp.2073-2080, 2003.
- [6]Xusheng Wu, et al., “A Three-Dimensional Stacked Fin-CMOS Technology For High-Density ULSI Circuits”, IEEE Trans. Electron Devices, vol.52, NO.9, Sep.2005.
- [7]Meng-Hsueh Chiang, et al., “High-Density Reduced-Stack Logic Circuit Techniques Using Independent-Gate Controlled Double-Gate Devices” , IEEE Trans. Electron Devices, vol.53, NO.9, Sep.2006.
- [8]廣島佑, 渡辺重佳, “独立したゲートを持つスタック型 3 次元トランジスタによるシステム LSI の設計法,” 電子情報通信学会和文誌 C に掲載予定.
- [9]H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, F. Hatori, “ A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter,” ISSCC Dig. Tech. Papers pp.68-69, 2003.
- [10]渡辺重佳, “TIS(Trench-Isolated-transistor using Side wall gate)を用いたシステム LSI の設計法,” 信学論 (C), vol.J88-C No.12 pp.1208-1218, March 2005.
- [11]Y.Oowaki, K.Tuchida, Y.Watanabe, D.Takashima, M.Ohta, H.Nakano, S.Watanabe, A.Nitayama, F.Horiguchi, K.Ohuchi, and F.Masuoka, “A 33-ns 64Mb DRAM,” IEEE J. Solid-State Circuit, vol.26, no.11, pp.1498-1505, 1991.
- [12]“DRAM trench capacitor technology requirements—Near-term” International Technology Roadmap of Semiconductor p.357.
- [13]K.P.Muller et al, “Trench Storage Node Technology For Gigabit DRAM Generations”, IEDM 1996 Tech.Digest p.507.

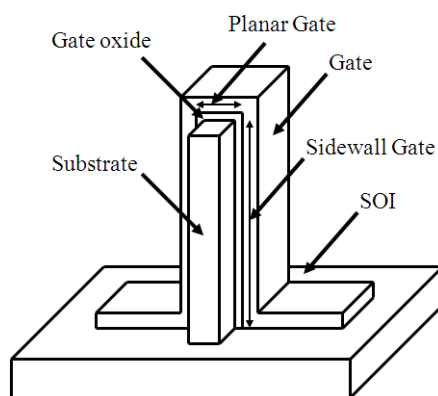
5. 各種 3 次元型トランジスタを用いた論理回路のパターン面積の比較検討

5-1. 序論

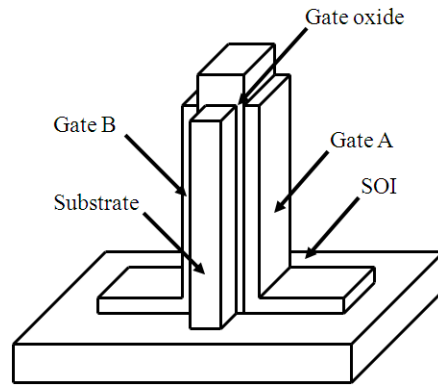
近年のシステム LSI は、高機能化・多機能化の要求がますます高まり、スケーリング側により個々のトランジスタが微細化されているにもかかわらず、必要トランジスタ数の増加によりチップ面積が増加してしまう問題があった。そこで論理回路のパターン面積の縮小法として、通常の NAND/NOR ではなく、少ないトランジスタ数で同一論理を実現できる複合ゲートや Pass Transistor Logic 等の回路を導入する方式が提案されている[1]。一方別の論理回路のパターン面積の縮小法として、従来の平面型トランジスタの代わりに、FinFET に代表される各種 3 次元型トランジスタを導入する方式が提案されている[2][3][4]。また更なるパターン面積の縮小をねらい、3 次元型トランジスタを積層する試みも提案されている[5][6]。本章では初めて回路方式と 3 次元型トランジスタの構造の両方を考慮し、論理回路のパターン面積の縮小効果を定量的に解析した。

5-2. 検討に用いた 3 次元型トランジスタ

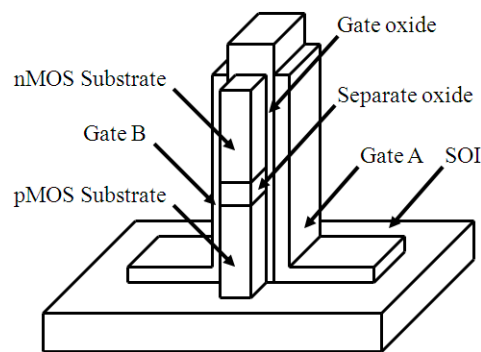
検討には代表的な 3 次元型トランジスタである FinFET, ダブルゲート型トランジスタ、スタック型トランジスタを用いた。FinFET は、両側面部分と上部の平面部分をチャンネルとして利用することが出来 (図 5-1 (a))、従来の平面型と比較してパターン面積を縮小できる。ダブルゲート型トランジスタは左右のゲートに異なる信号を入力することが出来 (図 5-1 (b))、左右から同じ信号が入力される FinFET 以上のパターン面積の縮小効果が期待出来る。スタック型トランジスタでは、ダブルゲート型トランジスタを積層出来るため、ダブルゲート型トランジスタ以上のパターン面積の縮小が期待出来る。



(a)



(b)



(c)

図 5-1 3次元型トランジスタの構造, (a)FinFET,(b)ダブルゲート型,(c)スタック型

5-3. 全加算器の回路図とパターンレイアウト図

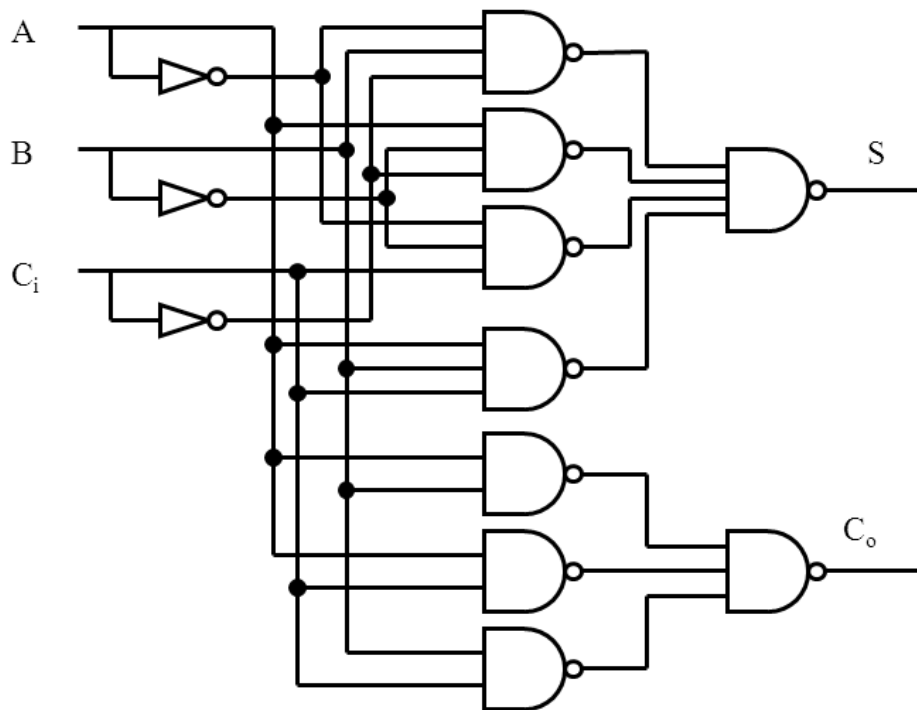
今回の検討には、論理回路として広く使用されている全加算器を用いた。回路方式としては①3. 4入力 NAND/NOR 回路を用いた方式、② 2入力 NAND/NOR 回路を用いた方式、③Pass Transistor Logic を用いた方式、④複合ゲートを用いた方式の 4 種類を採用した。これらの多くの種類の回路方式を検討したのは、従来の平面型トランジスタを用いた場合の全加算器全体のパターン面積のトランジスタ数依存性、3次元型トランジスタを導入した場合のパターン面積の縮小効果の回路構成、トランジスタの構造依存性等を解析するためである。

表 5-1 にパターン設計に用いたデザインルールを示す (F はデザインルール)。

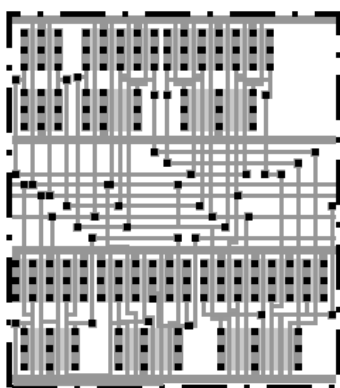
表 5-1 設計に用いたデザインルール

	Planar	FinFET	Double Gate	Stack
Gate length	F	F	F	F
Wiring	F	F	F	F
Wiring to Wiring	F	F	F	F
Contact size	F × F	F × F	F × F	F × F
Sidewall channel width		4.5F	10F	10F
Height of silicon substrate		4.5F	10F	21F
Width of silicon substrate		F	F	F
Active area for V_{DD} to active area				F

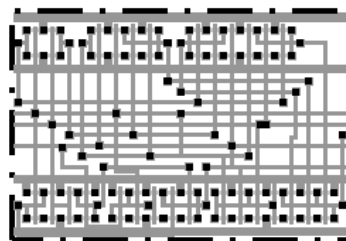
図 5-2 に 56 個のトランジスタで構成される 3. 4 入力 NAND/NOR で設計した全加算器の回路図 (a) ,平面型トランジスタ (b) ,FinFET (c)、ダブルゲート型トランジスタ (d)、スタック型トランジスタ (e) で設計した場合のパターンレイアウト図を示す。図 5-3 に 42 個のトランジスタで構成される 2 入力 NAND/NOR で設計した全加算器の回路図 (a) ,平面型トランジスタ (b) ,FinFET (c)、ダブルゲート型トランジスタ (d)、スタック型トランジスタ (e) で設計した場合のパターンレイアウト図を示す。図 5-4 に今回検討した中で最も少ない 24 個のトランジスタで構成される Pass Transistor Logic で設計した全加算器の回路図 (a) ,平面型トランジスタ (b) ,FinFET (c)、ダブルゲート型トランジスタ (d)、スタック型トランジスタ (e) で設計した場合のパターンレイアウト図を示す。図 5-5 に 28 個のトランジスタで構成される複合ゲートで設計した全加算器の回路図 (a) ,平面型トランジスタ (b) ,FinFET (c)、ダブルゲート型トランジスタ (d)、スタック型トランジスタ (e) で設計した場合のパターンレイアウト図を示す。



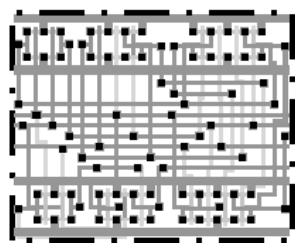
(a) Circuit diagram



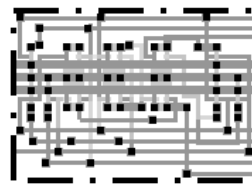
(b) Planar 6622F²



(c) FinFET 4108F²

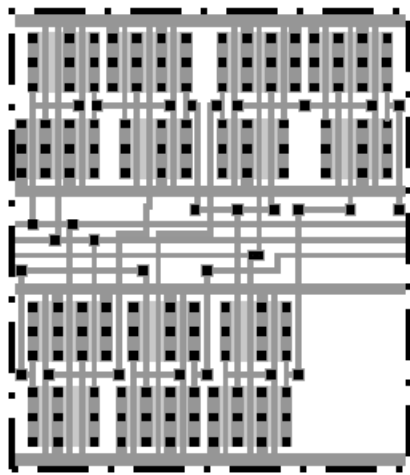
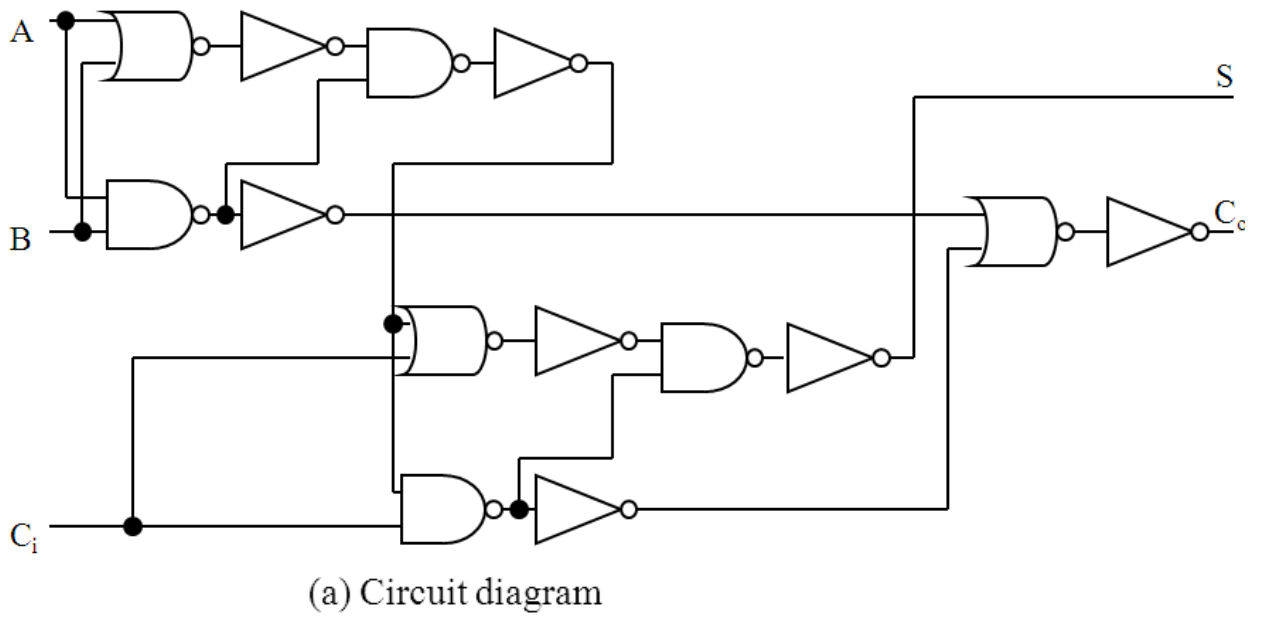


(d) Double Gate 3380F²

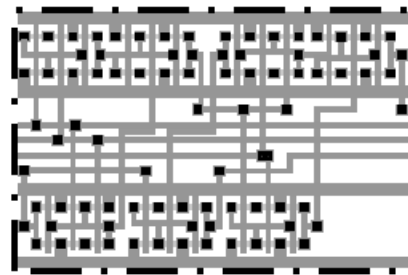


(e) Stack 1811.25F²

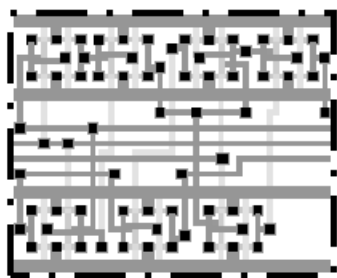
図 5-2 3,4 入力 NAND/ NOR で設計した全加算器の回路図 (a)平面型(b),FinFET(c),ダブルゲート型(d),スタック型(e)で設計したパターンレイアウト図



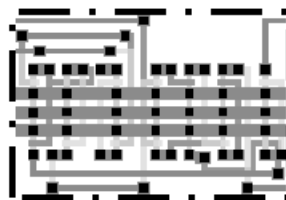
(b) Planar $4736F^2$



(c) FinFET $2688F^2$

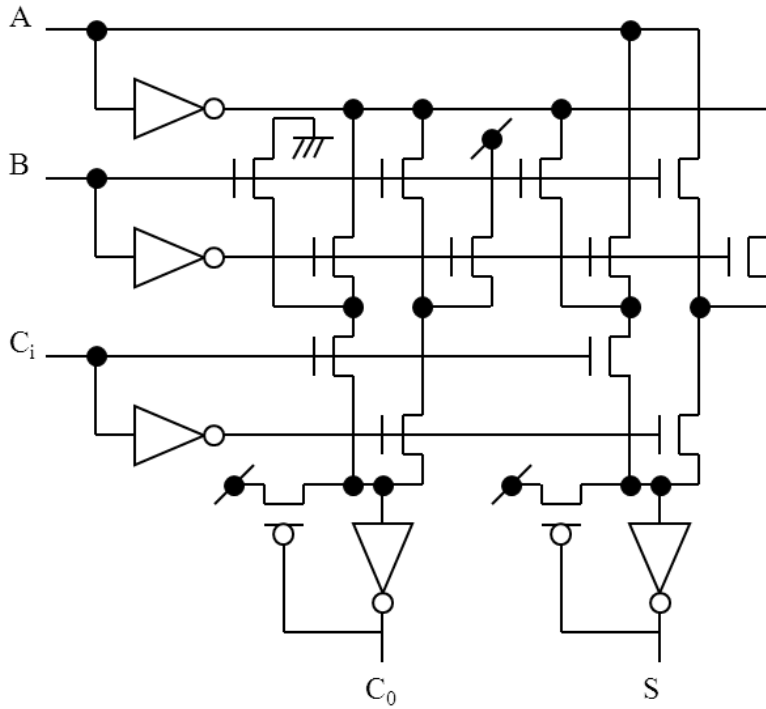


(d) Double Gate $2184F^2$

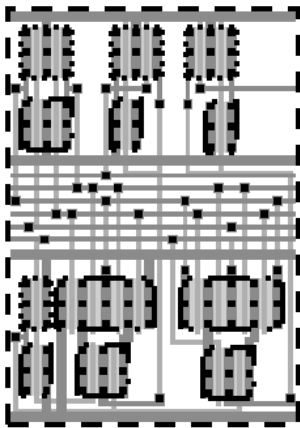


(e) Stack $1298F^2$

図 5-3 2 入力 NAND/ NOR で設計した全加算器の回路図 (a)平面型(b),FinFET(c),ダブルゲート型(d),スタック型(e)で設計したパターンレイアウト図



(a) Circuit diagram



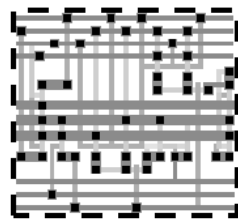
(b) Planar 4384.5F²



(c) FinFET 2608.5F²

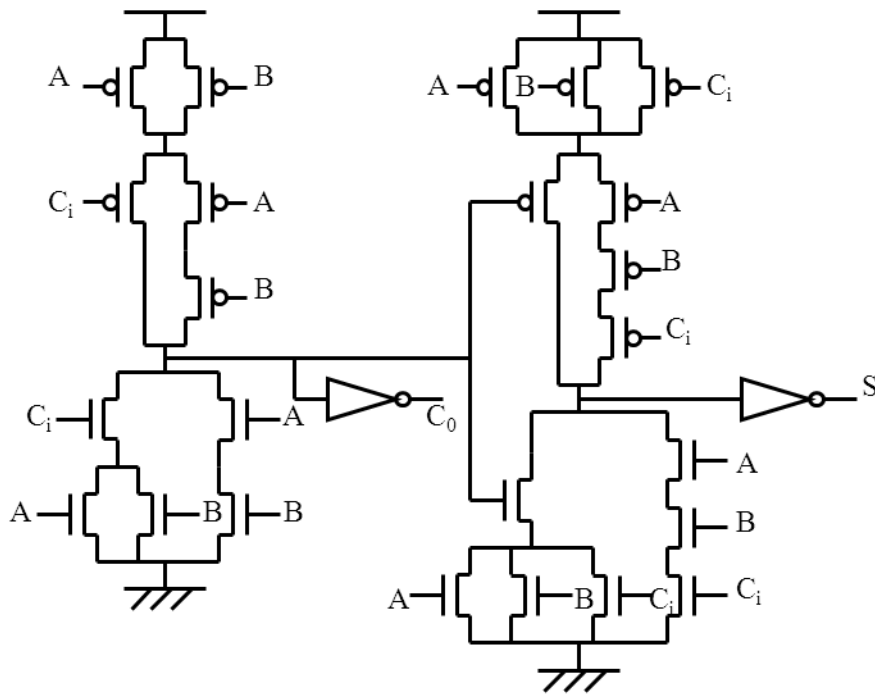


(d) Double Gate 2608.5F²

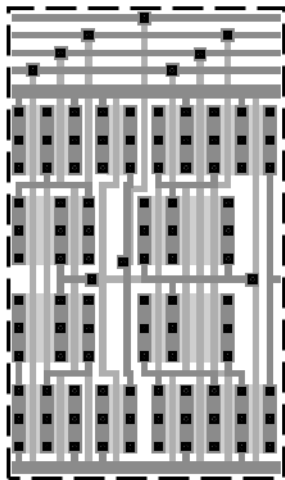


(e) Stack 1657.5F²

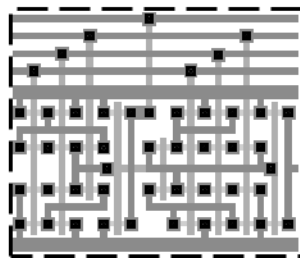
図 5-4 Pass transistor logic で設計した全加算器の回路図(a),平面型(b),FinFET(c),ダブルゲート型(d),スタック型(e)で設計したパターンレイアウト図



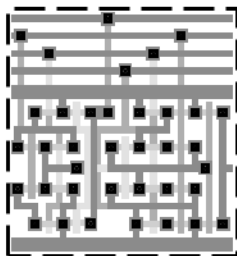
(a) Circuit diagram



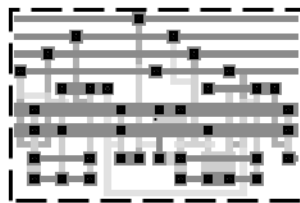
(b) Planar 2560.25F²



(c) FinFET 1348.75F²



(d) Double Gate 1040F²



(e) Stack 1086.5F²

図 5-5 複合ゲートで設計した全加算器の回路図 (a),平面型(b),FinFET(c),ダブルゲート型(d),スタック型(e)で設計したパターンレイアウト図

5-4. 全加算器のパターン面積の回路方式、3次元型トランジスタの構造依存性の解析

表 5-2 に第 5-3 章でパターン設計した 16 種類の全加算器のパターン面積を示す。表では最もパターン面積の大きい 3. 4 入力 NAND/NOR を用いて設計した平面型トランジスタの場合を基準の 100 とした。平面型トランジスタで設計した場合には、一部の例外（トランジスタ数がほとんど同じ Pass Transistor Logic と複合ゲートでのパターン面積の大小関係）を除いて、全加算器を構成するトランジスタ数が多いほどパターン面積が大きくなっている。このことから、平面型トランジスタでパターン設計をする場合、パターン面積を縮小するためにはトランジスタ数の少ない回路構成を使用するのが有効なことがわかる。またそれぞれの回路方式を 3 次元型トランジスタでパターン設計すると、平面型トランジスタを用いてレイアウト設計した場合よりパターン面積が縮小される傾向があるが、その縮小効果は回路構成に強く依存している。

表 5-2 パターン面積の比較 1

(3, 4 入力 NAND/NOR を平面型トランジスタで設計した場合を 100 とする)

	平面型	FinFET	ダブルゲート型	スタック型	トランジスタ数
3,4入力 NAND/NOR	100	62	51	27	56
2入力 NAND/NOR	72	41	33	20	42
Pass Transistor Logic	66	39	39	25	24
複合ゲート	39	20	15	16	28

表 5-3 パターン面積の比較 2

(各回路方式を平面型トランジスタで設計した場合を 100 とする)

	平面型	FinFET	ダブルゲート型	スタック型	トランジスタ数
3,4入力 NAND/NOR	100	62	51	27	56
2入力 NAND/NOR	100	57	46	27	42
Pass Transistor Logic	100	59	59	38	24
複合ゲート	100	53	41	42	28

そこで、パターン面積の縮小効果を更に詳細に解析するために、各回路方式で平面型トランジスタを用いてレイアウト設計した場合のパターン面積を基準の 100 とした表 5-3 を作成した。

トランジスタ数の多い、3. 4 入力 NAND/NOR あるいは 2 入力 NAND/NOR を用いて設計した場合には、FinFET、ダブルゲート型、スタック型とより複雑な 3 次元型トランジスタを導入するほどパターン面積の縮小効果が高く FinFET : 57~62%、ダブルゲート型 : 46~51%、スタック型 : 27% となった (表 5-3)。これは両方式でダブルゲート型に適したゲートへの複数入力の回路が使用され、スタック型に適した、上下に積層可能な NMOS と PMOS の対が必ず存在する回路形式を使用しているためと考えられる。

それに対してトランジスタ数の少ない Pass Transistor Logic と複合ゲートを用いた場合には、複雑な構造の 3 次元型トランジスタを導入すれば必ず大幅にパターン面積が縮小される結果にはなっていない。例えば Pass Transistor Logic を用いて設計した全加算器では、ダブルゲート型に適したゲートへの複数入力される回路が使用されていないため、ダブルゲート型を導入しても FinFET 以上にパターン面積は縮小されない (FinFET、ダブルゲート型共に 59%)。更に回路を構成する NMOS と PMOS のトランジスタ数が異なるため、スタック型導入によるパターン面積の縮小効果も小さい (3. 4 入力 NAND/NOR、2 入力 NAND/NOR では 27%のパターン面積で実現できたが、Pass Transistor Logic では 38%と 10%以上パターン面積の縮小効果が低くなる)。複合ゲートの場合には、NMOS と PMOS の数は同じだが、上下に積層出来る簡単な回路方式になっていないため、スタック型導入によるパターン面積の縮小効果は無い。

以上表 5-2、表 5-3 の解析結果より、平面型トランジスタを用いてパターン設計する場合、構成するのに必要なトランジスタ数が少ない回路方式ほど全加算回路全体のパターン面積を縮小できる特徴があるが、その回路方式にダブルゲート型やスタック型のような複雑な構成の 3 次元型トランジスタを導入する場合には、十分にパターン面積を縮小できないことがあることが分かった。それに対して比較的簡単な構成である FinFET では、単体のトランジスタ単位でパターン面積を縮小するため、回路方式に依存せずパターン面積縮小に有効である。

5-5. 素子、配線、素子間等その他の領域の各領域に分けてのパターン面積の

解析

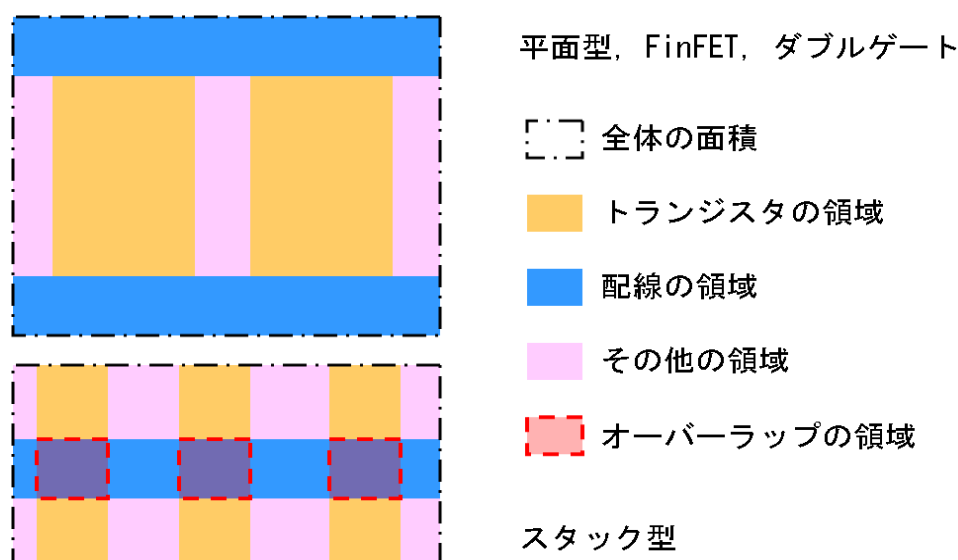


図 5-6 パターン面積の分類

本節では、全加算器をパターンを素子部、素子間部分、配線部分等に分けて、更に 3 次元

型トランジスタ導入によるパターン面積の縮小率に関して詳細な解析を行う。

パターン面積縮小効果を詳細に解析するためにパターンをトランジスタ領域、配線領域、トランジスタでも配線でもないその他領域に分類した。トランジスタ領域はソース／ドレイン／ゲート部分とした。配線領域は VDD や GND 配線などのメタル配線の部分とし、ゲート配線部分は含めない。その他の領域はウェル分離領域や、ゲート配線部分などのトランジスタ領域の周りに必要な部分とした。一方、スタック型トランジスタはトランジスタの向きを 90 度回転させ、配線の直下にレイアウトすることでパターン面積を縮小することの出来る方式が提案されている。そこで本論文ではその解析のためにトランジスタ部分と配線部分が重なる部分をオーバーラップ領域とした。(図 5-6)。

表 5-4 3, 4 入力 NAND/NOR 回路でのパターン面積の内訳

	平面型	FinFET	ダブルゲート	スタック型
トランジスタ領域	100	23	16	14
配線領域	100	103	84	44
その他領域	100	45	42	28
全体の面積	100	62	51	27

表 5-5 2 入力 NAND/NOR 回路でのパターン面積の内訳

	平面型	FinFET	ダブルゲート	スタック型
トランジスタ領域	100	22	15	12
配線領域	100	100	81	57
その他領域	100	50	44	19
全体の面積	100	57	46	27

表 5-6 pass transistor logic でのパターン面積の内訳

	平面型	FinFET	ダブルゲート	スタック型
トランジスタ領域	100	20	20	22
配線領域	100	100	100	62
その他領域	100	45	45	31
全体の面積	100	59	59	38

表 5-7 複合ゲートでのパターン面積の内訳

	平面型	FinFET	ダブルゲート	スタック型
トランジスタ領域	100	20	16	24
配線領域	100	108	83	97
その他領域	100	58	44	40
全体の面積	100	53	41	42

表 5-4 から表 5-7 に各回路方式の全加算器での各領域でのパターン面積の内訳を示す。トランジスタ数が少ない回路方式ほど 3 次元型トランジスタの導入による配線領域の面積削減効果が小さく、その結果全体のパターン面積の縮小率が小さい等幾つかの特徴がみられる。今後の更なる検討が必要である。

5-6. 結論

本章では初めて回路方式と 3 次元型トランジスタの構造の両方を考慮して、代表的な論理回路である全加算器のパターン面積の縮小効果を定量的に解析した。構成に必要なトランジスタ数が多い回路方式の場合は 3 次元型トランジスタ導入によりパターン面積は大幅に縮小できるが、トランジスタ数が少ない回路方式の場合には 3 次元型トランジスタの構成によっては十分なパターン面積の縮小効果が期待出来ないことが分かった。

第 5 章の参考文献

- [1] J. Rabaey et. al. ,”Digital Integrated Circuit (A design perspective)” , Prentice hall, 2003.
- [2]D. Hisamoto et al., “FinFET a self-aligned double gate MOSFET scalable beyond 20nm,” IEEE Trans. Electron Devices, vol.47, no.12, pp.2320-2325, 2000.
- [3]M. Chiang et al., “High density reduced stacked logic circuit techniques using independent gate controlled Double-Gate devices,” IEEE Trans. Electron Devices, vol.53, no.9, 2006.
- [4]廣島佑, 渡辺重佳, “独立したゲートをもつダブルゲートトランジスタによるシステム LSI の新レイアウト法,” 信学論(c),pp.18-25, 2009 .
- [5]X. Wu et al., “A three-dimensional stacked in-CMOS technology For high-density ULSI circuits,” IEEE Trans. Electron Devices, vol.52, no.9, 2005.
- [6]廣島佑, 渡辺重佳, “独立したゲートをもつスタック型三次元トランジスタによるシステム LSI の設計法 “ 信学論(c),pp.94-103, 2009 .

6. 3次元型トランジスタを用いたDTMOSによるLSIの高速、低電力設計法

6-1. 序論

前章までは3次元型トランジスタによる高集積化（低コスト化）について述べた。第6章では、高集積化（低コスト化）同様に重要なLSIの高速化、低消費電力化に向け、2種類（FinFET及びSGT）の3次元型トランジスタと、ゲート・基板間を接続する方式（DTMOS方式）を組み合わせた新たなデバイス・設計技術を提案する。FinFETに関しては第6-2章（1層型でシリコン柱の上面で接続する場合）及び第6-3章（2層型でシリコン柱の側面で接続する場合）、SGTに関しては第6-4章で述べる。

6-2. シリコン柱の上部でゲートと基板を接続するFinFET型DTMOSの提案と設計法

6-2-1 序論

近年のシステムLSIの高性能化、多機能化のためによりいっそうの高速動作が要求されるようになってきている。さらに携帯電話に代表される携帯情報端末では、動作している時間よりも待機している時間のほうが長い。そのような機器では動作時の電力を小さくすることはもちろんのこと、待機電力を小さくしなければならないなど低消費電力特性も重要になってくる。高速で動作させるためにはしきい値電圧を下げればよいが、サブスレッショルド電流が指数関数的に増加してしまうために消費電力は低くならない（式6-1、式6-2）。

$$T_d \propto \frac{C \cdot V_{DD}}{(V_{DD} - V_T)^2} \quad \dots \text{式 6-1}$$

$$I_{sub} \propto 10^{-\frac{V_T}{S}} \quad \dots \text{式 6-2}$$

ここでTdは遅延時間、Cは容量、VDDは電源電圧、VTはしきい値電圧、Isubはサブスレッショルド電流を示す。そこでトランジスタがオンする時にしきい値電圧を下げることによって高速動作を実現し、トランジスタがオフする時にしきい値電圧を上げることによって

サブスレッショルド電流を抑制し高速低消費電力動作を実現できる平面構造の DTMOS が提案された[1]。平面構造の DTMOS はゲートと基板がチャンネル部分以外の所で接続されておりゲートの電圧が変わると基板の電圧も変えることができる。パターン面積の縮小効果がある 3次元型トランジスタの代表例である FinFET と高速低消費電力特性がある DTMOS は個別に検討された事例はあるが、それらを組み合わせたものは過去提案されていない。第 6-2 章では FinFET と DTMOS を組み合わせた FinFET 型 DTMOS を新たに提案し、パターン面積の縮小効果を中心に検討を行った。

6-2-2 FinFET 型 DTMOS の構成

図 6-1 で従来の平面型 DTMOS と提案する FinFET 型 DTMOS の比較をする。DTMOS ではしきい値電圧を動的に変化させるためにゲートと基板を電氣的に接続する必要がある。平面型 DTMOS ではゲートと基板をトランジスタの外で接続するための余分な面積の増加があった。FinFET 型 DTMOS では FinFET のためのシリコン柱の上部の平面部でゲートと基板を接続するために、余分な面積の増加を必要としない。製造プロセスは通常の FinFET と比較して、ゲートと基板の上部の接続部のうすい酸化膜を除去する工程を追加するだけで実現出来、工程数はほとんど増加しない。つまり提案した FinFET 型 DTMOS により、製造コストをほとんど増加させることなく DTMOS 固有の高速低消費電力特性が実現できる特徴がある。

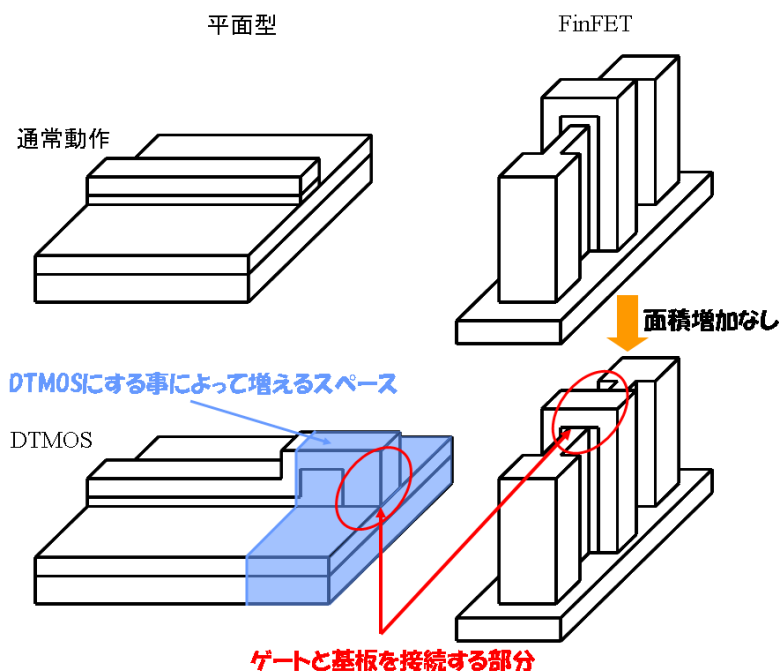


図 6-1. 平面型 DTMOS と FinFET 型 DTMOS の比較

6-2-3 NAND 回路等でのパターン面積の縮小効果

新たに提案する FinFET 型 DTMOS のパターン面積縮小効果を検討するために、インバータや NAND 等の基本的な回路を設計した。メタル配線の幅，チャンネル長は F ，コンタクトの大きさは $F \times F$ ，チャンネル幅は NMOS, PMOS 共に $10F$ ，トレンチの深さは $5F$ とした (F はデザインルール)。一例として図 6-2 に 2 入力 NAND のパターンレイアウト図を示す。通常の平面型のパターン面積を 100% とした場合，ゲートと基板を接続するためにパターン面積が余分に大きくなってしまふ平面型 DTMOS は 116% になった。FinFET 型 DTMOS は 35.2% と通常の平面型で設計した場合よりも大幅に小さい面積で実現することが出来る。入力数を変えた場合でも平面型 DTMOS はパターン面積が 116% と増加してしまうが，FinFET 型 DTMOS は 32~38% と通常の平面型よりも大幅に小さい面積で実現可能である (表 6-1)。

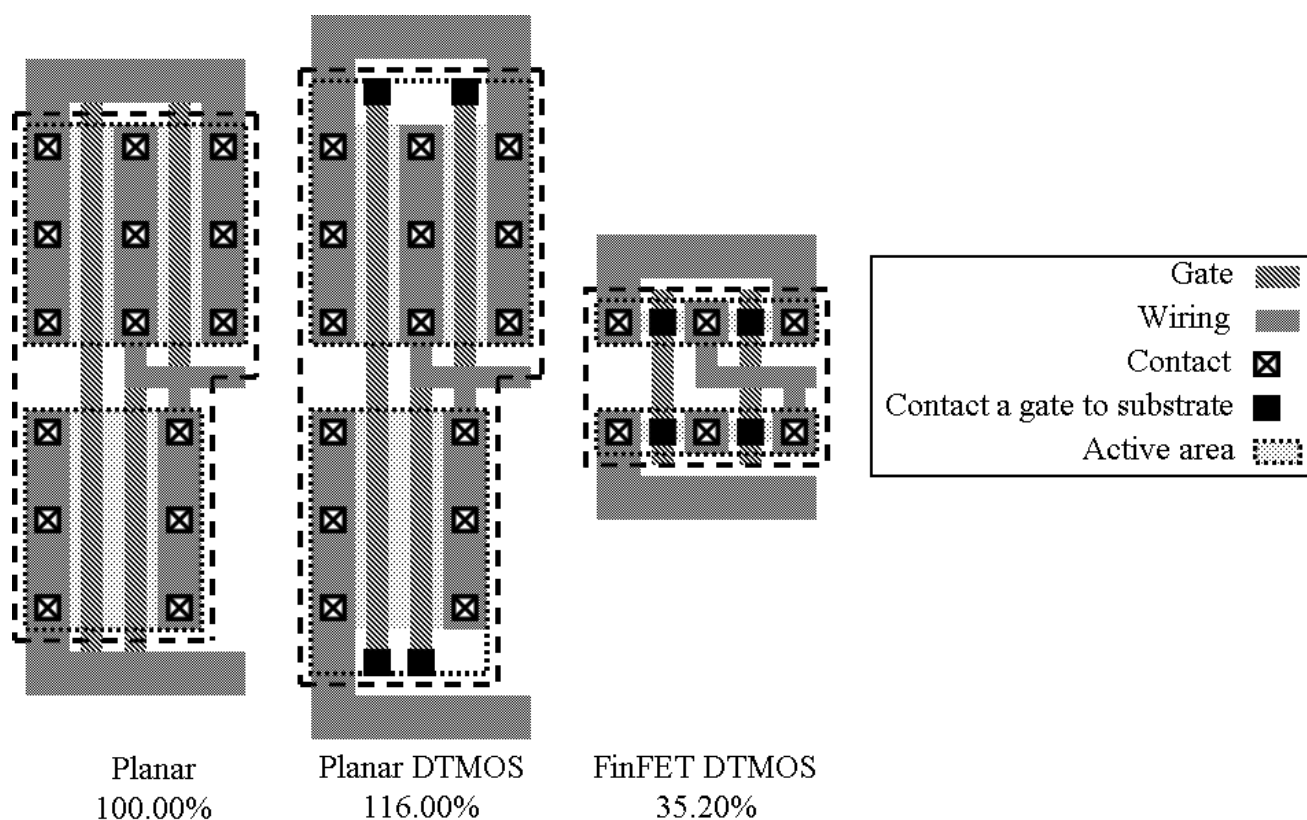


図 6-2. 2 入力 NAND のパターンレイアウト図

表 6-1. 基本的な回路のパターン面積比較

	Planar	Planar DTMOS	FinFET DTMOS
Inverter	100.00	116.00	32.00
2NAND	100.00	116.00	35.20
3NAND	100.00	116.00	36.92
4NAND	100.00	116.00	38.00

6-2-4 全加算器等の論理回路のパターン面積縮小効果

NAND 等の基本的な回路では FinFET 型 DTMOS がパターン面積縮小に効果があることがわかった. 更なる検討のために全加算器等の複雑な回路で入出力の配線の面積も含めたパターン面積の縮小効果の検討を行った. デザインルールは基本的な回路を設計した時と同じものを使用した. 図 6-3 に 1 ビット全加算器のパターンレイアウト図を示す. 通常の平面型で設計した場合のパターン面積を 100%とした場合, 平面型 DTMOS は 110.67%になり, FinFET 型 DTMOS は 62.11%なった. これは第 6-2-3 章の基本的な回路パターンと比較して, いずれの方式もパターン面積の変わらない配線部分加わったためである.

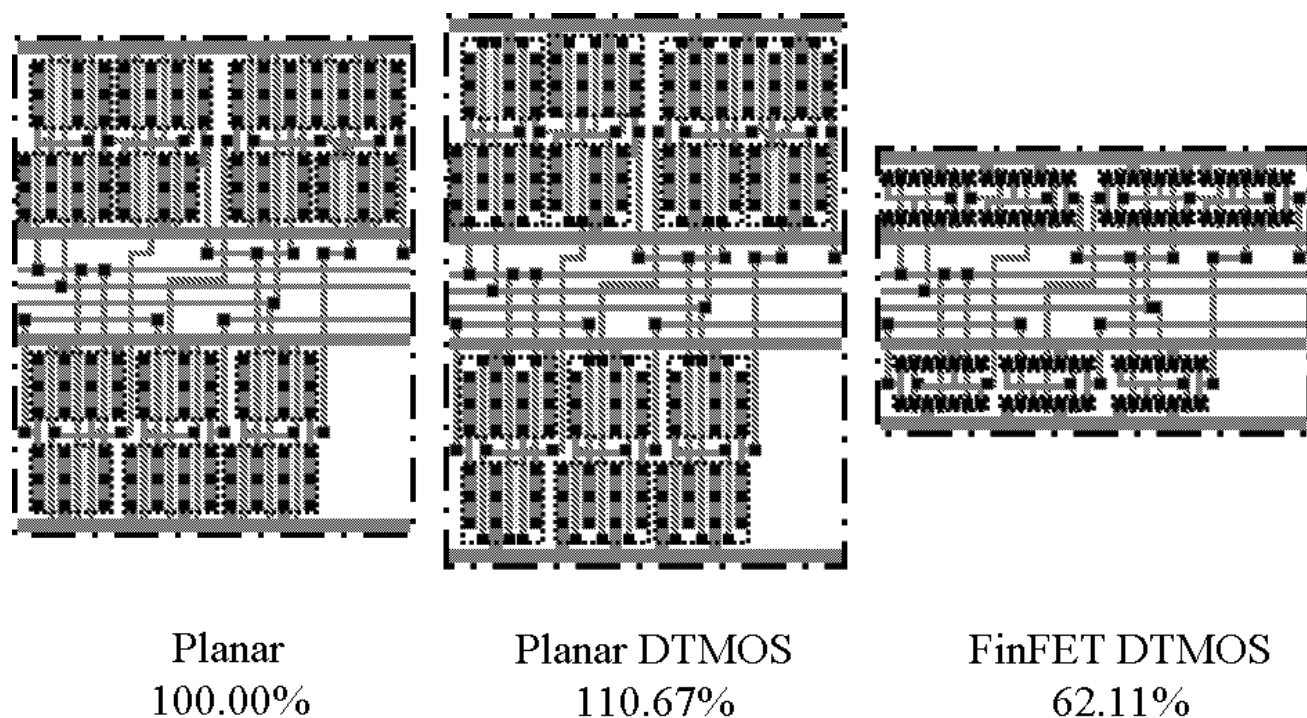


図 6-3. 1 ビット全加算器のパターンレイアウト図

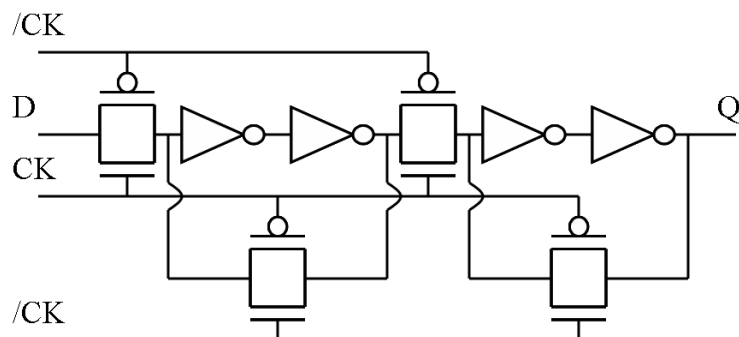


図 6-4. フリップフロップの回路図

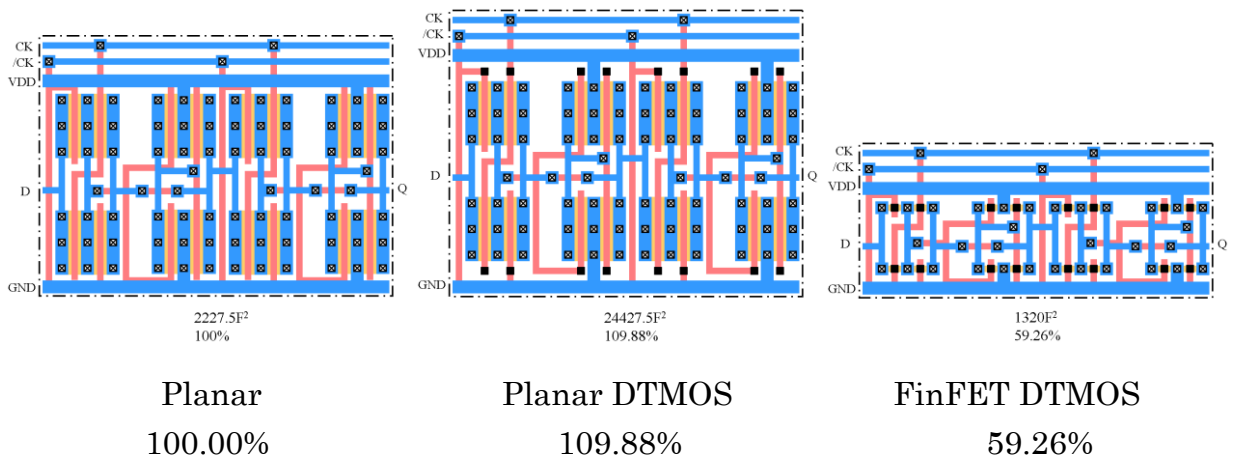


図 6-5. フリップフロップのパターンレイアウト図

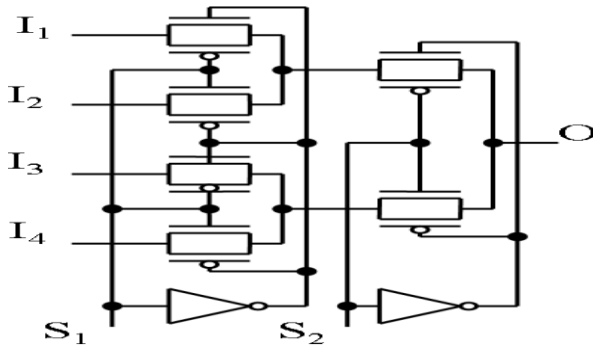


図 6-6. 4ビットマルチプレクサの回路図

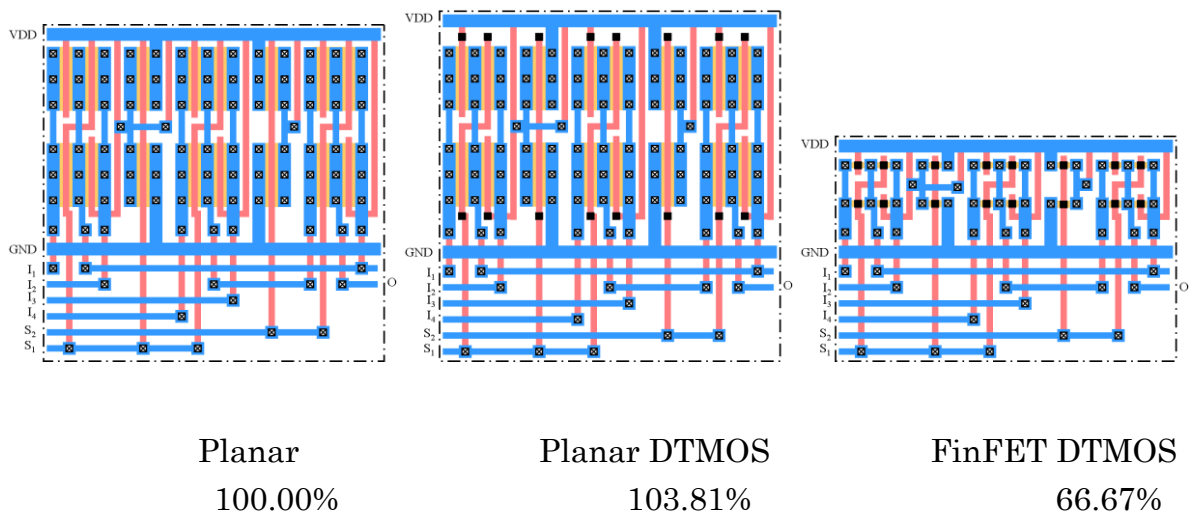


図 6-7. 4ビットマルチプレクサのパターンレイアウト図

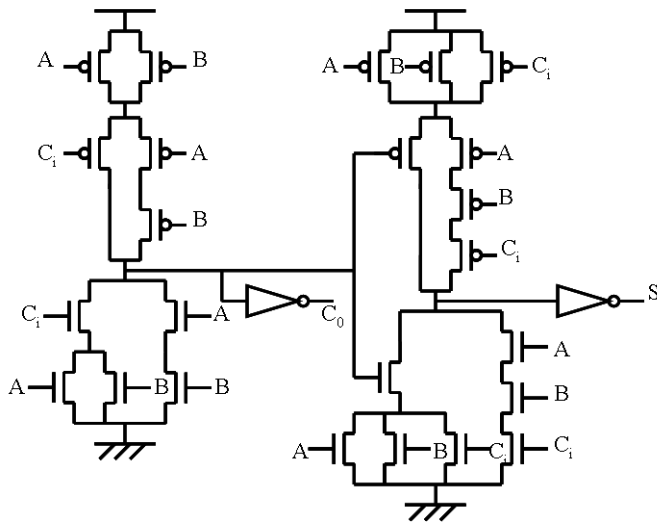


図 6-8 複合 CMOS 型全加算器の回路図

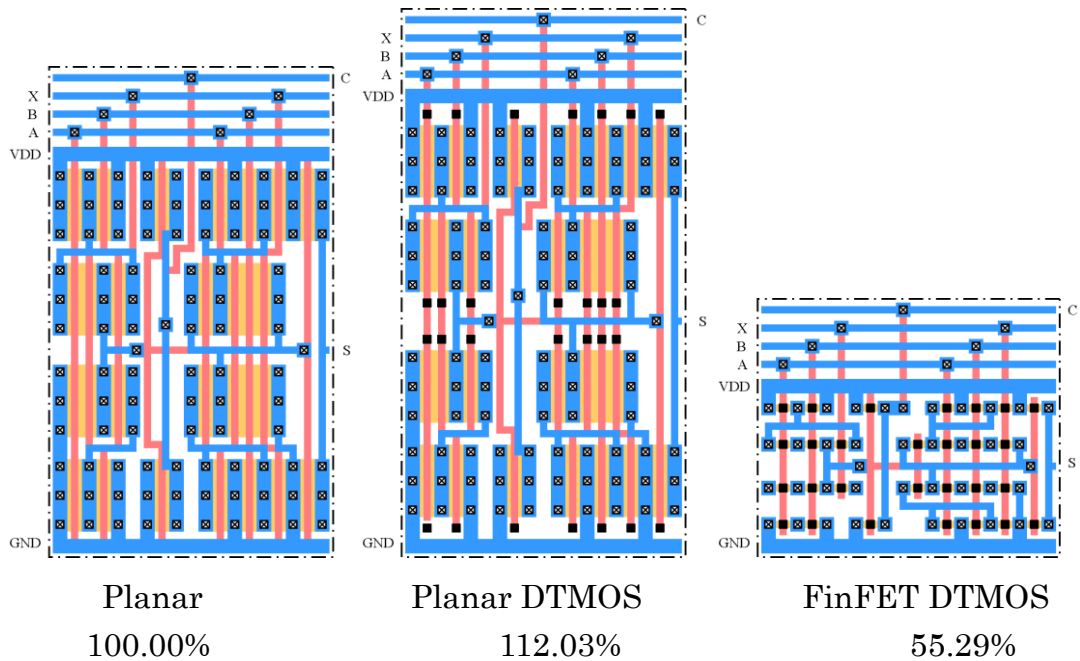


図 6-9. 複合 CMOS 型全加算器のパターンレイアウト図

表 6-2. 全加算器等の論理回路のパターン面積比較

	Planar	Planar DTMOS	FinFET DTMOS
1bit Full Adder	100.00	110.67	62.11
Flip Flop	100.00	109.88	59.26
Multiplexer	100.00	103.81	66.67
Complement Gate FA	100.00	112.03	55.29

全加算器以外にもフリップフロップ回路，4ビットマルチプレクサ，複合ゲートで設計した1ビット全加算器でも同様の検討を行った．それぞれのパターン例を図6-4から図6-9にそれらをまとめた結果を表6-2に示す．入出力の配線の面積も含めた場合でも，FinFET型DTMOSは通常の平面型よりも小さい面積で実現することが可能である．

6-2-5 FinFET型DTMOSとFinFETの併用方式

DTMOSでは高速低消費電力特性が得られる反面，電源電圧を0.6V以上に上げるとPN接合で順バイアスされる問題が知られている．アナログ等0.6V以上の高い電源電圧が必要な回路と高速低消費電力特性が必要なデジタル回路を混載する場合，高電源電圧部にはFinFET，低電源電圧部にはFinFET型DTMOSを用いることにより，比較的容易に低コストな高速低消費電力システムLSIが実現出来る．その構成の例を図6-10に示す．FinFET型DTMOSで構成するデジタル回路部は一段の太陽電池で動作させ，FinFETで構成するアナログ回路部は二段の太陽電池で動作させる．製造プロセスは第6-2-2章に述べたようにFinFETとFinFET型DTMOSでほとんど共用出来る．

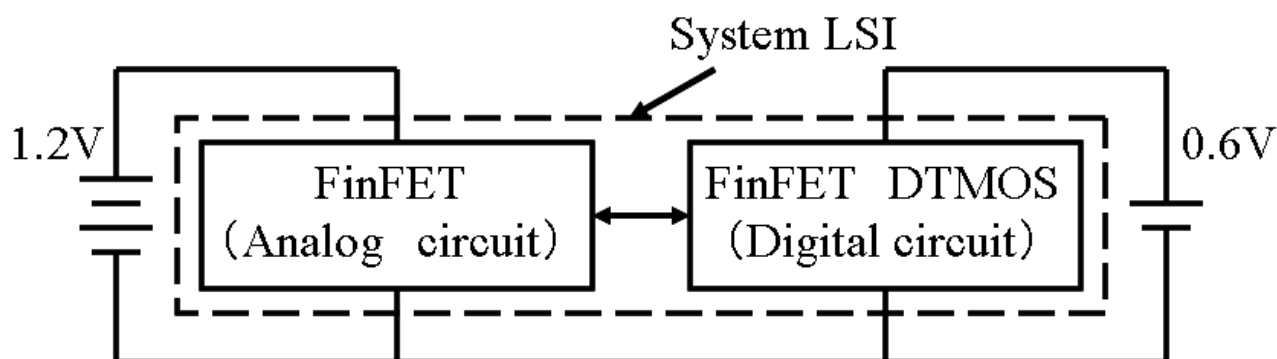


図6-10. FinFET型DTMOSとFinFETの併用例

6-2-6 結論

トランジスタがオフ状態の時にしきい値電圧を高くし，オン状態の時にしきい値電圧を低くすることで高速低消費電力を実現するDTMOSを，パターン面積の縮小効果があるFinFETを用いて設計したFinFET型DTMOSを新たに提案した．基本的な回路では通常の平面型で設計した場合と比較して32~38%，入出力の配線も含めた全加算器等では55.29~66.67%と大幅に小さな面積で設計することが出来た．これらの結果から，FinFET型DTMOSは高速低消費電力のDTMOSを小さい面積で設計することが可能であり，FinFETとの併用も比較的簡単なため将来のLSI設計において有効であると考えられる．

6-3. シリコン柱の側面でゲートと基板を接続する積層構造 DTMOS の提案 と設計法

6-3-1 序論

システム LSI 設計では、高集積化や高速低消費電力の要求がますます高まっている。トランジスタのしきい値を動的に変化させ高速低消費電力を実現する DTMOS [1] [2] が提案されていたが、パターン面積が増加するという問題があった。その問題の解決のために、過去に小さい面積で DTMOS を実現する FinFET 型 DTMOS [3] が提案されている。

一方、最近携帯機器応用を目指し、従来以上に電力効率が良く、0.45V の低電圧で、60MHz と比較的高速で動作するプロセッサも提案されている (1.2V 電源では 915 MHz と更に高速動作する) [4]。今年度は従来の平面型トランジスタ以上に微細化出来、高速低消費電力特性を持つ FinFET を用いたマイクロプロセッサの製品化も計画されており [5] [6]、低電圧で GHz 動作が可能な携帯機器向けのマイクロプロセッサの出現が期待されている。

過去に提案された FinFET 型 DTMOS は、ゲートの上部でゲートと基板を接続するため、製造工程が比較的簡単である特徴を持つ反面、FinFET 上部の接続部から基板下部まで信号を伝達するのに時間を要し、GHz の高速動作が実現出来ない事が懸念される。また GHz 動作実現のためには MOS トランジスタ、特に PMOS の電流駆動能力 (正孔の移動度) の向上が必要不可欠になるが、過去トランジスタレベルでなく LSI レベルで実現可能な方式はほとんど提案されていない [7]。

第 6-3 章では FinFET 以上の面積縮小効果がある積層構造のスタック型トランジスタ [8] [9] と DTMOS を組み合わせた基板の面方位を考慮した積層構造 DTMOS を新たに提案した。基板の面方位を考慮した積層構造 DTMOS では、側面でゲートと基板を接続するため、従来の FinFET 型 DTMOS より接続部から基板全体への信号の伝達時間が短縮出来、積層構造の生成の過程で基板の面方位を考慮することにより、LSI レベルで実現出来る構成として PMOS の電流駆動能力 (正孔の移動度) を向上できる。

第 6-3 章は以下のように構成される。第 6-3-2 章で積層構造 DTMOS の構造に関して述べる。第 6-3-3 章では積層構造 DTMOS 導入による動作時間の低減効果、第 6-3-4 章ではインバータ、NAND 等の簡単な論理回路でのパターン面積縮小効果、第 6-3-5 章では全加算器、通信用 LSI、DRAM バッファ回路でのパターン面積の縮小効果、第 6-3-6 章で今後の展望について述べ、第 6-3-7 章を結論とする。

6-3-2 積層構造 DTMOS の構造

過去に提案されている FinFET 型 DTMOS [3] は、FinFET の上部でゲートと基板を接続するために余分な面積の増加が無いという特徴がある。第 6-3 章で新たに提案する積層構造 DTMOS も余分に面積が増加すること無く DTMOS を実現することが出来る。図 6-11 に積層構造 DTMOS の構造を示す。片方の側壁をゲートとして利用し、反対側の側壁のゲート絶縁膜を除去しゲートと基板を接続する構造をしている。

この構造により、以下に示すように DTMOS の更なる高速低消費電力特性と、積層構造トランジスタのパターン面積の小型化を両立することが可能となった。側壁でゲートと基板を接続しているため、従来の FinFET 型 DTMOS と比較して接続部から基板の奥までの距離が短く信号の伝達時間が大幅に短縮出来、高速動作が可能になる(詳細は第 6-3-3 章参照)。また製造過程で PMOS 用基板と NMOS 用基板とを順次個別に形成出来るため、それぞれの基板の面方位を考慮することにより、LSI レベルで実現出来る構成として PMOS の電流駆動能力(正孔の移動度)を向上できる(詳細は第 6-3-3 章参照)。

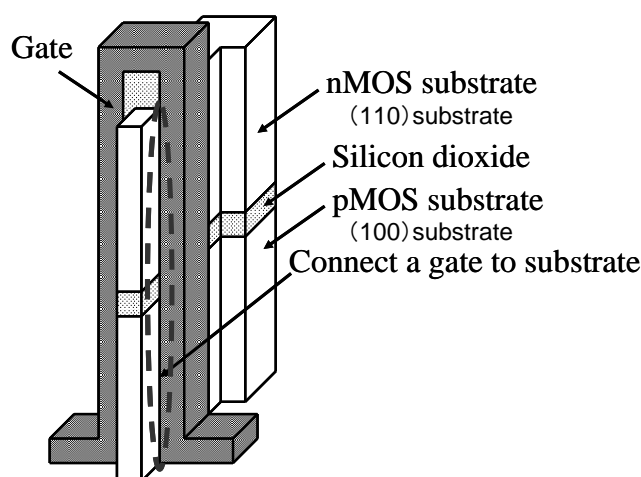


図 6-11 積層構造 DTMOS の構造

図 6-12(a)~(d)に積層 DTMOS の簡単な製造工程を示す。はじめに PMOS 用 (100) 基板を形成する。(100) 基板を用いるのは、基板に対して垂直方向に形成される PMOS 型の FinFET の電気伝導に、正孔の移動度が一番大きい (110) 面を使用するためである。PMOS 用 (100) 基板は以下のように (100) 基板上に SIMOX(Separation by Implanted Oxygen) 技術を用いて形成する[8][10]。これは SIMOX 技術がプロセス的な制御性等に優れているためで、酸素イオンのイオン注入の加速電圧とドーズ量を調整する事により必要な $5F=70nm \times 5=350nm$ 程度の膜厚の PMOS 用 (100) 基板を実現できるためである。(参考文献[8]では、130KeV の加速電圧と $4.5 \times 10^{17}cm^{-2}$ のドーズ量で、約 100nm の厚さの PMOS 用 (100) 基板を実現している)。次に 70nm(F)程度の膜厚の絶縁用酸化膜を堆積する。(参考文献[10]では、30-100nm の膜厚の酸化膜を形成している)。

更にこの上に貼り合わせ技術を用いて[10]、PMOS とは異なる面方位の NMOS 用 (110) 基板を作成する(a)。(110) 基板を用いるのは、基板に対して垂直方向に形成される NMOS 型の FinFET の電気伝導に、電子の移動度が一番大きい (100) 面を使用するためである。NMOS 用 (110) 基板の厚さは、貼り合せ形成に必要な水素イオンのイオン注入の加速電圧とドーズ量を調整する事により実現できる (参考文献[10]では、SIMOX 法により形成した (100) 基板上に、絶縁膜を介して貼り合わせ技術を用いて (110) 基板を形成している)。次に PMOS 基板の 2 側面と、NMOS 基板の 2 側面と上部を酸化する(b)。その後、NMOS 基板と PMOS 基板の 1 側面の酸化膜を除去する(c)。参考文献[11]では、通常の FinFET で、1 側面の酸化膜を除去するプロセスを用いて左右のゲートのゲート絶縁膜厚を異なる値に設定している。そのためこの 1 側面の酸化膜を除去するプロセスは、工業上実現可能であると考えられる。最後にゲート電極を形成する(d)。この製造工程により、比較的容易に図 6-11 で示す積層 DTMOS 構造を実現できる。

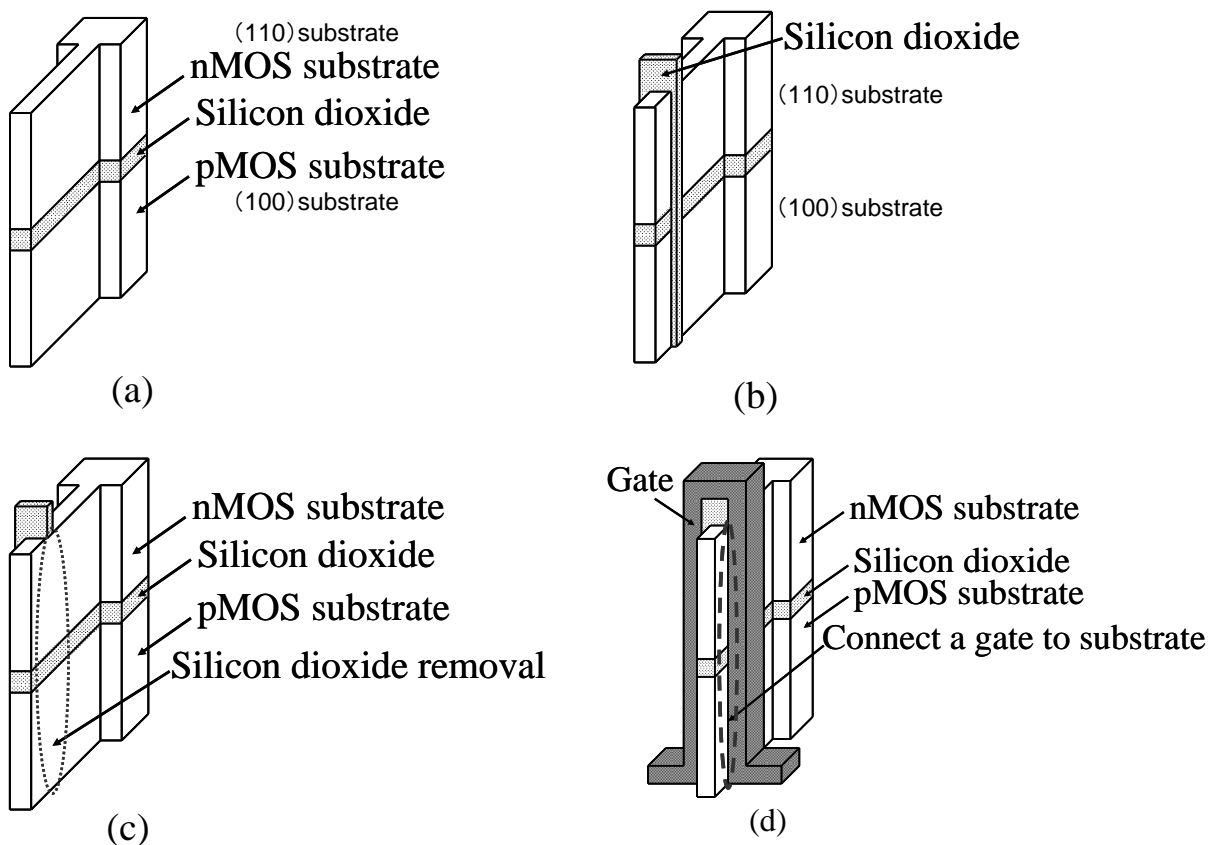


図 6-12(a)~(d) 積層 DTMOS の簡単な製造工程

6-3-3 積層構造 DTMOS 導入による動作時間の低減

本節では、積層型 DTMOS 導入により動作速度がどれぐらい低減できるか見積もる。初めにゲートと基板の接合部から基板の端部までの時定数を見積もる。

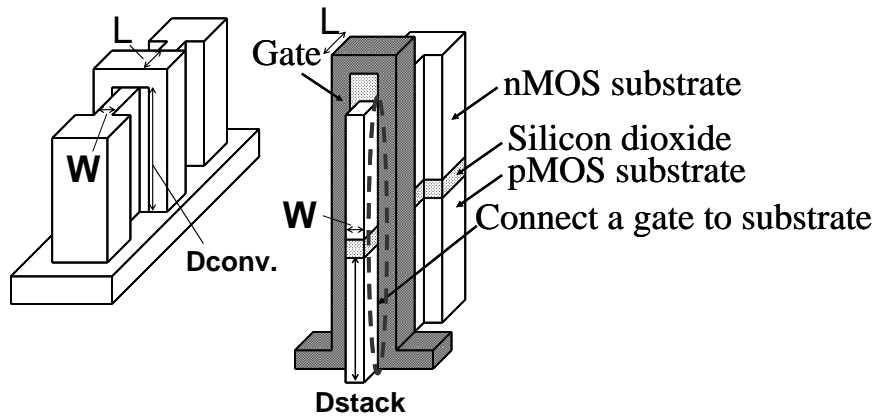


図 6-13 基板の遅延時間を計算するために必要なパラメータの説明図

図 6-13 に用いたパラメータを示す。従来の FinFET 型 DTMOS と積層型 DTMOS でシリコン柱の幅 W とゲート長 L はいずれもデザインルール F とし、従来の FinFET 型 DTMOS の側壁チャンネル幅 D_{conv} は $2.5F$ 、積層型 DTMOS の側壁チャンネル幅は $5F$ とした。デザインルールは 70nm 、基板部分の不純物濃度を 10^{17}cm^{-3} を想定した。これらの値を用いて従来の FinFET 型 DTMOS の基板抵抗 R_S を求めると約 $35\text{K}\Omega$ になる。一方基板の浮遊容量 C_S はトランジスタのゲート容量と接合容量を用いて計算すると約 $0.5FF$ になる。その結果 R_S と C_S の積で計算される基板の時定数は約 18ps になり、この値は GHz で動作するマイクロプロセッサを構成する基本的な NAND 回路の遅延時間 12ps [12]より大きくなってしまふ。つまり従来の FinFET 型 DTMOS は基板の遅延時間のため 100MHz 程度の動作速度のマイクロプロセッサには適用できるが GHz 動作は困難なる問題がある。また形状的にゲートと基板の接合部から基板各部への距離が異なるためトランジスタ内のしきい値電圧が広く分布する懸念もある。それに対して積層構造 DTMOS では、側面全面でゲートと基板を接続するため、基板抵抗 R_S は $35 \times (1/2.5) \times (1/5) = 2.8\text{K}\Omega$ と従来の FinFET 型 DTMOS の 10%以下に低減できるため遅延時間も 10%以下の 1.4ps まで低減でき、その結果 GHz 動作に対応出来る。更に積層構造 DTMOS では形状的にゲートと基板の接合部から基板各部への距離が同じになるためトランジスタ内のしきい値電圧が広く分布する懸念が少ない特徴もある。

次に積層構造の生成の過程で基板の面方位を考慮することにより、LSI レベルで実現出来る構成として PMOS の電流駆動能力が向上できる点について述べる。過去 MOS トランジスタの電流駆動能力を向上させるため、トランジスタの移動度の基板の面方位依存性が注目されている。電流の流れる方向が結晶面の方向と同じ平面型トランジスタでは、(100) 基板上

に NMOS を形成し、(110) 基板の上に PMOS を形成すると NMOS、PMOS 共に最も電流駆動能力が増加することが知られている[13][14]。通常平面型の NMOS と PMOS を同一面方位の基板の上に形成する場合、PMOS よりも移動度の大きい NMOS に合わせて(100)基板を用い、PMOS の電流駆動能力を犠牲にする方式が一般的に通常の LSI では使用されてきた。この方式を用いるとパターン面積上余分な面積が発生しないものの、PMOS の電流供給能力は移動度が最適化された場合と比較して約 40%低下する[15][16][17]。

一方電流の流れる方向が結晶面の方向と垂直な FinFET では、図 6-14 左に示すように同一の(100)基板の上に NMOS と PMOS を 45 度(135 度)の角度で配置すると NMOS、PMOS 共に最も電流駆動能力を増加させることが出来る[18]。

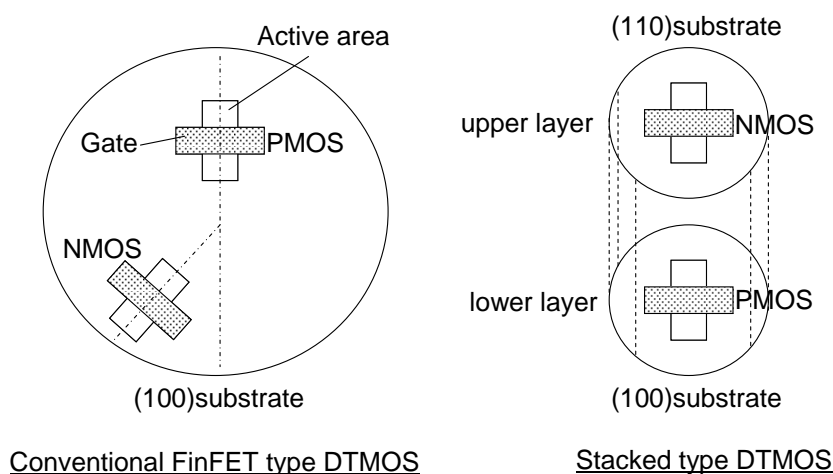


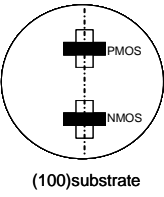
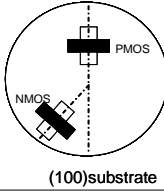
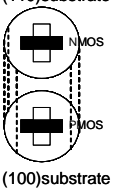
図 6-14 電流駆動能力を向上するための基板の面方位とトランジスタの配置方向

つまりこの方法を用いれば平面型トランジスタでは実現できなかった同一面方位のシリコン基板上で NMOS、PMOS 共に最大の移動度を実現し、電流駆動能力を最大に出来る特徴がある（この方式は通常に FinFET と従来の FinFET 型 DTMOS の両方に適用できる）。しかしながらこの配置を実現するためには NMOS と PMOS を 45 度（135 度）傾けたパターン配置と配線が必要になるため、パターン面積が 40%近く増加する問題点があった[18]。（この面積増加を無くすために 45 度（135 度）傾けたパターン配置を行わないと前述した平面型の場合と同様に PMOS の電流供給能力が約 40%低下する）。

これらの問題を解決するため、積層構造 DTMOS では PMOS と NMOS を順次独立して生成できるため（図 6-12）、図 6-14 右に示すように比較容易に PMOS は(100)基板上に、NMOS はその後に(110)基板上に生成すれば、図 6-14 左のような 45 度の配置や配線を導入しなくても PMOS の直上にそれに対応する NMOS を形成でき、しかもその電流駆動能力は NMOS、PMOS 共に最大値を実現できる。つまり図 6-14 左と比較すると、40%近いパターン面積の増加無く、同程度の高速動作を実現できる特徴がある。積層構造 DTMOS を用いると、高速動作を配慮しない通常の NMOS と PMOS のゲートを平行に走らせる配置した場合と比較して PMOS の電流駆動能力を増加出来、その結果 NAND 回路等の基本的

な論理回路の動作を高速化できる。以下積層構造 DTMOS では、NMOS と PMOS を平行に配置する方式と比較してどれくらい高速化できるか見積もった。まず FinFET のチャンネルが形成されるシリコンの側面が(100)側面((110)基板に形成された NMOS FinFET に対応)、及び(110)側面((100)基板に形成された PMOS FinFET に対応)の場合の正孔の移動度を求めた。過去の平面型トランジスタでの移動度の実測値[16][17]と合わせ込む形でデバイスシミュレーションをして移動度を求めた参考文献[15]によると、PMOS FinFET の移動度は、反転層の電荷密度 $N_{inv}=2 \times 10^{12} \text{cm}^{-2}$ の場合、(100)側面で $160 \text{cm}^2/\text{vs}$ 、(110)側面で $270 \text{cm}^2/\text{vs}$ となり、その比は 1.68 倍になる。更に反転層の電荷密度が大きい $N_{inv}=1 \times 10^{13} \text{cm}^{-2}$ では、(100)側面で $90 \text{cm}^2/\text{vs}$ 、(110)側面で $220 \text{cm}^2/\text{vs}$ となり、その比は 2.44 倍に増加する。この結果は今回検討しているデザインルール 70nm の場合にも適用できると仮定して、次に[19]を用いて基本的な論理回路の遅延時間を求めた。遅延時間の構成要素である NMOS の放電による遅延時間と PMOS の充電による遅延時間は(100)側面の NMOS と(100)側面の PMOS を用いた場合等しくなると仮定する。それに対して今回検討したように PMOS には(110)側面を適用すると PMOS の充電による遅延時間は減少する。その結果遅延時間全体は $N_{inv}=2 \times 10^{12} \text{cm}^{-2}$ の場合 $1/2 + (1/2) / 1.68 = 0.8$ 、 $N_{inv}=1 \times 10^{13} \text{cm}^{-2}$ の場合 $1/2 + (1/2) / 2.44 = 0.7$ に縮小できる。以上の結果を表 6-3 にまとめた。表 6-3 より積層構造 DTMOS の導入により、NMOS と PMOS を平行に配置する方式より 20~30%高速化されることが分かる。(表 6-3 の積層型 DTMOS でのパターン面積の縮小効果については第 6-3-4 章、第 6-3-5 章で述べる)。

表 6-3 基板の面方位とトランジスタの配置方向と遅延時間・パターン面積の関係

	Layout of FET	Delay time	Pattern area
Planar FinFET FinFET DTMOS	 (100)substrate	1	1
FinFET FinFET DTMOS	 (100)substrate	0.7-0.8	1.4
Stacked DTMOS	 (110)substrate (100)substrate	0.7-0.8	0.55-0.89

6-3-4 基本的な論理回路での面積縮小効果

第 6-3-3 章では、積層構造 DTMOS 導入による動作時間の低減効果について述べた。本節と次節では、積層構造導入によるパターン面積の縮小効果について述べる。新たに提案する積層構造 DTMOS をインバータや NAND 等の基本的な論理回路へ適用した場合のパターン面積縮小効果について検討を行った。設計に用いたデザインルールを表 6-4 に示す (チャンネル幅は $5F$)。いずれの方式でも、ゲート長、配線、コンタクト関連のデザインルールは同一とした。またコンタクト周りの拡散層余裕は $0.5F$ 、ゲートコンタクト間距離は F を用いた。また FinFET 型 DTMOS と積層構造 DTMOS では、チャンネル幅 $5F$ のトランジスタを最小単位としたため、両側面をチャンネルとして利用できる FinFET 型 DTMOS の側壁チャンネル幅は $2.5F$ 、片面だけ利用できる積層構造 DTMOS は $5F$ になる。積層構造 DTMOS では、PMOS の上に厚さ F の絶縁膜を介して NMOS を積層するため、シリコン基板の高さは $5F + F + 5F = 11F$ になる。

表 6-4 設計に用いたデザインルール

	Planar	Planar DTMOS	FinFET DTMOS	Stack DTMOS
Gate length	F	F	F	F
Wiring	F	F	F	F
Wiring to wiring	F	F	F	F
Contact size	$F \times F$	$F \times F$	$F \times F$	$F \times F$
Sidewall channel width			$2.5F$	$5F$
Height of silicon substrate			$2.5F$	$11F$

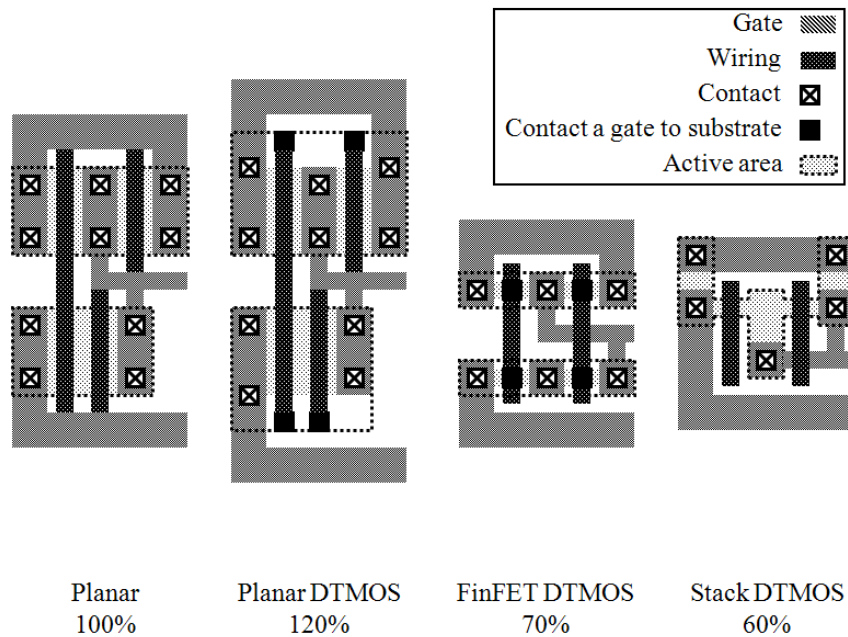


図 6-15 2 入力 NAND のパターンレイアウト図 (W=5F)

一例として 2 入力 NAND のパターンレイアウト図を図 6-15 に示す。通常の平面型トランジスタで設計した場合の面積を 100%とした場合、平面型 DTMOS はゲートと基板を接続するための面積増加のために 120%となった。FinFET 型 DTMOS は 70%に縮小でき、積層構造 DTMOS は 60% (FinFET 型 DTMOS の 86%) と最も小さい面積で設計する事が出来る。2 入力以外の NAND 及びチャンネル幅を 5F 以上に増やした場合にも同様な検討を行った。パターン面積の縮小効果のまとめを図 6-16 に示す (基本的な論理回路の縮小率は、同一チャンネルの場合は回路への入力数に依存せず全て同じ縮小率になる。平面型面積を 100%とする)。どのトランジスタ構造でも、チャンネル幅を大きくするほどパターン面積の縮小効果が高くなる事がわかる。平面型 DTMOS は、チャンネルを増やすほど DTMOS 固有のゲートと基板の接続部分の面積の割合が小さくなる。そのため、チャンネルを増やすほど平面型 DTMOS のパターン面積は平面型と近くなる (100%に近づく)。FinFET 型 DTMOS のチャンネルを増やした場合、面積を縮小出来ないウエル分離部分の面積の割合が小さくなる。そのためチャンネル幅を増やすほど縮小効果は大きくなる。積層構造 DTMOS では、FinFET 型 DTMOS を縦に積層しているため、チャンネル幅が大きいほど、パターン面積の縮小効果は更に大きい (チャンネル幅 5F では FinFET 型 DTMOS の 86%だが、チャンネル幅 80F では 55%になる)。

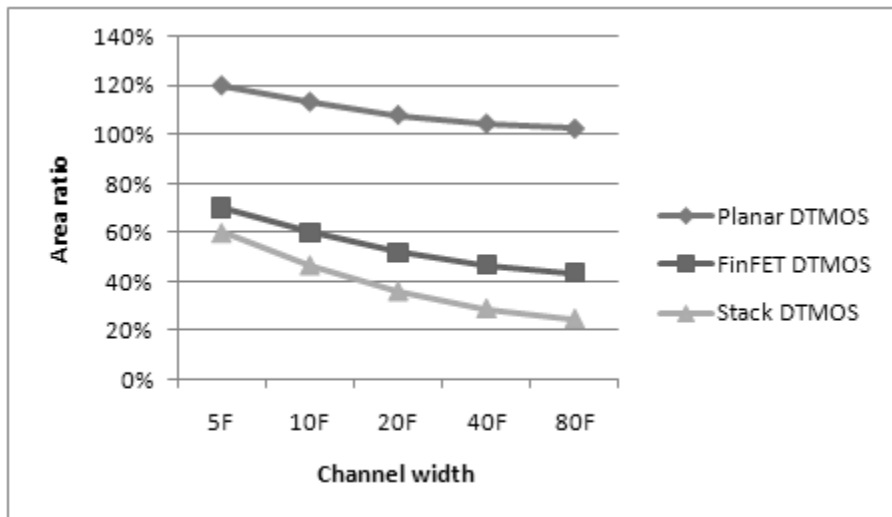
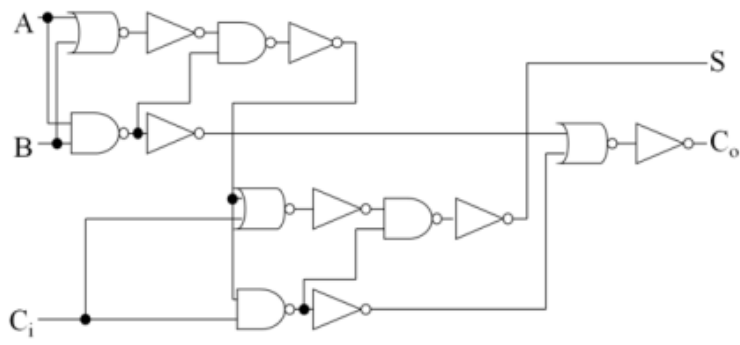


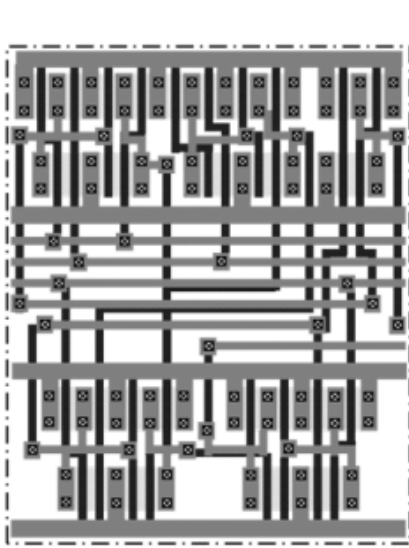
図 6-16 NAND とインバータのパターン面積比

6-3-5 全加算器，通信用 LSI 等での面積縮小効果

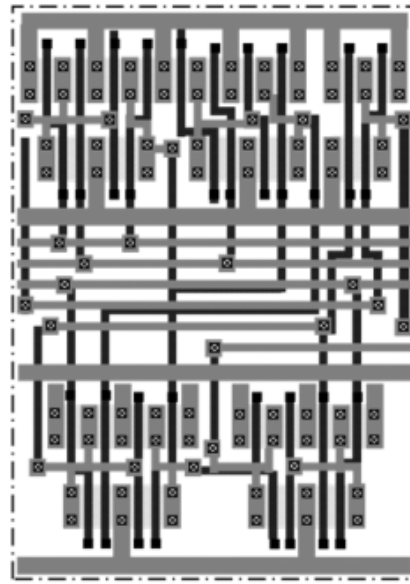
基本的な論理回路では積層構造 DTMOS は FinFET 型 DTMOS 以上のパターン面積の縮小効果があることがわかった。次に更なる検討のために，更に複雑な全加算器を設計した。設計に用いたデザインルール及びトランジスタのチャンネル幅 (=5F) は基本的な論理回路を設計した時と同じものを用いた。図 6-17 に設計した全加算器の回路図，レイアウト図を示す。通常の平面型で設計した場合の面積を 100%とした。平面型 DTMOS で設計すると 113.45%，FinFET 型 DTMOS で設計すると 90.81%，積層構造 DTMOS は 80.65% (FinFET 型 DTMOS の 89%) となった。配線部分の面積を縮小することが出来ないために若干パターン面積の縮小率は小さくなるが，簡単な論理回路同様，積層構造 DTMOS では FinFET 型 DTMOS 以上にパターン面積を縮小できる。



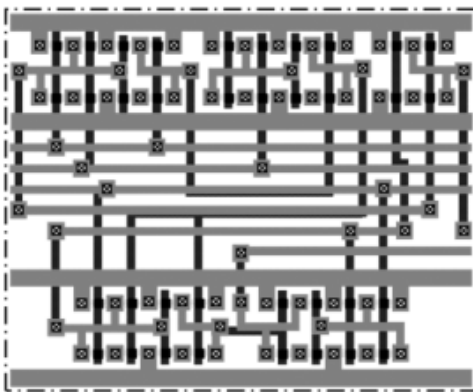
(a) Circuit diagram



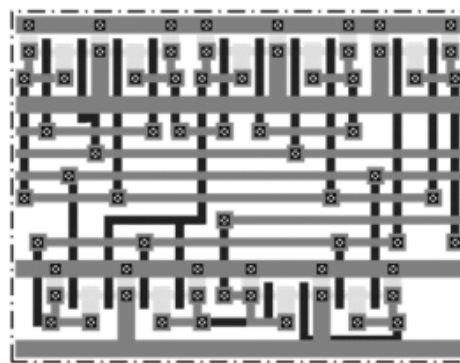
(b) Planar 100%



(c) Planar DTMOS 113.45%



(d) FinFET DTMOS 90.81%



(e) Stack DTMOS 80.65%

図 6-17 2 入力 NAND/NOR 型全加算器の回路図とパターンレイアウト図

表 6-5 通信用システム LSI でのパターン面積の比較(a)planar, (b) planar DTMOS, (c)FinFET DTMOS, (d)stack DTMOS

	5F	10F	15F	20F	40F	80F	100F	SUM
Inverter	13.9	3	0.5	1.2	4.6	1.4	1.3	25.9
2NAND	50.7	6		5.9				62.6
3NAND	5.5	1.4		0.7				7.6
4NAND	2.5							2.5
6NAND	0.9							0.9
8NAND	0.4							0.4
SUM	73.9	10.4	0.5	7.8	4.6	1.4	1.3	100

(a)

	5F	10F	15F	20F	40F	80F	100F	SUM
Inverter	16.68	3.40	0.55	1.30	4.80	1.43	1.32	29.49
2NAND	60.84	6.80		6.37				74.01
3NAND	6.60	1.59		0.76				8.94
4NAND	3.00							3.00
6NAND	1.08							1.08
8NAND	0.48							0.48
SUM	88.68	11.79	0.55	8.42	4.80	1.43	1.32	117.00

(b)

	5F	10F	15F	20F	40F	80F	100F	SUM
Inverter	9.73	1.80	0.28	0.62	2.15	0.61	0.56	15.74
2NAND	35.49	3.60		3.07				42.16
3NAND	3.85	0.84		0.36				5.05
4NAND	1.75							1.75
6NAND	0.63							0.63
8NAND	0.28							0.28
SUM	51.73	6.24	0.28	4.06	2.15	0.61	0.56	65.61

(c)

	5F	10F	15F	20F	40F	80F	100F	SUM
Inverter	8.34	1.40	0.20	0.43	1.33	0.35	0.31	12.36
2NAND	30.42	2.80		2.12				35.34
3NAND	3.30	0.65		0.25				4.21
4NAND	1.50							1.50
6NAND	0.54							0.54
8NAND	0.24							0.24
SUM	44.34	4.85	0.20	2.81	1.33	0.35	0.31	54.19

(d)

表 6-6 DRAM のバッファ回路のパターン面積の比較

	5F	10F+15F	45F	135F	405F	SUM
Planar	2	8	25	34	31	100
Planar DTMOS	2.40	8.93	26.00	34.49	31.15	102.97
FinFET DTMOS	1.40	4.60	11.50	14.33	12.63	44.46
Stack DTMOS	1.20	3.47	7.00	7.77	6.50	25.94

表 6-7 最適側壁チャネル幅での DRAM のバッファ回路のパターン面積の比較

	5F	10F+15F	45F	135F	405F	SUM
Planar	2	8	25	34	31	100
Planar DTMOS	2.40	8.93	26.00	34.49	31.15	102.97
FinFET DTMOS	2.40	5.93	5.50	5.59	4.46	23.88
Stack DTMOS	2.40	5.73	4.00	3.40	2.42	17.95

チャンネル幅が更に大きなトランジスタ (10F) を用いた場合には, 表 6-3 より大きな側壁チャンネル幅 (FinFET 型 DTMOS 5F, スタック型 DTMOS 10F) を用いると平面型と比較して, FinFET 型 DTMOS は 67.96%, 積層構造 DTMOS は 60.36% (FinFET 型 DTMOS の 89%) と面積の縮小率は更に大きく出来る.

次に第 6-3-4 章で検討した基本的な論理回路の組み合わせで構成されている通信用システム LSI [20] [21] のセルライブラリと DRAM 用バッファ回路のセルライブラリにスタック型 DTMOS を適用した場合のパターン面積を見積もった. 前者はチャンネル幅の短いトランジスタの割合が多く, 後者はチャンネル幅の大きいトランジスタの割合が多い特徴がある. 表 6-5 に通信用システム LSI のセルライブラリのパターン縮小効果の結果を示す (表 6-5 は通信用 LSI の基本論理回路のパターン面積の内訳を示している. 縦軸は入力数, 横軸はチャンネル幅を示す). 簡単な論理回路の比較と同じく, 通常の平面型で設計した場合のパターン面積を 100%とした場合, 平面型 DTMOS で設計した場合 117%, 側壁チャンネル幅を最適化した場合 FinFET 型 DTMOS (側壁チャンネル幅 2.5F) は 65.61%, 積層構造 DTMOS (側壁チャンネル幅 5F) は 54.19%(FinFET 型 DTMOS の 83%)となった. これらの縮小率は図 6-16 のチャンネル幅 5F, 10F の場合に近い. これは通信用 LSI は表 6-5 (a)に示すように大部分のチャンネル幅が 5F,10F のトランジスタで構成されているためである.

DRAM 用バッファ回路も同じ検討をした. 表 6-4 と同様に FinFET 型 DTMOS の側壁チャンネル幅は 2.5F, スタック型 DTMOS は 5F に設定した. 通常の平面型で設計した場合の面積を 100%とした場合, 平面型 DTMOS は 102.97%, FinFET 型 DTMOS は 44.46%, 積層構造型 DTMOS は 25.94% (FinFET 型 DTMOS の 58%) になった (表 6-6). DRAM 用バッファ回路は多段インバータで構成され, 後段になるほどチャンネル幅が大きくなる特徴がある [22] [23]. そのため, 表 6-6 に示すように, チャンネル幅の小さい通信用システム LSI より, 3次元構造の導入により大きなパターン面積の縮小効果が得られている. DRAM 用バッファ回路では, チャンネル幅の大きいトランジスタが多いため, パターン面積を最小にする FinFET 型 DTMOS やスタック型 DTMOS の側壁チャンネル幅は通信用 LSI で最適な 2.5F, 5F より深くなる. 解析結果より, それぞれ 7.5F, 15F の時パターン面積が最小になる (表 6-7). その場合にも, FinFET 型 DTMOS より積層構造 DTMOS の方がパターン面積が縮小される結果になる.

6-3-6 今後の展望

本論文では 70nm のデザインルールでの, 基板の時定数と NMOS と PMOS の移動度に起因する動作時間について述べた. 本章では 70nm 以下に微細化された場合に, これらに起因する動作時間を従来の FinFET 構造と今回提案した積層構造 DTMOS で比較する形で考察した.

DTMOS では, 部分空乏型のデバイス構造を用いており, 微細化と共に基板部分の不純物濃度を低減する事は困難である. ここでは不純物濃度は 70nm のデザインルールと同じ

1017cm⁻³ を仮定した。すると FinFET 構造と積層構造の基板の時定数の比は $\{(\text{FinFET のシリコン柱の幅}) / (\text{FinFET のシリコン柱の高さ})\} * \{(\text{積層構造のシリコン柱の幅}) / (\text{積層構造のシリコン柱の高さ})\}$ で表される。この値はデザインルール F を用いると $(F/2.5F)*(F/5F)=0.08$ とデザインルールによらない一定値になる。つまり微細化しても基板の時定数に関する積層構造の FinFET 構造に対する優位性は変わらないと考えられる。もし微細化の進展によりトランジスタの更なる高密度化・高性能化のためシリコン柱のアスペクト比(シリコン柱の高さ)/(シリコン柱の幅)の大きい構造の導入が必要な場合には[11]、70nm 世代に対するアスペクト比の増加率を k (k>1) とすると、基板の時定数の比は $(F/2.5kF)*(F/5kF)=0.08/k^2$ となり、積層構造の方が益々有利になる。

一方 NMOS と PMOS の移動度に関してはデザインルールを縮小すると共に電界強度が増加し値が減少するが、その減少率が色々な面方位の NMOS と PMOS で顕著に異なるというデータはほとんど無い。またシリコン柱の幅を 8nm 程度まで縮小すると、量子効果やシリコン柱の表面のラフネス等の影響で移動度の値がシリコン柱の幅が大きい時の値から変化するとの報告がある[15]が、本論文で考える 10nm 以上のデザインルールではその影響はほとんど無い。

以上の考察より FinFET 構造と積層構造での基板の時定数の比と、色々な面方位での NMOS と PMOS の移動度の比に関するのデザインルール依存性はほとんど無いと予想される。

6-3-7 結論

高速低消費電力特性が実現できる FinFET 型 DTMOS とパターン面積縮小効果の大きいスタック型トランジスタを組み合わせた積層構造 DTMOS を新たに提案した。シリコン柱の側面全体でゲートと基板を接続する方式の導入により、基板の遅延時間を従来の FinFET 型 DTMOS の 1/10 以下に低減できる。また (100) 面上に形成した PMOS の上に (110) 面上に形成した NMOS を積層する方式の導入により、パターン面積を増加させること無く NMOS、PMOS 共に最適な移動度を用いた高速動作が実現できる。更に積層構造 DTMOS をインバータ、NAND 等の簡単な論理回路や、全加算器、通信用 LSI、DRAM バッファ回路に適用した。その結果、そのパターン面積は従来の FinFET 型 DTMOS と比較して、インバータ、NAND 等の簡単な論理回路では 55~86%に、全加算器では 89%に、通信用 LSI では 83%に、DRAM バッファ回路では 58%にと大幅に縮小できることがわかった。新たに提案した積層構造 DTMOS は将来の GHz で動作する携帯機器用マイクロプロセッサ等の先端システム LSI 実現のための有望な候補である。

6-4. SGT 型 DTMOS の提案と設計法

6-4-1 序論

第 6-2、6-3 章では 3 次元型トランジスタ FinFET に DTMOS を適用した LSI の提案とその設計法について述べた。第 7-4 章では FinFET 同様に 3 次元型トランジスタの候補として有望な SGT に DTMOS を適用した LSI の提案とその設計法について述べる。従来の SGT と比較して同じ消費電力で高速で低コスト（パターン面積の小さな）LSI を実現出来る。

第 6-4 章は以下のように構成される。第 6-4-2 章で新たに提案する SGT 型 DTMOS の構成、製造方法、動作速度について述べる。第 6-4-3 章では SGT 型 DTMOS による論理回路のパターン面積と動作速度について、第 6-4-4 章を結論とする。

6-4-2 SGT 型 DTMOS の構成、製造方法、動作速度

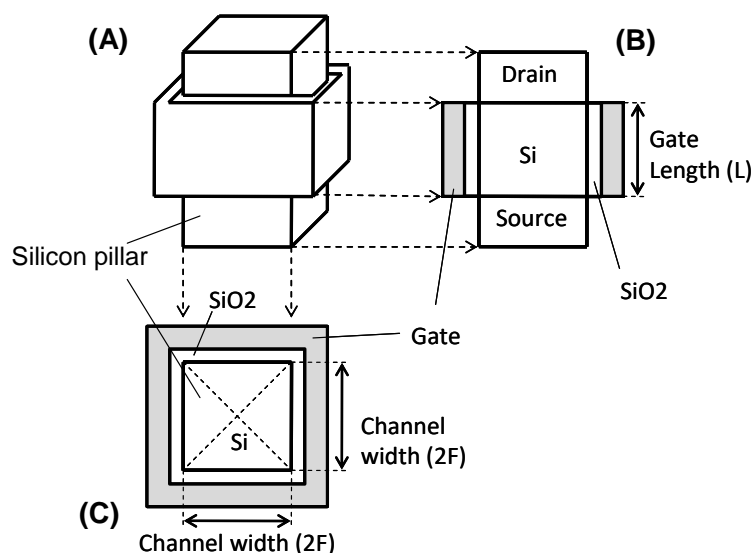


図 6-21 シリコン柱の大きさが $2F*2F$ の従来型 SGT の構成、(A) 構造、(B) 断面図、(C) 上面図

従来型の SGT では図 6-21 に示すように 4 側面をチャネルとして使用する。シリコン柱の一辺の長さを $2F$ とすると、側壁のチャネル幅は合計で $8F$ になる。ドレイン電流は紙面に対して垂直方向に流れる縦型トランジスタである。あたらしく提案する SGT 型 DTMOS を図 7-22 に示す。ゲート電極とシリコン基板に対応するシリコン柱との接続はシリコン柱の側面で形成される。そのため、この接続のための余分なパターン面積が必要無い特徴がある。この構成により従来の SGT と比較して高速低消費電力特性が期待できる。一辺の側壁チャネル幅を $2F$ とすると、シリコン柱が $2F*2F$ の場合、図に示すように $8F-F$ （側壁コンタクトの長さ） $=7F$ のチャネル幅が実現される。チャネル幅が従来の SGT より小さくなる

欠点を補う新たな設計技術が SGT 型 DTMOS のには重要になる。

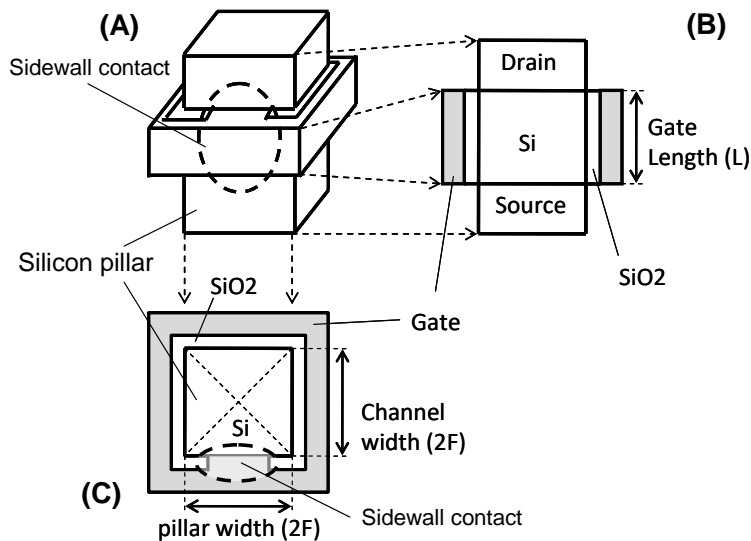


図 6-22 シリコン柱の大きさが $2F \times 2F$ の SGT 型 DTMOS の構成、(A) 構造、(B) 断面図、(C) 上面図

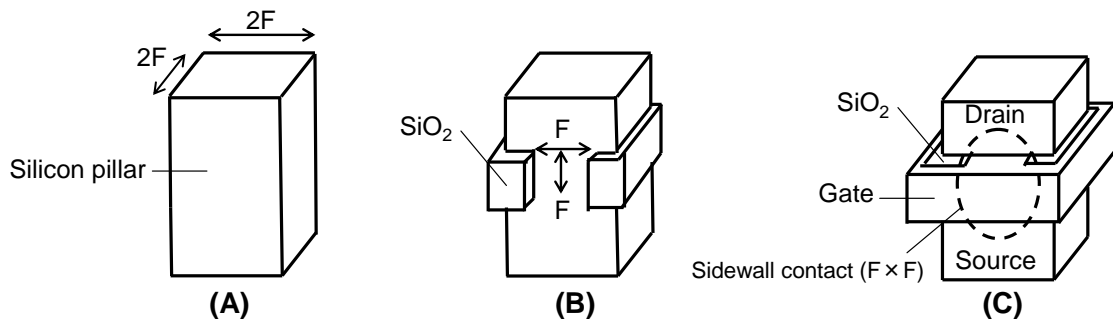


図 6-23 SGT 型 DTMOS の製造方法、(A) シリコン柱の形成、(B) 側壁コンタクトの形成のための酸化膜のエッチング、(C) 側壁コンタクトとゲート電極の形成

側壁コンタクトの実現が SGT 型 DTMOS の実現の上で非常に重要である。図 6-23 に SGT 型 DTMOS の製造方法を示す。初めに図 6-23 (A) に示すようにシリコン柱を形成する。次にゲート酸化膜を形成後、フォトエッチングプロセスにより側壁コンタクト部分の酸化膜のみ除去する (図 6-23 (B))。最後に側壁コンタクトとゲート電極の形成を行う (図 6-23 (C))。

DTMOS では適当な閾値電圧を用いると高速低消費電力特精を実現できる。以下従来の SGT を用いた LSI と同一消費電力で有ると仮定した場合に、どれだけパターン面積及び回路の遅延時間が縮小できるか検討した。DTMOS のオフ時の閾値電圧 V_{toFF} は従来の SGT の固定された閾値電圧 V_t と同じ電圧で有る $0.2V$ であると仮定した。一般に論理回路の遅延時間 T_d は(6-3)式のように求められる [19]。

$$T_d = k C_L V_{DD} / (W (V_{DD} - V_{ton})^n) \text{ ----(6-3)}$$

ここで C_L 、 V_{DD} 、 W 、 k 、 n 、 V_{ton} はそれぞれ負荷容量、電がん電圧、チャンネル幅、比例常数、移動度に関する比例常数、オン時の閾値電圧で有る。 V_{ton} は(6-4)式を用いて以下のよ
うに求められる。

$$V_{ton} = V_{toFF} - \Delta V_t = V_t - \Delta V_t \text{ -----(6-4)}$$

ここで ΔV_t は DTMOS 型 SGT の閾値の基板バイアス効果である。通常の SGT を用いた場
合でも DTMOS 型 SGT でも LSI の遅延時間が同じだとすると(6-5)式を(6-3)式と(6-4)式を
用いて求めることができる。

$$C_{Lconv} V_{DD} / (W_{conv} (V_{DD} - V_t)^n) = C_{LDTMOS} V_{DD} / (W_{DTMOS} (V_{DD} - V_t + \Delta V_t)^n) \text{ --(6-5)}$$

ここで C_{Lconv} 、 C_{LDTMOS} 、 W_{conv} 、 W_{DTMOS} はそれぞれ、通常の SGT と SGT 型 DTMOS の負
荷容量、通常の SGT と SGT 型 DTMOS のチャンネル幅である。(6-5)式から同じ遅延時間を
実現するための通常の SGT と SGT 型 DTMOS のチャンネル幅の比 $1/m$ は以下の(6-5)式から
求められる。

$$1/m = W_{DTMOS} / W_{conv} = (C_{LDTMOS} / C_{Lconv}) ((V_{DD} - V_t) / (V_{DD} - V_t + \Delta V_t))^n \text{ ----(6-6)}$$

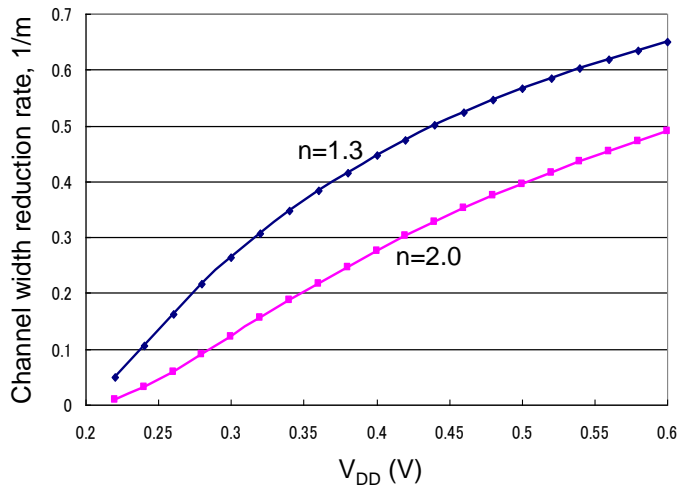


図 6-24 $1/m$ (同一遅延時間を実現するチャンネル幅の縮小率) の電源電圧依存性

微細化された FET では $(C_{LDTMOS} / C_{Lconv}) = 1.1$ 、 $\Delta V_t = 0.2V$ 、 $n = 1.3$ (チャンネル幅が大きい場
合は $n = 2$) が使用される。その時新たに提案した SGT 型 DTMOS を用いた場合の $1/m$ (同
一遅延時間を実現するチャンネル幅の縮小率) の電源電圧依存性は図 6-24 のように表わされ
る。

電源電圧が 0.22V から 0.6V の広い範囲にわたって、SGT 型 DTMOS はパターン面積の縮小もしくは論理回路の高速化に非常に有効であることが分かる。例えば $n=1.3$ の微細な LSI では、SGT 型 DTMOS の導入により同一チャネル幅では 0.57 倍の遅延時間の高速性能を実現できる。同一遅延時間の場合には 0.57 倍のチャネル幅のパターン面積の小さな低コストな LSI を実現できる。SGT 型 DTMOS ではシリコン柱の大きさと側壁コンタクトの大きさ（幅）の値によって電流に寄与する実効的なチャネル幅が異なる（図 6-25）。本論文では出来るだけ実効的なチャネル幅を大きくするために側壁コンタクトの大きさ（幅）は最小の F を用いた回路方式を次節以下に検討した。

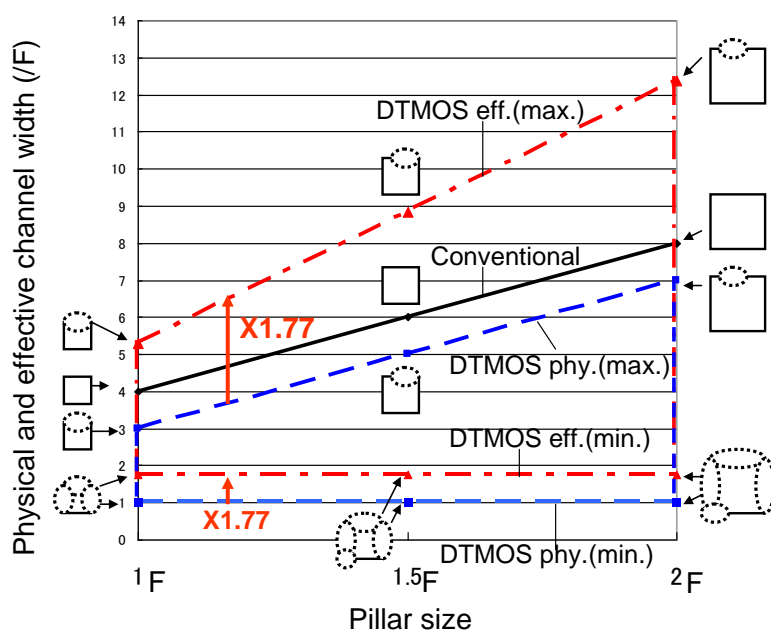


図 6-25 SGT 型 DTMOS での実効的なチャネル幅とシリコン柱の大きさと側壁コンタクトの大きさ（幅）の関係

6-4-3 SGT 型 DTMOS を用いた論理回路のパターン面積と遅延時間の低減

本章ではいくつかのデザインルール（シリコン柱の大きさ）でインバータや NAND 回路で設計しそのパターン密度（後述）を見積もった。見積ったシリコン柱の大きさは $2F*2F$ 、 $1.5F*1.5F$ 、 $F*F$ の 3 種類である。 $2F*2F$ の時のデザインルールを表 7-5 に示す。側壁コンタクト大きさ以外は通常の SGT と同一デザインルールを用いている。ゲートコンタクト間距離は $0.5F$ と比較的大きく、セルフアライン技術でなくても通常のマスク合わせで十分実現できる。過去の報告[26]では SGT はチャネル幅が小さいほど FinFET よりパターン面積が小さくなるので、設計には比較的小さなチャネル幅を用いた。ベータ比には 2[27]を用いている。そのためインバータのパターン設計には NMOS には 1 個のシリコン柱を、PMOS には 2 個のシリコン柱を用いた。シリコン柱の大きさが $2F*2F$ の時のインバータのパターンを図 6-26 に示す。SGT 型 DTMOS のパターン形状は通常の SGT とほとんど同じなため、

そのパターン面積も同じ $5.5F \times 13F = 71.5F^2$ になる。このパターン面積内でチャンネル幅 $7F$ の NMOS と $14F$ の PMOS がレイアウトされている。同一速度で動作する時の回路の密度をパターン密度と定義すると、SGT 型 DTMOS パターン密度は $(7F+14F) \times 1.77 / 71.5F^2 = 0.520F^{-1}$ となり、通常の SGT の $(8F+16F) / 71.5F^2 = 0.336F^{-1}$ と比較して大きく出来る特徴がある。2 入力の NAND 回路でも同様な傾向があり (図 6-27)、SGT 型 DTMOS パターン密度は $2 \times (7F+14F) \times 1.77 / 110.5F^2 = 0.673F^{-1}$ となり、通常の SGT の $2 \times (8F+16F) / 110.5F^2 = 0.434F^{-1}$ と比較して大きく出来る。

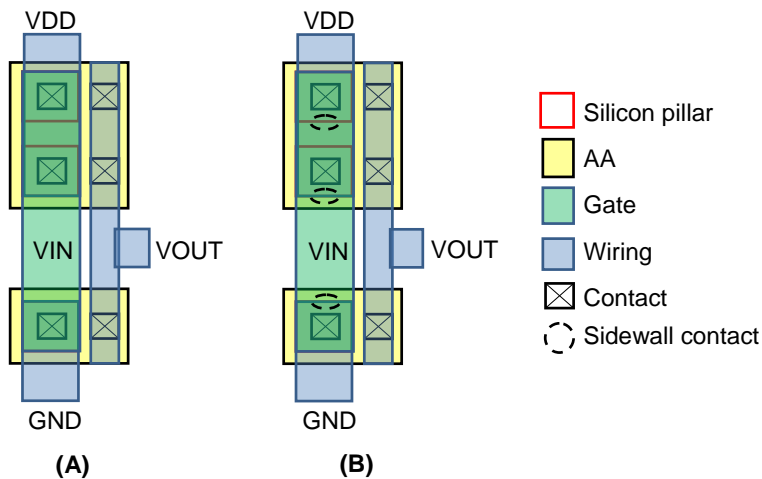


図 6-26 SGT によるインバータのパターン図 (A) 通常 SGT 型、(B) SGT 型 DTMOS
シリコン柱 $2F \times 2F$

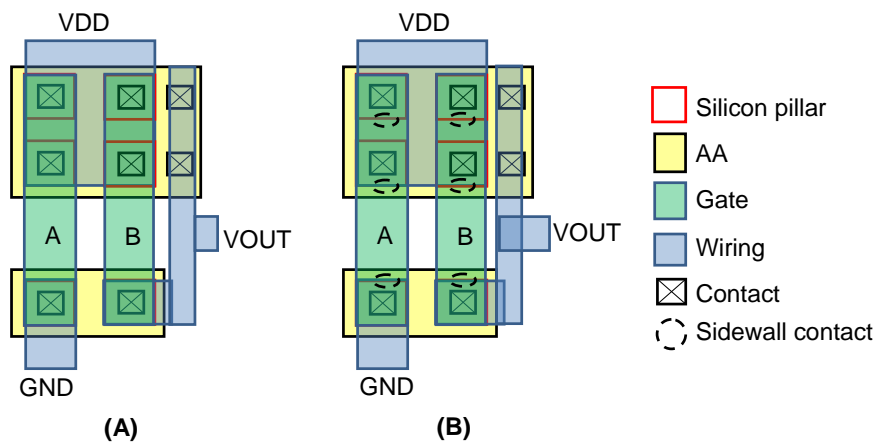


図 6-27 SGT による 2 入力 NAND のパターン図 (A) 通常 SGT 型、(B) SGT 型 DTMOS
シリコン柱 $2F \times 2F$

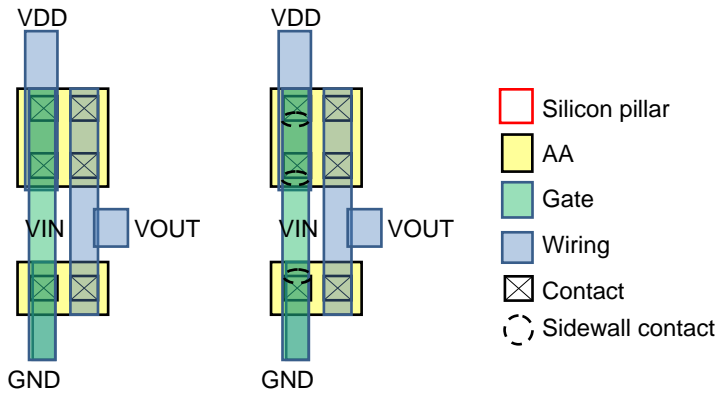


図 6-28 SGT によるインバータのパターン図 (A) 通常 SGT 型、(B) SGT 型 DTMOS
シリコン柱 $F \times F$

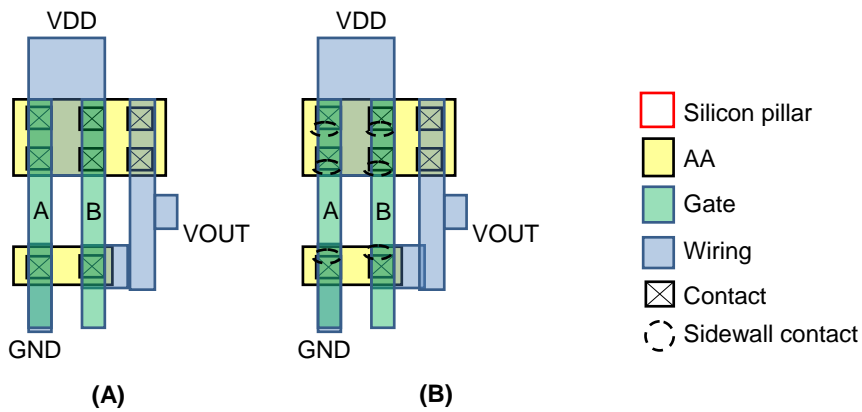


図 6-29 SGT による 2 入力 NAND のパターン図 (A) 通常 SGT 型、(B) SGT 型 DTMOS
シリコン柱 $F \times F$

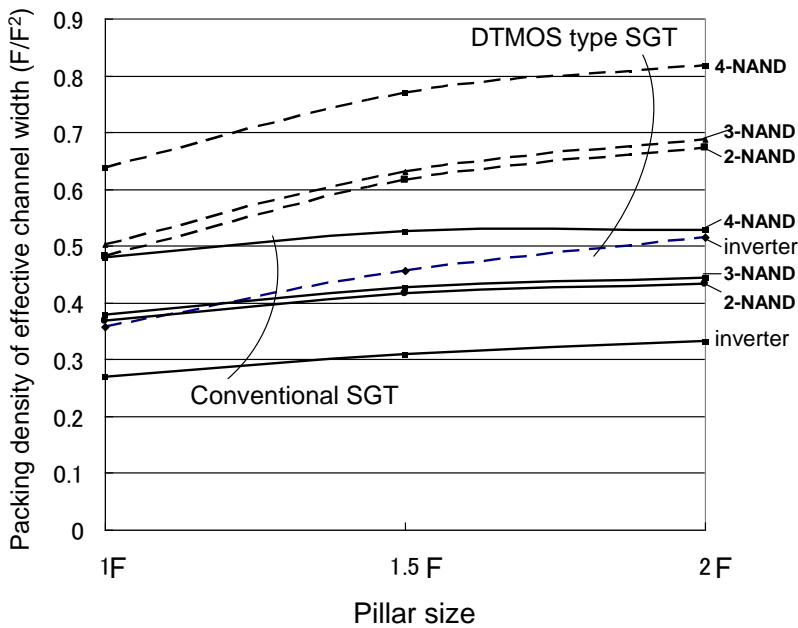


図 6-30 実効パターン密度の比較

同様に幾つかのシリコン柱の大きさをインバータと各種 NAND 回路をパターン設計し、その実効パターン密度を比較した (図 6-28、図 6-29、図 6-30)。常に実効パターン密度は通常の SGT 型より SGT 型 DTMOS の方が大きい。また SGT 型 DTMOS ではシリコン中の柱が大きくなり、回路への入力数が大きくなるほどその傾向は強まる。

最後に同一パターン面積での遅延時間の比較を表 6-8 に示す。いずれの場合も同一消費電力で 0.5V 電源で SGT 型 DTMOS により 64-77%に縮小出来ることが分かった。

表 6-8 SGT 型 DTMOS と通常 SGT での回路の遅延時間の比較 (同一パターン面積、同一消費電力)

pillar size	inverter	2-NAND	3-NAND	4-NAND
F*F	0.755	0.766	0.754	0.753
1.5F*1.5F	0.679	0.677	0.678	0.682
2F*2F	0.645	0.645	0.645	0.644

6-4-4 結論

高速低消費電力特性が実現できる SGT 型 DTMOS を新たに提案した。消費電力を同じにした場合、電源電圧 0.5V では、SGT 型 DTMOS の導入により同一チャネル幅では 0.57 倍の遅延時間の高速性能を実現できる。(同一遅延時間の場合には 0.57 倍のチャネル幅のパターン面積の小さな低コストな LSI を実現できる)。詳細に側壁コンタクトのパターン面積へ与える影響を考慮して色々なデザインルールで実際にインバータや NAND 回路のような簡単な論理回路をパターン設計した場合にも、遅延時間は通常の SGT の場合の 64-77%に縮小出来ることが分かった。新たに提案した SGT 型 DTMOS は将来の GHz で動作する携帯機器用マイクロプロセッサ等の先端システム LSI 実現のための有望な候補である。

第 6 章の参考文献

- [1] F. Assaderaghi, et al., ‘Dynamic Threshold-Voltage MOSFET (DTMOS) For ultra-low voltage VLSI’, IEEE Trans. Electron Devices, vol.44,no.3,pp.414-422,1997
- [2] 柿本誠三 他, ”超低消費電力 LSI のための CMOS デバイス技術”, シャープ技報、第 79 号、pp.16-21,2001
- [3] 廣島佑, 渡辺重佳 “FinFET を用いた DTMOS (FinFET 型 DTMOS) の提案,” 信学論 (C), Vol.J92-C No.11 PP.742-743,Nov.2009
- [4] . Jain et. al., “A 280mV-to-1.2V wide-operating IA-32 processor in 32nm CMOS”, ISSCC Dig. Tech. Papers, 2012.
- [5] Intel, Intel 22nm 3-D Tri-Gate Transistor Technology, http://download.intel.com/newsroom/kits/22nm/pdf/22nm-Announcement_Presentation.pdf
- [6] S. Davnaraju et. al., “A 22nm IA multi-CPU and GPU system on chip”, ISSCC Dig. Tech. Papers, 2012.

- [7]K. Horita et al., “ Layout-independent transistor with stress-controlled and highly manufacturable shallow trench isolation process” , J. J. Appl. Phys. vol. 46(4B), pp.2079-2083, 2007.
- [8]Xusheng Wu, et al., “A Three-Dimensional Stacked Fin-CMOS Technology For High-Density ULSI Circuits”, IEEE Trans. Electron Devices, vol.52, NO.9, Sep.2005.
- [9]廣島佑, 渡辺重佳, “独立したゲートをもつスタック型三次元トランジスタによるシステム LSI の設計法 “ 信学論(c),pp.94-103, 2009 .
- [10]US Patent, “ Structure and method of manufacturing a FinFET device having stacked Fins , “ US 2005/0339242 A1, 2005
- [11]Y. X. Liu et al., " Advanced FinFET CMOS technology: TiN-gate, Fin-height control and asymmetric gate insulator thickness 4T-FinFETs", IEDM, Dig. OF Tech. Papers, 2004.
- [12]International Technology Roadmap For Semiconductors 2003 Edition
- [13]T. Sato et al.,” Mobility anisotropy of electrons in inversion layers on oxidized silicon surfaces,” Phys. Rev. B, Condens. Matter, vol.4, pp.1950-1960, 1971.
- [14]M. Kinugawa et al., “Effects of silicon surface orientation on submicron CMOS devices” , IEDM Tech. Dig., pp.581-584, 1985.
- [15]M. Pojark et al., “Modeling study on carrier mobility in ultra-thin body FinFETs with circuit-level implications, “ Solid-state Electronics 65-66, pp.130 -138, 2011
- [16]G. Tsutsui et al., IEEE Electron Dev Lett. 26, pp.836 -838, 2005
- [17]S. Kobayashi et al., Tech. Dig. IEDM , pp.707 -710, 2007
- [18]L. Chang et al., " CMOS circuit performance enhancement by surface orientation optimization", IEEE Trans. Electron Devices, vol.51, no.10, pp.1621-1627, 2004.
- [19]T. Sakurai and R. A. Newton., “ Alpha-power law MOSFET model and its application to CMOS inverter and other Formulas, “ IEEE JSSC vol.25, no.4, pp.584-594, 1990.
- [20] H.Ishikuro, M.Hamada, K.Agawa, S.Kousai, H.Kobayashi, D.Nguyen F.Hatori, “A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter,”ISSCC Dig. Tech. Papers pp.68-69, 2003.
- [21]渡辺重佳, ” TIS(Trench - Isolated - transistor using Side wall gate)を用いたシステム LSI の設計法,” 信学論(c), vd.J88-C, no.12, pp.1208-1218, Dec. 2005.
- [22]Y.Oowaki, K.Tsuchida, Y.Watanabe, D.Takashima, M.Ohta, H.Nakano, S.Watanabe, A.Nitayama, F.Horiguchi, K.Ohuchi, and F.Masuoka, “A 33-ns 64Mb DRAM,” IEEE J. Solid-State Circuits, vol.26, no.11, pp.1498-1505, 1991.
- [23]渡辺重佳, ” TIS を用いたバッファ回路の新設計法とその大容量 DRAM への適用検討,” 信学論(c), vol.J86-C, no.3, pp-301-306, 2003.
- [24]V. Jovanovic et al., Solid-state Electronics 54, pp.870 -876, 2010
- [25]V. Jovanovic et al., Proceedings of device research conference, pp.261 -262, 2009
- [26] T. Kodama, Y. Hiroshima, and S. Watanabe, “Study of pattern area reduction with FinFET and SGT For LSI”, Contemporary Engineering Sciences, vol.4, no.4, pp.177-190, 2013.

[27] J. Rabaey et. al., " Digital Integrated Circuit (A design perspective)" , Prentice hall, 2003.

7. 結論

7-1. 結論の要約

本論文では 3 次元型トランジスタを用いた LSI の高集積化（低コスト化）、高速化、低消費電力化を実現するために必要となる、デバイス、回路設計、パターン設計技術を新たに提案した。3 次元型トランジスタとしては現在最も注目されている前述したダブルゲートトランジスタ、FinFET を中心に研究を進め、基本論理回路のパターン面積、高速低電力特性等を比較した。

第 2 章では各構造の 3 次元型トランジスタを用いた LSI の問題点の抽出とその解決策の方向付けを行った。まず平面型トランジスタの限界を克服できる有力な候補であるダブルゲートトランジスタを用いた LSI では、高集積化（低コスト化）のために 1 層型のダブルゲートトランジスタを用いた基本回路の新たな設計法を提案した（第 3 章）。次にこれを更に積層化（2 層型）した場合の基本回路の新たな設計法を提案した（第 4 章）。また FinFET とダブルゲートトランジスタの低コスト化の指標となるパターン面積を基本的な論理回路で比較した（第 5 章）。

次に高集積化（低コスト化）同様に重要な LSI の高速化、低消費電力化に向け、3 種類の 3 次元型トランジスタと、ゲート・基板間を接続する方式（DTMOS 方式）を組み合わせた新たなデバイス・設計技術を提案した（第 6 章）。それぞれ FinFET に関しては第 6-2 章、積層型 FinFET に関しては第 6-3 章、SGT に関しては第 6-4 章で述べた。

以下に第 3 章から第 9 章を要約する。

第 3 章では FinFET 以上の高密度化が実現できる独立したゲートを持つダブルゲートトランジスタの設計のための新技術として新レイアウト法を提案した。新レイアウト法では、一方のゲート配線の上に厚い絶縁膜を介して別のゲート配線を形成する事により、パターン面積を縮小出来る。またパターン面積の縮小効果をインバータ、NAND、NOR 等の基本回路で定量的に検証し、パターン面積が平面型の 27%、FinFET の 78%と大幅に低減出来る事がわかった。またこれらの基本回路の組み合わせで構成される通信用システム LSI、DRAM 用バッファ回路、1bit Full-Adder への適用検討を行ったところ、従来の平面型トランジスタを用いた場合のそれぞれ 49%、16%、55%にパターン面積が縮小できることが分かった。以上の検討結果により、提案方式はシステム LSI の性能を犠牲にすることなく、パターン面積を縮小するために有効であることがわかった。

第 4 章では、従来提案されていたスタック型の 3 次元トランジスタと、第 3 章で述べた独立したゲートを持つダブルゲートトランジスタの特徴を併せ持つ独立したゲートを持つスタック型の 3 次元トランジスタを今回新たに提案した。NMOS と PMOS を積層出来、素

子分離部分のパターン面積が不要となりシリコン柱の両側面に異なる信号を入力出来る特徴を併せ持つため、パターン面積の縮小効果は非常に大きい。チャンネル幅が 5F のトランジスタを 1 つの提案方式で実現した場合、インバータは従来の平面型の場合の 18%~30%、NAND、NOR は平面型の場合の 21%~33%に縮小出来る事がわかった。チャンネル幅の小さいトランジスタの割合の大きい通信用システム LSI では側壁チャンネル幅を最適化することによって 24%、チャンネル幅の大きいトランジスタの割合の大きい DRAM 用バッファ回路では側壁チャンネル幅を最適化する事によって 13%にパターン面積を縮小できる。配線領域のパターン面積も考慮に入れた 1bit-Full Adder, 4bit multiplexer では提案方式を VDD と VSS の配線の直下コンパクトにレイアウトする事が出来、それぞれ 28.5%、32.0%に縮小出来る。以上のパターン面積縮小率は、従来提案されている 3次元トランジスタ FinFET、独立したゲートを持つダブルゲートトランジスタを用いた場合と比較して非常に大きい。提案方式はシステム LSI の性能を犠牲にすることなくパターン面積が縮小できるために今後のシステム LSI の高密度化（低コスト化）に極めて有効である。

第 5 章では初めて回路方式と 3次元型トランジスタの構造（FinFET、第 3 章で述べたダブルゲート型、第 4 章で述べた積層型ダブルゲート型）の両方を考慮して、代表的な論理回路である全加算器のパターン面積の縮小効果を定量的に解析した。構成に必要なトランジスタ数が多い回路方式の場合は 3次元型トランジスタ導入によりパターン面積は大幅に縮小できるが、トランジスタ数が少ない回路方式の場合には 3次元型トランジスタの構成によっては十分なパターン面積の縮小効果が期待出来ないことが分かった。

第 6.2 章ではトランジスタがオフ状態の時にしきい値電圧を高くし、オン状態の時にしきい値電圧を低くすることで高速低消費電力を実現する DTMOS を、パターン面積の縮小効果がある FinFET を用いて設計した FinFET 型 DTMOS を新たに提案した。基本的な回路では通常の平面型で設計した場合と比較して 32~38%、入出力の配線も含めた全加算器等では 55.29~66.67%と大幅に小さな面積で設計することが出来た。これらの結果から、FinFET 型 DTMOS は高速低消費電力の DTMOS を小さい面積で設計することが可能であり、FinFET との併用も比較的簡単なため将来の LSI 設計の高速化、低消費電力化の極めて有効であることが分かった。

第 6.3 章では、高速低消費電力特性が実現できる FinFET 型 DTMOS とパターン面積縮小効果の大きいスタック型トランジスタを組み合わせた積層構造 DTMOS を新たに提案した。シリコン柱の側面全体でゲートと基板を接続する方式の導入により、基板の遅延時間を従来の FinFET 型 DTMOS の 1/10 以下に低減できる。また (100) 面上に形成した PMOS の上に (110) 面上に形成した NMOS を積層する方式の導入により、パターン面積を増加させること無く NMOS、PMOS 共に最適な移動度を用いた高速動作が実現できる。更に積層構造 DTMOS をインバータ、NAND 等の簡単な論理回路や、全加算器、通信用 LSI、DRAM バッファ回路に適用した。その結果、そのパターン面積は従来の FinFET 型 DTMOS と比較して、インバータ、NAND 等の簡単な論理回路では 55~86%に、全加算器では 89%に、

通信用 LSI では 83% に、DRAM バッファ回路では 58% にと大幅に縮小できることがわかった。新たに提案した積層構造 DTMOS は将来の GHz で動作する携帯機器用マイクロプロセッサ等の先端システム LSI の高速化、低消費電力化のための有望な候補であることが分かった。

7-2. 将来の展望

本論文で述べた新技術は今後も高集積化（低コスト化）、高速化、低消費電力に向けてさらに発展していくと考えられる。

例えば FinFET に関しては高集積化（低コスト化）技術として、1 回のプロセス工程でシステム LSI 内のチャンネル幅の異なる全ての FinFET を形成する方式が有望である。これは高度なトレンチ形成技術を論理 LSI 形成のために適用するもので（図 7-1）、プロセス工程を低減することにより低コスト化出来るだけでなく、論理 LSI に良く使用されるセルライブラリ等の設計を簡略化することにより（図 7-2）、設計コストを低減できる効果が期待できる。

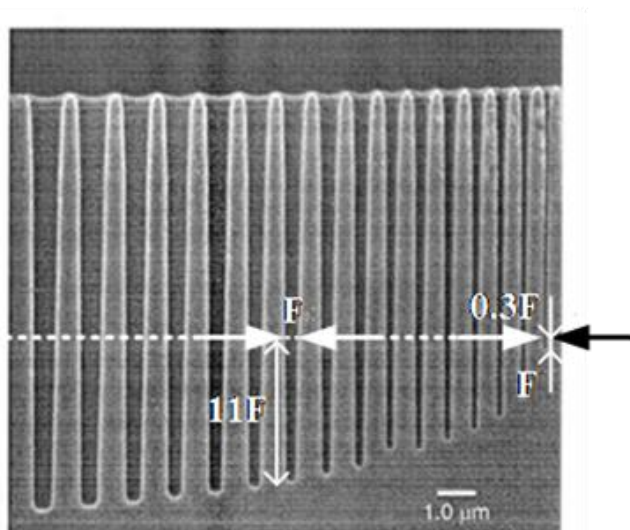


図 7-1 DRAM のキャパシタ形成に用いられるトレンチ形成技術を用いてトレンチを形成後破線部分までシリコン基板を研磨した状態、1 回のトレンチプロセス工程でチャンネル幅 F ~ $11F$ の多様な FinFET を形成可能。

circuit	channel width	beta ratio	conventional	proposed
INV	17	2	34	1
ND2	16	2	32	1
ND3	6	2	12	1
OAI22	6	2	12	1
ND4	4	2	8	1
NR2	12	2	24	1
NR3	11	1	11	1
OAI21	11	1	11	1
AOI22	11	1	11	1
NR4	7	1	7	1
OA222	7	1	7	1
AOI21	9	1	9	1
AOI31	9	1	9	1
OAI31	9	1	9	1
AOI32	4	1	4	1
AOI33	4	1	4	1
AOI221	4	1	4	1
OAI221	4	1	4	1
AOI211	10	1	10	1
AOAI211	10	1	10	1
AOI222	6	1	6	1
OAI211	6	1	6	1
OAI221	6	1	6	1
OAI32	3	1	3	1
OAI311	3	1	3	1
OAI41	3	1	3	1
OAOI211	3	2	6	1
MAI3	7	1	7	1
TOTAL			272	28

図 7-2 40nm LSI 用セルライブラリにおけるセルライブラリの種類の低減効果。1 回のプロセス工程で色々なチャンネル幅の FinFET を形成できるため必要なセルライブラリ数を従来の 272 から 28 へと約 10%に低減できる

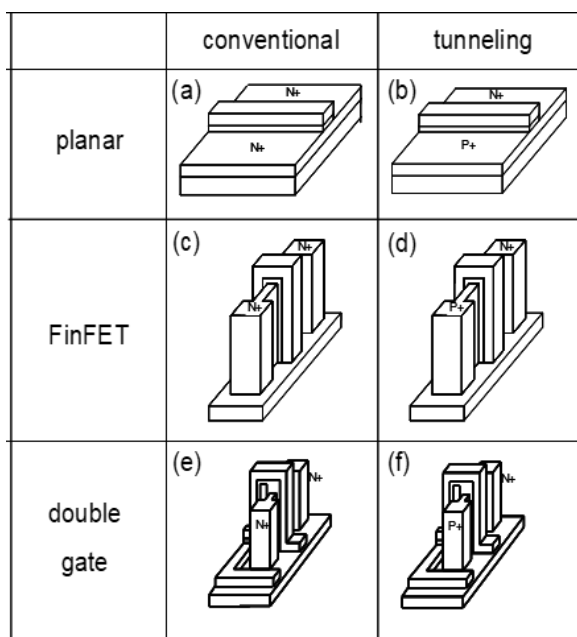


図 7-3 3次元型トランジスタへの TFET の適用例

一方高速化、低電力化の技術としてSファクタが小さいトンネル型トランジスタ(TFET)を3次元化する方法が考えられる。図7-3に示したように本論文で考察した3次元型トランジスタに容易にTFET方式は導入できる。

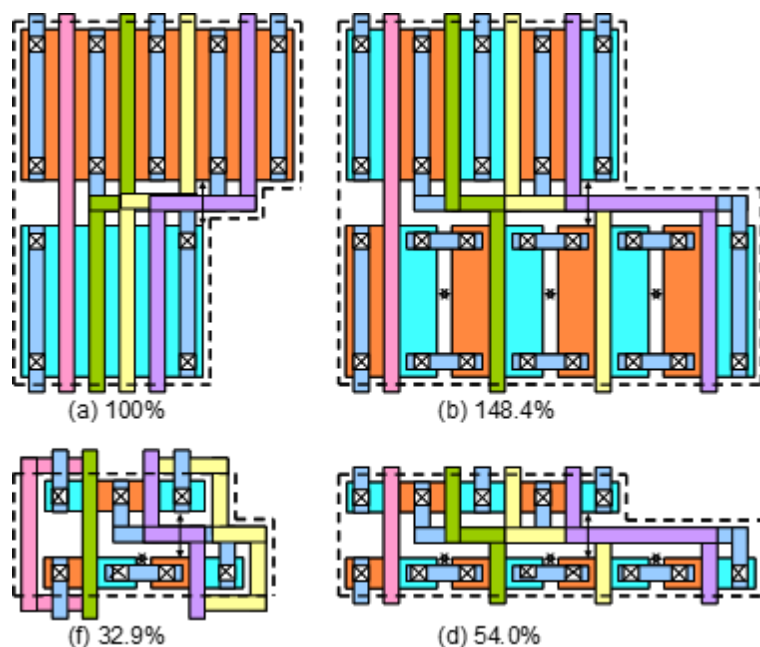


図7-4 3次元型トランジスタへのTFETの適用例(4入力NAND回路のパターンレイアウト例)、(a)は平面型MOSFET、(b)は平面型TFET、(c)はFinFET型MOSFET、(d)はFinFET型TFETを示す

他にもいくつかの新技术が期待でき、3次元型トランジスタを用いたLSIの高集積化(低コスト化)、高速化、低消費電力技術は今後さらに発展していくと期待できる。

第7章の参考文献

- [1] S. Watanabe, "Impact of Three-Dimensional Transistor on the Pattern Area Reduction For ULSI" IEEE Trans. Electron Devices, vol. 50, no. 10, pp.2073-2080, Oct. 2003
- [2] 渡辺重佳, "TISを用いたバッファ回路の新設計法とその大容量DRAMへの適用検討," 信学論(c), vol.J86-C, no.3, pp-301-306, 2003.
- [3] Intel, Intel 22nm 3-D Tri-Gate Transistor Technology, http://download.intel.com/newsroom/kits/22nm/pdFs/22nm-Announcement_Presentation.pdf
- [4] S. Davnaraju et. al., "A 22nm IA multi-CPU and GPU system on chip", ISSCC Dig. Tech. Papers, 2012.
- [5] H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, F. Hatori, "A

single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter, "ISSCC Dig. Tech. Papers pp.68-69, 2003.

[6] D. Heinbuch, "CMOS3 cell library" Addison-Wesley, 1987.

[7] 渡辺重佳, "TIS(Trench - Isolated - transistor using Side wall gate)を用いたシステム LSI の設計法," 信学論(c), vd.J88-C, no.12, pp.1208-1218, Dec. 2005.

[8] 廣島祐, 小玉貴大, 渡辺重佳, "三次元型トランジスタを用いた各種回路構成の論理回路のパターン面積の縮小効果の検討," 信学論(c), vd.J94-C, no.10, pp.341-345, Oct. 2011.

[9] K. Muller et. al, "Trench storage node technology For gigabit DRAM generations", IEDM Tech Digest, p.507, 1996.

[10] K. Owen et. al., "High aspect ratio deep silicon etching", MEMS 2012, pp.251-254, 2012.

[11] Y. Hiroshima and S. Watanabe, "New design technology of independent-gate controlled stacked type 3D transistor For system LSI", IEICE, vol.J92-C, no.3, pp.94-103, 2009 [in Japanese].

[12] M Rahman et. al., "Library based cell size selection using extended logic eFFort", IEEE Trans. on Computer-Aided Design of Integrated Circuit and Systems, vol.32, no.7, p.1095, 2013.

[13] S. K. Lim, "Design For high perFormance low power and reliable 3D Integrated Circuits", Springer, 2012.

[14] P. F. Wang et. al., "Complementary tunneling transistor For low power application," Solid State Electron., vol.48, no.12, pp.2281-2286, 2004.

[15] W. Choi et. al., "Tunneling Field-eFFect transistors (TFETs) with subthreshold swing (SS) less than 60mv/dec," IEEE Electron device Lett., vol.28, no.8, pp.743-745, Aug. 2007.

[16] M. Gopkrishnan et al., "I-MOS: A novel semiconductor device with a subthreshold slop lower than kT/q ," IEDM Tech. Dig., pp.289-292, 2002.

[17] H. Nathanson et al., "Resonant gate transistor", IEEE Trans. Electron Devices, vol.ED-14, no.3, pp. 117 - 133, 1967.

[18] A. C. Seabaugh et. al., "Low-voltage tunnel transistors For beyond CMOS logic", Proceeding of IEEE vol.98, no.12, pp.2095-2110, 2010.

[19] O. Nayfeh et al., "Design of tunneling Field-eFFect transistors using strained -silicon/strained germanium type 2 staggered heterojunction", IEEE Electron Device Lett., vol.29, no.9, pp. 1074 - 1077, 2008.

[20] S. O. Koswatta et. al., "PerFormance comparison between p-i-n transistors and conventional MOSFETs", IEEE Trans. Electron Devices, vol.56, no.3, pp.456-465, 2009.

[21] J. Appenzeller et al., "Band-to-band tunneling in carbon nanotube Field-eFFect transistors", Phys. Rev. Lett., vol. 93, no.17, pp. 196805-1-196805-4, 2004.

[22] F. Mayer et al., "Impact of SOI, Si1-xGExOI and GeOI substrates on CMOS compatible tunnel FET perFormance", IEDM Tech. Dig., pp.163-166, 2008.

[23] S. W. Kim et al., "L-shaped tunneling Field eFFect Transistors For complementary logic applications", IEICE. Trans. on Electronics, vol.E96-C, no.5, pp.634-638, 2013.

[24] E. Yablonovitch et al., "Density-of states switching mechanism For the tunnel Field eFFect

- transistor,” University of California, Berkeley, 2012.
- [25] N. Mojumder, et al., “Band-to-band tunneling ballistic nanowire FET: Circuit-compatible device modeling and design of ultra-low-power digital circuits and memories”, IEEE Trans. Electron Devices, vol.56, no.10, pp.2193-2202,2009.
- [26] D. Kim et al., “Low power circuit design based on hetero junction tunneling transistors (TFETs) For improved reliability”, Symp. Low Power Electronics and Design, pp.219-224, 2009.
- [27] M. C. Sun et al., “Design of thin-body double-gated vertical-channel tunneling Field-effect transistors For ultra-low power logic circuits,” Extended Abstracts of the 2011 Int. Conf. on Solid State Devices and Materials, pp.845-846, 2011.
- [28] X. Yang et al., “Robust 6T Si tunneling transistor SRAM design”, DATE11, 2011.
- [29] S. Davnaraju et al., “A 22nm IA multi-CPU and GPU system on chip”, ISSCC Dig. Tech. Papers, 2012.
- [30] Meng-Hsueh Chiang, et al., “High-Density Reduced-Stack Logic Circuit Techniques Using Independent-Gate Controlled Double-Gate Devices” , IEEE Trans. Electron Devices, vol.53, NO.9, Sep. 2006.
- [31] Y. Hiroshima and S. Watanabe, “New design technology of independent-gate controlled Double-gate transistor For system LSI,” IEICE Trans. Electronics, vol.J92-C, no.1, pp.18-25, Jan. 2009.
- [32] 廣島佑, 渡辺重佳, “FinFET を用いた DTMOS (FinFET 型 DTMOS) の提案.” 信学論 (C), vol.J92-C, no.11, pp.742-743, Nov. 2009.
- [33] H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, F. Hatori, “A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter,” ISSCC Dig. Tech. Papers pp.68-69, 2003.
- [34] T. Sakurai and A. R. Newton, “A simple MOSFET model For circuit analysis,” IEEE Transaction on Electron Devices, vol. 38, no.4, pp.887-894, 1991.
- [35] S. Watanabe, K. Sakui, T. Fuse, T. Hara, S. Aritome and K. Hieda, “BiCMOS circuit technology For high-speed DRAM's”, IEEE J. Solid-State Circuits, vol.28, no.1, pp.4-9, 1993.
- [36] S. Tamai and S. Watanabe, “Analysis of bit cost For stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, accepted in 2013..
- [37] S. Kato and S. Watanabe, “Analysis of bit cost and performance For stacked type chain PRAM,” Contemporary Engineering Sciences, vol.6, no.4, pp.191-201, 2013.

謝辞

本研究は湘南工科大学 工学部情報工学科 渡辺研究室在学中から現在に至るまでの恩師 渡辺重佳教授との共同研究の成果をまとめたものです。本論文をまとめるに当たり、終始、懇切な御指導と御助言を賜りました湘南工科大学 工学研究科電気情報工学専攻 渡辺重佳教授に謹んで感謝の意を表します。

また本論文の作成にあたり、論文副査として貴重な御助言、御指導をいただいた湘南工科大学 工学研究科電気情報工学専攻 二宮洋教授、中上川友樹教授、三浦康之教授に深く感謝致します。

本研究及び本論文の作成は現在在籍中の大井電気株式会社の上司、先輩、同僚の方々の御理解、御支援が無ければ実現出来ませんでした。大井電気株式会社の皆様方に謹んで感謝の意を表します。

研究業績：発表論文、口頭発表、解説記事

自著論文

- (1) 廣島佑, 渡辺重佳, “独立したゲートをもつダブルゲートトランジスタによるシステム LSI の新レイアウト設計法.” 電子情報通信学会論文誌 C, vol.J92-C, no.1, pp.18-25, January 2009.
- (2) 廣島佑, 渡辺重佳, “独立したゲートを持つスタック型 3 次元トランジスタによるシステム LSI の設計法.” 電子情報通信学会論文誌 C, vol.J92-C, no.3, pp.94-103, March 2009.
- (3) 廣島佑、小玉貴大、渡辺重佳 “三次元型トランジスタを用いた各種回路構成の論理回路のパターン面積の縮小効果の検討” 電子情報通信学会論文誌 C, Vol.J94-C, No.10, pp.341-345, 2011
- (4) 廣島佑, 渡辺重佳 “FinFET を用いた DTMOS (FinFET 型 DTMOS) の提案,” 電子情報通信学会論文誌 C, Vol.J92-C No.11 PP.742-743, 2009.
- (5) 廣島佑、小玉貴大、渡辺重佳 “積層型 DTMOS(スタック型 DTMOS)の検討 “ 電気学会論文誌 C, Vol.132, No.12, pp.1927-1933, 2012.

その他の論文

- (1) 福田佑貴、廣島佑, 渡辺重佳 “一層型 FinFET、積層型 FinFET を用いた L S I のパターン面積の比較,” 電子情報通信学会論文誌 C, Vol.J93-C No.3 pp.1-2, 2010.
- (2) T. Kodama, Y. Hiroshima and S. Watanabe, “Study of pattern area reduction with FinFET and SGT For LSI,” Contemporary Engineering Sciences, vol.6, no.4, pp.177-190, 2013.
- (3) T. Kodama, Y. Hiroshima, and S. Watanabe, “Proposal of independent-gate controlled double gate SGT and its application to logic circuit,” Contemporary Engineering Sciences, vol.7, no.2, pp.71-86, 2014.

- (4) Y. Hiroshima and S. watanabe, “Study of chip cost of LSI using FinFET with plural number of sidewall channel width, ” Contemporary Engineering Sciences, vol.6, no.1, pp.163-176, 2013.
- (5) Y. Hiroshima and S. watanabe, “Impact of FinFET with Plural Number of Channel width Using Novel One Step of Trench Formation Process on Fabrication Cost For System LSI, ” Contemporary Engineering Sciences, vol.11, no.88, pp.4379-4389, 2018.
- (6) Y. Hiroshima and S. watanabe, “Impact of FinFET with Plural Number of Channel width Using Novel One Step of Trench Formation Process on pattern design time For System LSI, ” Contemporary Engineering Sciences, vol.11, no.88, pp.4379-4389, 2018.
- (7) Y. Hiroshima, T. Kodama, and S. Watanabe, “Proposal of DTMOS type SGT and its application to logic circuit,” Contemporary Engineering Sciences, vol.7, no.2, pp.53-70, 2013.
- (8) S. Hiroshima, R. Suzuki and S. Watanabe, “Study of pattern area of logic circuit with tunneling Field-EFFect transistors,” Contemporary Engineering Sciences, vol.6, no.6, pp.273-284, 2013.

口頭発表

- (1) 廣島佑、渡辺重佳、“独立したゲートを持つスタック型3次元トランジスタによるシステムLSIの設計法、” 電子情報通信学会 SDM,ICD 研究会 信学技報 SDM2008-137, pp.53-58, July. 2008.
- (2) 廣島佑、渡辺重佳、“独立したゲートを持つスタック型3次元トランジスタを用いたシステムLSIの設計法、” 電通学会ソサエティ大会 C-12-9, p.78, 2008.
- (3) 廣島佑、渡辺重佳、“各種3次元トランジスタを用いたシステムLSIのパターン面積縮小法、” 電子情報通信学会 VLD研究会 信学技報 VLD2008-167, pp.243-248, Mar. 2009.

- (4) 廣島佐、渡辺重佳、“3次元トランジスタを用いたシステムLSIの設計法,” 電子情報通信学会 ICD 研究会 “LSIとシステムのワークショップ2009”, pp.208-210, May 2009
- (5) 廣島佐、渡辺重佳、“3次元トランジスタを用いたシステムLSIのパターン面積縮小効果,” 電子情報通信学会 機能集積情報システム研究会 信学技報 FITS09, No.262, Nov. 2009.
- (6) 廣島佐、渡辺重佳、“3次元トランジスタを用いたシステムLSIのパターン面積の見積もり,” 電子情報通信学会 ICD 研究会 信学技報 ICD2009-78, pp.13-18, Dec. 2009
- (7) 廣島佐、渡辺重佳、“FinFET型DTMOSを用いたシステムLSI設計法の提案,” 電子情報通信学会総合大会 C-12-69, p.146, 2010.
- (8) 小玉貴大、渡辺重佳、廣島佐、“3次元型トランジスタを用いた各種回路構成の論理回路のパターン面積の縮小効果の検討,” 電子情報通信学会 SDM 研究会 信学技報 SDM2011-71, pp.1-6, Aug. 2011.

解説記事

- (1) Y. Hiroshima, T. Kodama, and S. Watanabe, “Design Technology of Stacked Type DTMOS,” Electronics and Communications in Japan, Vol. 97, No. 7, 2014, Translated From Denki Gakkai Ronbunshi, Vol. 132-C, No. 12, December 2012, pp. 1927–1933.