

SGT を用いた半導体集積回路の 低コスト化、高速化、低電力化に関する研究

令和3年3月

横田智広

論文の概要

半導体集積回路はその基本構成要素である平面型トランジスタの微細化(スケーリング則)及び高集積化(ムーアの法則)により低コスト化、高速化、低消費電力化が実現され発展してきた。その平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近づいているため論理 LSI の低コスト化、高速化、低消費電力化が出来なくなっている問題がある。本論文では、その問題を解決出来従来のムーアの法則を延命させる 1 層型 SGT と積層型 SGT を用いた積層型論理 LSI を提案した。

1 層構造の SGT ではパターン面積を縮小することにより低コスト化可能な最適設計方法を、SGT を Fe-FET と BiCS 技術と組み合わせた積層型論理 LSI では低コスト、高速、低電力技術を新たに提案した。以下に論文の内容を示す。

第 1 章ではまず平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近づいているため論理 LSI の低コスト化、高速化、低消費電力化が出来なくなっている問題を提示し、それを解決する提案を行うという論文の目的と全体の構成を示す。

第 2 章では第 1 章で示した問題を解決できる 1 層型 SGT 及び積層型 SGT について述べ、それを実現するために提案した本論文での新技術の概要を述べる。

1 層型 SGT に関しては第 3 章でコスト削減に最も効果のあるパターン面積の縮小のための最適設計法を提案した。

積層型に関しては低コスト化のみならず高速化、低電力化に適した方式を提案した。

低コスト化に関しては始めに第 4 章で積層型 SGT による NAND/NAND 組み合わせ回路を提案した。次に第 5 章ではこれを更に低コスト化可能な階層積層型 SGT による NAND/NAND 組み合わせ回路を提案した。第 6 章では組み合わせ回路同様に重要な情報記憶用のフリップフロップ回路 (FF) の積層化について提案した。FF は組み合わせ回路の横に配置されることを前提とした。次の第 7 章では更なる低コスト化のために前述した FF を 1 個のメモリ素子で実現し、それを組み合わせ回路上に積層する方式を提案した。

低電力化に関しては第 8 章で、低電圧動作が可能な積層型 CMOS 回路を新たに提案し、高速化に関しては第 9.2 章で SGT を構成するシリコン柱の中で並列処理を実現できる方式を提案した。

従来のムーアの法則を延命させる新たな論理 LSI の候補として本論文で提案した SGT を Fe-FET と BiCS 技術と組み合わせた積層型論理 LSI 方式は現在のみならず将来にわたって極めて有望である。

目次

1. 序論	1~11
1-1. 論文の背景	1
1-2. 論文の目的	8
1-3. 論文の構成	9
2. 論理LSIの低コスト化、高速化、低電力化設計法	12~16
2-1. 積層化による低コスト化と高速化	12
2-2. 本論文で提案する積層型論理LSIでの具体的な新技術	14
3. 1層型SGTを用いた基本論理回路によるパターン面積縮小効果・低コスト化	17~27
3-1. 序論	17
3-2. 1層型SGTの構成	17
3-3. 基本論理回路でのパターン面積のトランジスタの配置方向依存性	18
3-4. 結論	26
4. 積層型SGTを用いたNAND・NAND組み合わせ回路	28~46
4-1. 序論	28
4-2. 積層型NAND FeRAMの基本的な構成	30
4-3. 積層型Fe-FET NAND/NANDアレイの構成	31
4-4. プログラム・読み出し方式	34
4-5. 積層型Fe-FETNAND/NANDアレイのパターン面積と製造コストの見積もり	37
4-6. 結論	44
5. 階層積層型SGTを用いたNAND・NAND組み合わせ回路	47~62
5-1. 序論	47
5-2. 階層積層型の構成とプログラム・読み出し方式	48
5-3. 動作速度、消費電力の見積もり	51
5-4. パターン面積と製造コストの見積もり	56
5-5. メモリセルサイズ、プロセス工程に関する考察	58

5-6.	結論	61
6.	積層型 SGT を用いた Fe-FET 順序回路	63~75
6-1.	序論	63
6-2.	積層型 SGT を用いた Fe-FET 型フリップフロップ	63
6-3.	積層型 SGT を用いた Fe-FET 順序回路設計例 (サイコロカウンタ)	65
6-4.	積層型 SGT を用いた Fe-FET 順序回路設計例 (9 種類の簡単な順序回路)	68
6-5.	結論	74
7.	積層型 SGT を用いた組合せ回路とその評価結果用メモリを積層した順序回路	76~87
7-1.	序論	76
7-2.	4 種類の提案方式の構成	77
7-3.	各提案方式の性能の比較	81
7-4.	結論	86
8.	SGT を用いた積層型 CMOS NAND/NOR 回路	88~93
8-1.	序論	88
8-2.	積層型 CMOS NAND/NOR 回路	88
8-3.	パターン面積の比較	89
8-4.	単位面積当たりの製造コストの比較	90
8-5.	結論	92
9.	SGT を用いた積層型論理回路の高速化及び高機能化	94~107
9-1.	序論	94
9-2.	シリコン柱内の並列処理による高速化	94
9-3.	横 NAND 方式による高速化	100
9-4.	積層方式の高機能化	104
9-5.	結論	106
10.	結論	108~113
10-1.	結論の要約	108
10-2.	将来の展望	110
	謝辞	114
	研究業績：発表論文、口頭発表、新聞発表、解説記事、受賞	115~117

1. 序論

1-1. 論文の背景

LSI は過去ムーアの法則にしたがって平面型トランジスタの微細化が進み、大容量化、低コスト化、高速化、低消費電力化が着実に進められてきた。その結果ロジック LSI の代表である MPU (Micro Processor Unit) では 10 億個以上の平面型トランジスタを用いた GHz 動作が実現され、メモリ LSI の中で最も大容量化が進んだ平面型トランジスタを用いた NAND 型フラッシュメモリでは 64 Gbit まで大容量化が進められている[1]。しかしながらこの平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近付いている。

現在の LSI ではシリコン基板の表面に平面上にトランジスタが形成されるいわゆる平面型トランジスタを基本単位として、それを複数個シリコン基板上に配列して異なる平面型トランジスタの間を配線で接続する構成を用いている。LSI で複雑な機能を実現するためには多数の平面型トランジスタが必要になる。図 1-1 に平面型トランジスタの構造を示す。シリコン基板 (後述する方式との関係でシリコン柱とも呼ぶ) の上にゲート絶縁膜を介してゲートが横方向に走る構成を用いている。電流はドレインからソースに横方向に流れる。

LSI では過去ムーアの法則に従い着実に平面型トランジスタ数が 18 カ月 (1 世代) で 2 倍に増加し、現在数十億個の平面型トランジスタが集積されている[2]。平面型トランジスタの面積が大きいとその LSI は非常に大きくなり動作性能と製造コスト的に現実的な LSI は実現できない。この問題を解決するため、過去平面トランジスタの寸法を 1 世代で長さ方向に 0.7 倍に縮小するスケーリング則[3]を用いてきた。スケーリング則によると平面型トランジスタは図 1 の縦、横、高さ方向に同じ割合 (0.7 倍) に縮小すると小型化されるだけでなく、高速化、低消費電力化も併せて実現できる特徴がある。すなわち LSI では過去半世紀近くムーアの法則とスケーリング法則を指導原理として LSI の高集積化 (1 平方ミリ程度の小さな LSI の面積に平面型トランジスタ数を増やすこと)、高速化、低消費電力を実現してきた。

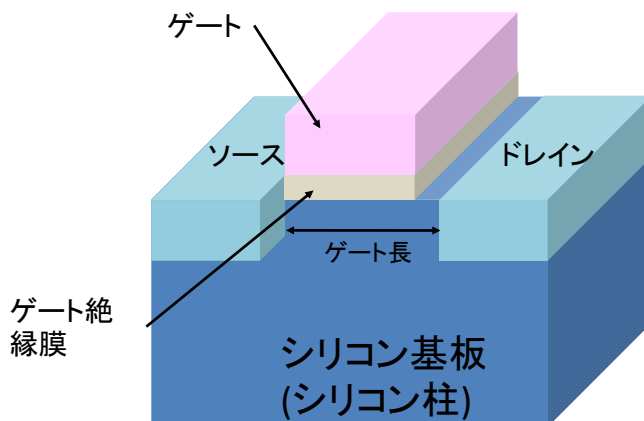


図 1-1. 平面型トランジスタの構成

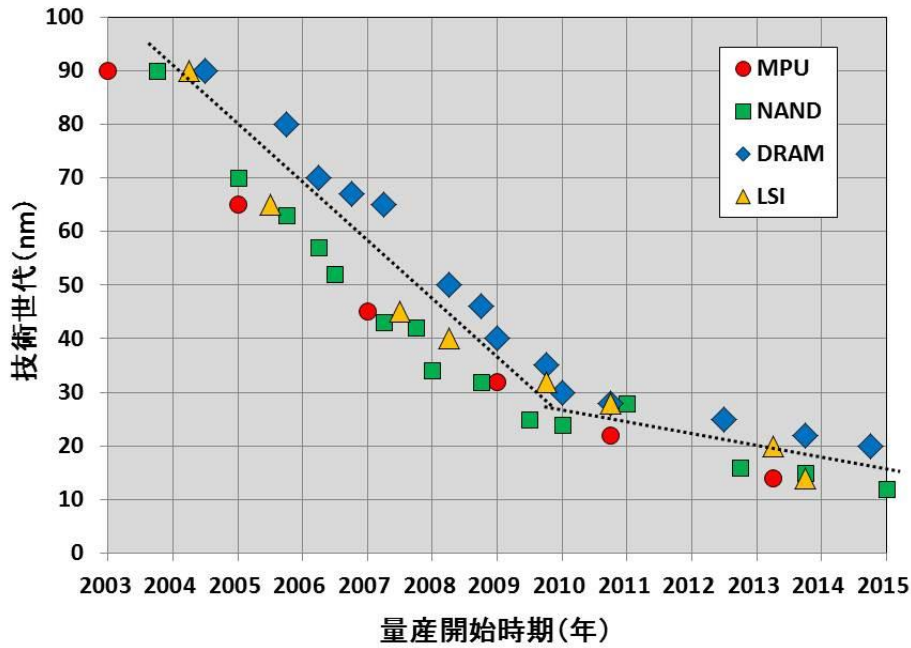
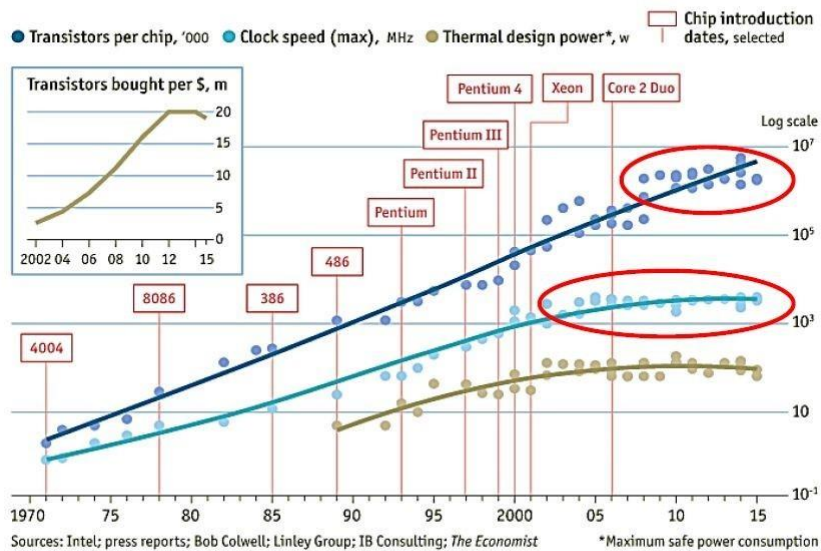


図1 急ブレーキがかかる微細化

出所: 日経エレクトロニクス、2015年4月号、30ページの図30

図1-2. 平面型トランジスタの微細化の推移

Moore's Law Challenges



Credit: Economist, 2016

図1-3. 平面型トランジスタの微細化の鈍化による高集積化、高速化、低消費電力化の鈍化

しかしながら過去40年以上続いた平面型トランジスタの微細化もそろそろ限界に近づいている。従来から使われている平面型トランジスタでは、トランジスタの寸法が小さくなり

すぎるとトランジスタの動作を制御できなくなるいわゆるショートチャネル効果が大きくなる問題が起こる。トランジスタの寸法（正確にはゲート長（図 1-1 参照）と呼ばれる）は 20nm 世代になるとこの効果が顕著になる。それを図 1-2 に示す。2010 年頃まではスケールリング則に従ってトランジスタの微細化が進められたが、それ以降は微細化のスピードが急激に落ちている状況にある[4]。そのため従来通りのムーアの法則によるトランジスタ数の増加やスケールリング則による L S I の高速化や低消費電力化が次第に困難になってきている（図 1-3） [5]。

この問題を解決するため、ショートチャネル効果に強い 3 次元型トランジスタが開発された。その代表例が FinFET[5] [6]や SGT(Surrounding Gate Transistor)[7]である。図 1-4 に FinFET の構造を示す。ショートチャネル効果を抑制するためには電流が流れるシリコン柱を出来るだけゲートで囲む構成が適していることが知られている。従来の平面型トランジスタでは図 1-1 にも示したようにシリコン柱の上にゲートが走る構成を用いている為、シリコン柱は 1 面のみゲートに接している。それに対して FinFET は 3 方向がゲートに囲まれている為、微細なトランジスタでも比較的容易にショートチャネル効果を抑制できる特徴がある。この制御性の良さにより平面型トランジスタ以上の高速動作、低消費電力特性を実現し、パターン面積の縮小にも貢献出来る可能性がある。以上のように色々な特徴がある 3 次元型トランジスタの唯一の欠点は製造技術の複雑さにある。このため過去その潜在的に優れた特性にもかかわらず、製品に使われることは無かった。それが 6 年前に初めてインテルのマイクロプロセッサに使用されることになり [8] [9]、3 次元型トランジスタの時代に突入することになった。今まで問題となっていた製造技術の複雑さも、長年の努力によって克服され、平面型トランジスタより僅か数パーセント多い製造コストで、実現することが可能になった。今後 3 次元型トランジスタの中で最も構造が簡単で製造しやすい FinFET がマイクロプロセッサ以外の各種システム LSI に使用されていくと予想される。

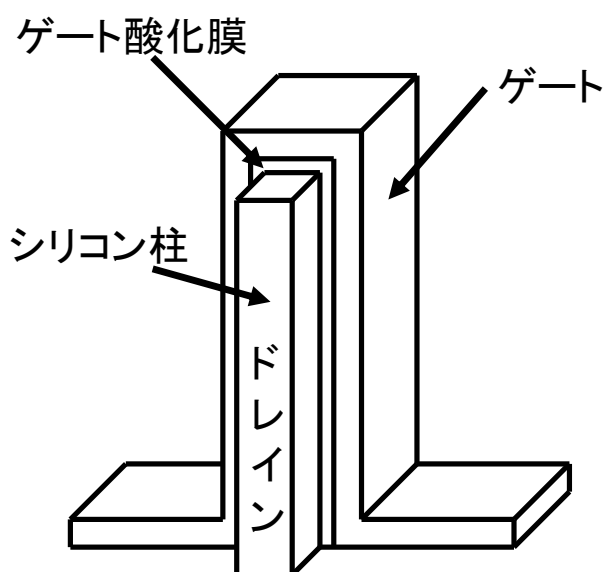


図 1-4. FinFET の構成

FinFETは、電流はドレインからソース電極に向かって横方向に流れる3次元型トランジスタであるのに対し、電流が縦方向に流れる3次元型トランジスタがSGTである[7][10]。図1-2にSGTの構造を示す。チャンネルになるシリコン柱を4方向から囲む形でゲート電極が形成されるため、FinFET以上にゲート電極によるチャンネルの制御が容易になる特徴がある。またFinFET同様に平面型トランジスタと比較してパターン面積を縮小できる特徴がある。SGTは以上のような特徴があるもののその製造技術はFinFET以上に困難であるため、現時点までに後述する3DフラッシュメモリやDRAM以外の論理LSIには使われていない。そのためSGTに関する研究もトランジスタ単体レベルやDRAM等のメモリ[11][12]レベルに止まっているのが現状である。今後のSGTの製造技術の進展に合わせたその論理LSIでの回路設計関連の研究が強く望まれている。

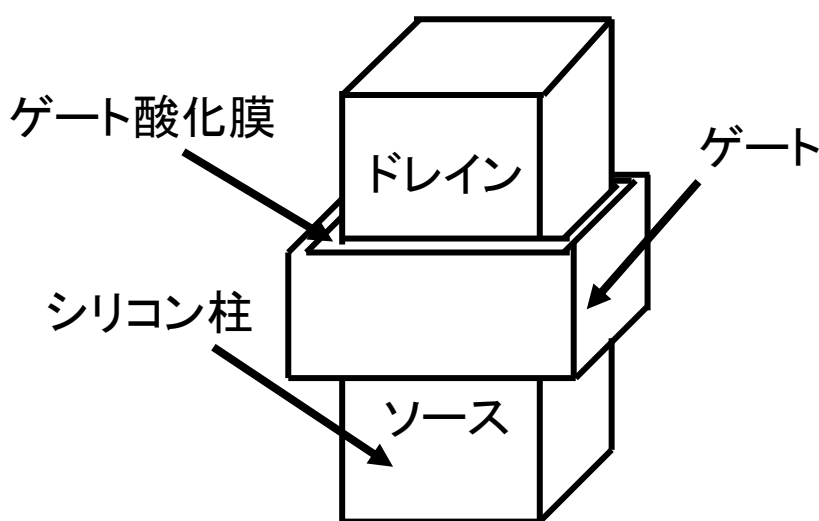


図1-5. SGTの構成

今までに述べた3次元型トランジスタの導入によりトランジスタの微細化は延命されるが、トランジスタの寸法が10nm程度に更に微細化されると、3次元型トランジスタでもショートチャンネル効果の抑制は困難になる。また前述したようにLSIはトランジスタと配線から構成されているが、以上のようなトランジスタ構造の改良は配線の微細化に関する問題を改善することが出来ない。配線の微細化は主に配線の微細加工技術の進展に依存するが、その基本となるリソグラフィ技術が限界に達しつつあり、今後の配線の更なる微細化が困難になっている。つまり、トランジスタ構造と配線構造の両面で、現在の主流であるいわゆる平面型論理回路は微細化の限界に達している。

この問題を解決するため電流が縦方向に流れるため直列に接続しやすい特徴があるSGTを縦方向に積層することにより大容量化をする提案がNANDフラッシュメモリで過去なされた[13]。当初提案された積層型NANDフラッシュメモリでは、1層ずつ独立したプロセスでメモリセルを製造する方式になっていたため、積層することにより大容量化できる半面、1ビット当たりのコストであるビットコストは安くならなかった(図1-6(A))。その問題

を解決するために提案されたのが多段積層縦型トランジスタ構造である[14] (図1-6(B))。これはゲート電極とゲート電極間の層間絶縁膜の積層をひとつの製造工程のセットとして、このセットを積層する層数だけ繰り返した後に、一括して基板の一番下までトレンチを形成し、積層数分だけまとめて同一の工程でメモリセルを形成する製造技術である。多段積層縦型トランジスタ構造を導入することにより、積層することにより大容量化できるだけでなく、ビットコストを積層しない1層構造と比較して大幅に低減することが初めて可能になった。この製造工程は別名 BiCS 方式とも呼ばれている。

積層型フラッシュメモリの製造方法

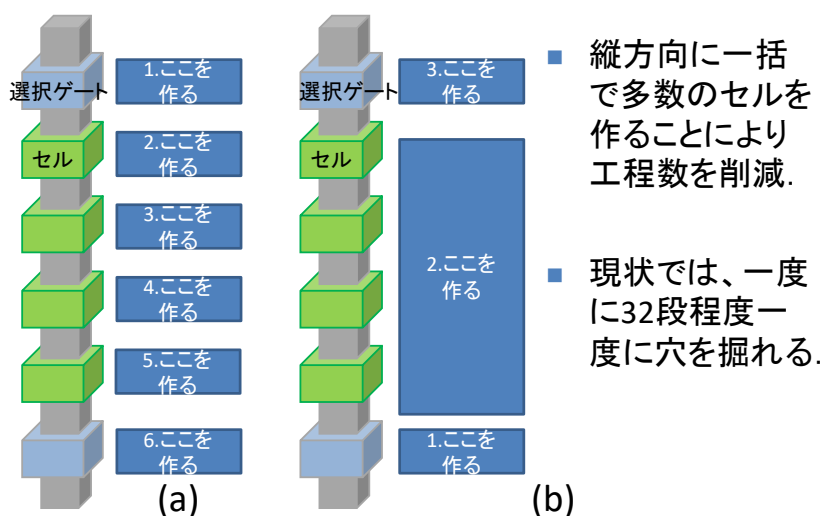


図1-6. 積層型フラッシュメモリの製造方法 (a)初期の方式、(b)BiCS方式

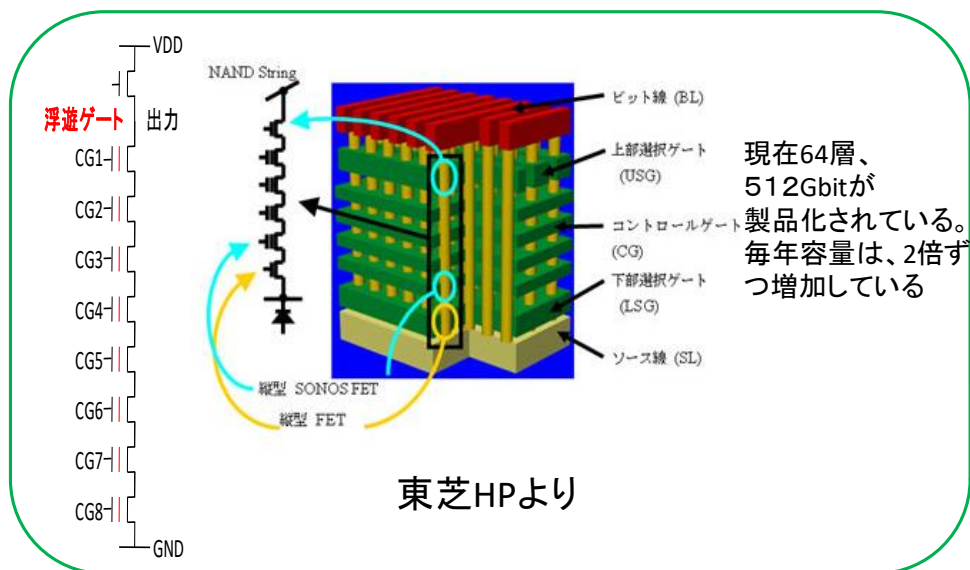
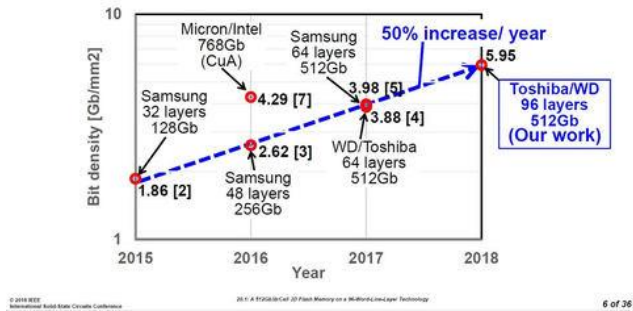


図1-7. BiCS方式の3D NANDフラッシュメモリの構成

Bit Density Trend(3b/cell 3D Flash Memory)



Bit Density Trend

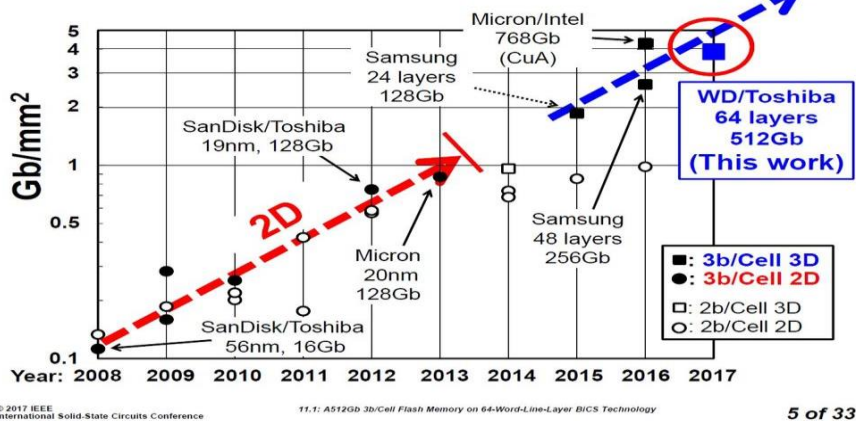


図 1-8. NAND 型フラッシュメモリの大容量化の推移

この多段積層縦型トランジスタ構造はその後現在最も大容量化されている NAND 型フラッシュメモリで本格的に導入された[15]-[17]。その BiCS 方式での基本構成を図 1-7 に示す。32~48 層積層した積層型 NAND フラッシュメモリが開発され、東芝、サムスン、Intel/Micron が開発、製品化を進めている。図 1-8 にその大容量化の推移を示す。2013 年度までは 1 層型だった NAND フラッシュメモリはその後 3D の積層構造に移行し、その後積層数が 2018 年現在 96 層まで増加し、記憶容量も 512Gb に達している。その大容量化は 1 年で 1.5 倍、3 年で 3.4 倍とムーアの法則 (3 年で 4 倍) に近い速度で進展している。

つまり NAND 型フラッシュメモリは、多段積層縦型トランジスタ構造 (BiCS 構造) を用いると積層数を増やすとともに大容量化されるだけでなくビットコストも安くなり低コスト化できる特徴がある。つまり大容量メモリはムーアの法則による平面型トランジスタの微細化が限界に達した後も、多段積層縦型トランジスタ構造 (BiCS 構造) を用いて積層化を進めることにより、従来同様大容量化、低コスト化が実現できる可能性が高い。今後製造技術等の進展により、数年単位で積層数を倍増させ、その結果従来同様に大容量化、低コスト化が推進できる可能性が高い。

それに対し大容量メモリと比較して複雑な回路構成を平面型トランジスタと配線で形成

している現在の論理 LSI では、トランジスタの微細化の限界後の大容量化、低コスト化、高速化を推進できる有力な候補はまだ提案されていない。前述したように平面型トランジスタを3次元化した FinFET、SGT 等では、平面型トランジスタよりは論理 LSI を大容量化、低コスト化、高速化できる可能性があるが、今後長期にわたってそれを実現することは困難である。そこで今後も継続して論理 LSI の大容量化、低コスト化、高速化を実現する新方式の提案が現在強く望まれている。

この目標を実現するためには縦方向に電流が流れるために大容量化に適してる SGT 構造と、低コストが実現できる BiCS 方式は非常に有効である。それに対して前述した 3D NAND フラッシュメモリで用いられていたフローティングゲート型トランジスタは非常に書き込み等の動作速度が遅く論理 LSI には適していない。そこで本論文ではフローティングゲート型トランジスタの代わりに更に高速動作に適したトランジスタ構造を調査した。それをまとめて図 1-9 に示す。図 1-9 には比較のためにフローティングゲート型トランジスタを一番左に示してある。

高速動作に適したトランジスタの第一の候補は真中に示す Fe-FET である。これはゲート絶縁膜に強誘電体を用いた強誘電体トランジスタのことであり 1990年代に新しく提案された[18]。提案されて以来将来の高速なメモリや論理 LSI 実現のための候補として多数の研究が継続的に行われている。トランジスタレベルの試作評価は十分に行われており直ぐに製品化できるレベルに達している。ゲート電極に外から電圧を印加して強誘電体の電気分極の向きを変えることによりトランジスタのオン/オフを制御できる。オン時のドレイン電流が大きくフラッシュメモリより高速動作が期待できる特徴がある。また電源を切っても電気分極の向きが保存されるため、不揮発性メモリ、不揮発性トランジスタとして使用できる。以上のように Fe-FET は高速動作が可能だけでなく現在製品化できるレベルの技術的な完成度に達している為、本論文では高速動作の候補として採用した。

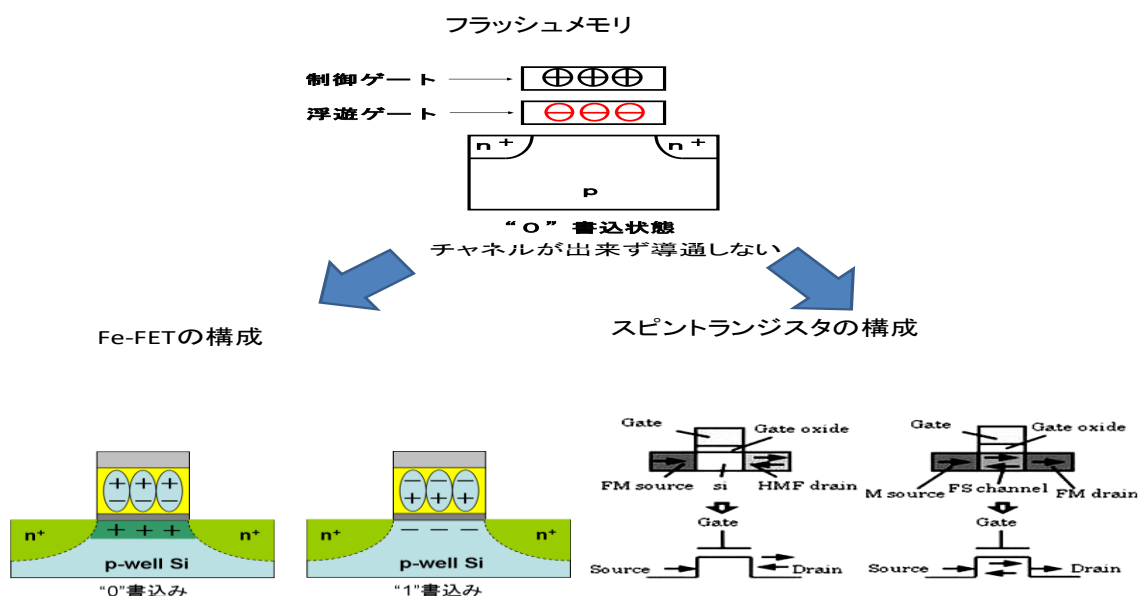


図 1-9. 高速化に適したトランジスタ構造の候補

高速動作に適したトランジスタの第二の候補は図中で右に示すスピントランジスタである。スピントランジスタの通常のトランジスタとの最大の違いはスピンを有する磁性体を導入した点である。磁氣的にスピンの方向が固定された固定層とスピンの方向が磁氣的に固定化されておらず向きが可変である自由層の二つにそのスピンの方向の違いによりトランジスタの特性（抵抗）が異なる特徴がある。情報を記憶するのにドレイン電極を用いる方法と基板部分を用いる方式の2種類がある。動作速度はフラッシュメモリより原理的に早く高速動作に適している。この方式は2004年に初めて提案されたが[19][20]、トランジスタ構造を実際に制作するのが困難であり、まだシミュレーションレベルでドレイン電流の特性が求められるレベルに留まっている。そのため本論文では高速動作の候補としては採用しなかった。

1-2. 論文の目的

以下本論文の目的について述べる（図1-10）。

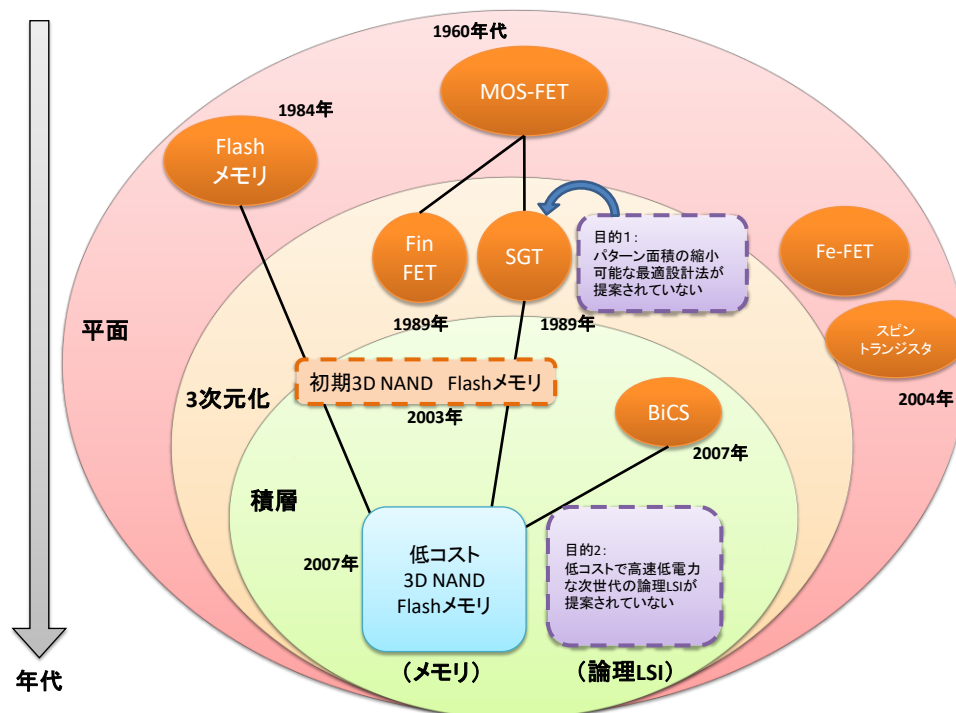


図1-10. 本論文の目的を示した図

1層構造のSGTは前述したように従来のムーアの法則やスケールリング則を延命させる有力な候補であるが、その製造技術の困難さによりまだ製品化に至っていない。そのため研究もトランジスタ単体レベルやDRAM等のメモリ[11][12]レベルに止まっているのが現状であり、今後のSGTの製造技術の進展に合わせたその論理LSIでの回路設計関連の研究が強く望まれている。そこで本論文では、1層構造のSGTを用いた論理LSIのパターン面積可能な最適設計法の提案を第一の目的とする。

前述したように1層構造のSGTではムーアの法則を延命させるのには限界がある。そこ

でムーアの法則を延命させることの出来る低コストで高速、低電力な次世代の論理LSIを実現することを第二の目的とする。

1-3. 論文の構成

本論文の具体的な構成を図 1-11 に示す。

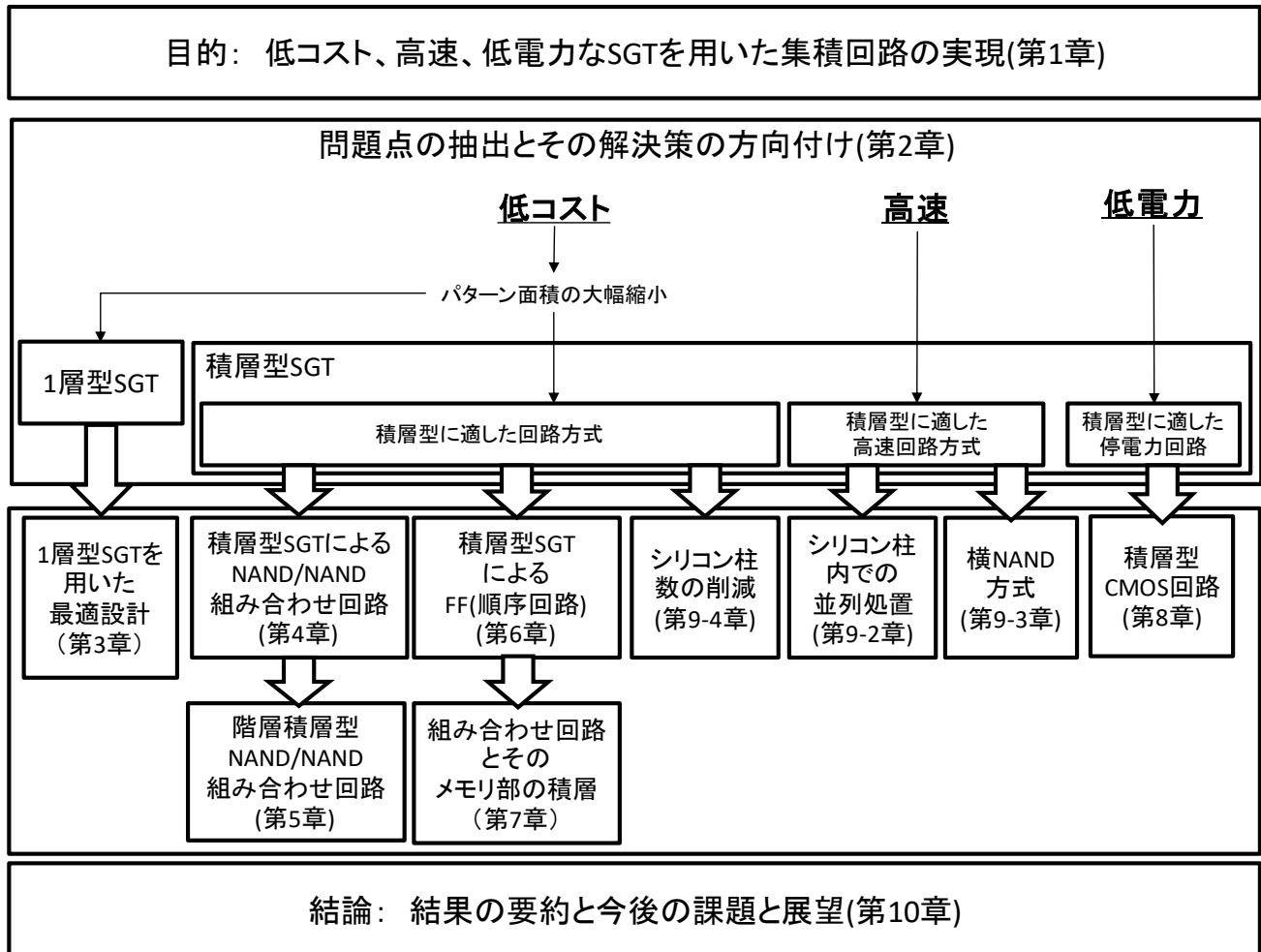


図 1-11. 本論文の構成

本論文の主な目的は前述したように低コスト、高速、低電力なSGTを用いた論理LSIの実現である(第1章)。

第2章では従来方式の問題点の抽出とその解決策の方向付けを行う。まずムーアの法則を延命させるために最も重要な低コスト化のために、1層型、積層型両方式での検討を行う。1層型に関してはコスト削減に最も効果のあるパターン面積の縮小のための最適設計法を提案する(第3章)。

積層型に関しては低コスト化のみならず高速化、低電力化に適した方式を提案する。

低コスト化に関しては始めに第4章で積層型SGTによるNAND/NAND組み合わせ

回路を提案する。次に第 5 章ではこれを更に低コスト化可能な階層積層型 SGT による NAND/NAND 組み合わせ回路を提案する。第 6 章では組み合わせ回路同様に重要な情報記憶用のフリップフロップ回路 (FF) の積層化について提案する。第 6 章では FF は組み合わせ回路の横に配置されることを前提としている。次の第 7 章では更なる低コスト化のために前述した FF を 1 個のメモリ素子で実現し、それを組み合わせ回路上に積層する方式を提案する。また第 9.4 章では SGT を構成するシリコン柱の数を低減する方式も検討する。

高速化に関してはまず第 9.2 章で SGT を構成するシリコン柱の中で並列処理を実現できる方式を提案する。次に第 9.3 章で出力が横方向に出る横 NAND 方式を提案する。

最後に低電力化に関しては第 8 章で、低電圧動作が可能な積層型 CMOS 回路を新たに提案する。

最後に第 10 章で結果の要約と今後の課題と展望について述べる。

第 1 章の参考文献

- [1] M. Sako et al., "A Low-Power 64Gb MLC NAND-Flash Memory in 15nm CMOS Technology", ISSCC Dig. Tech. Papers, 2015.
- [2] 渡辺重佳、廣島佑、横田智弘、玉井翔人、佐藤匠、"ムーアの法則以降の新しい半導体メモリとトランジスタの技術動向"、湘南工科大学紀要、Vol.50, no.1, pp.39-47, 2016.
- [3] Dennard, Robert H., Gaensslen, Fritz, Yu, Hwa-Nien, Rideout, Leo, Bassous, and Ernest LeBlanc, Andre, "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid State Circuits. SC-9, No.5, 1974.
- [4] 日経エレクトロニクス 2015 年 4 月号
- [5] D. Hisamoto et al., "FinFET a self-aligned double gate MOSFET scalable beyond 20nm," IEEE Trans. Electron Devices, vol.47, no.12, pp.2320-2325, 2000.
- [6] S. Davnaraju et. al., "A 22nm IA multi-CPU and GPU system on chip", ISSCC Dig. Tech. Papers, 2012.
- [7] H. Takato et al., "Impact of SGT for ultra - high density LSIs", IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991
- [8] D. Bhattacharya and N. Jha, "FinFETs: from devices to architectures," Advanced Electronics, vol.2014, 365689, 2014.
- [9] S. Davnaraju et. al., "A 22nm IA multi-CPU and GPU system on chip", ISSCC Dig. Tech. Papers, 2012.
- [10] N. Nitayama et al., "Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits," IEEE Trans. Electron Devices, Volume: 38, Issue: 3 (1991) 579-583
- [11] K. Sunouchi et al., "A surrounding gate transistor (SGT) cell for 64/256Mbit DRAMs", IEDM Tech. Dig., pp.23-26, 1989.
- [12] S. Watanabe et al., "A novel circuit technology with surrounding gate transistors (SGTs) for ultra high density DRAMs", IEEE J. Solid-State Circuits, vol.30, no.9, pp.960-95-1995.
- [13] T. Endoh et. al., "Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell", IEEE Trans. Electron Devices, vol.50, no.4, pp.945-951, 2003.
- [14] H. Tanaka et al., "Bit Cost scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory", Symp.on VLSI Technology, 2007.

- [15] R. Katsumata et al., "Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices", Symp .on VLSI Technology, pp.136-137, 2009.
- [16] J. Jang et al., "Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory", Symp.on VLSI Technology, pp.192-193, 2009.
- [17] J-W. Im, W-P. Jeong, D-H. Kim, S-W. Nam, D-K. Shim, M-H. Choi, H-J. Yoon, D-H. Kim, Y-S. Kim, H-W. Park, D-H. Kwak, S-W. Park, S-M. Yoon, W-G. Hahn, J-H. Ryu, S-W. Shim, K-T. Kang, S-H. Choi, J-D. Ihm, Y-S. Min, I-M. Kim, D-S. Lee, J-H. Cho, O-S. Kwon, J-S. Lee, M-S. Kim, S-H. Joo, J-H. Jang, S-W. Hwang, D-S. Byeon, H-J. Yang, K-T. Park, K-H. Kyung, J-H. Choi, " A 128Gb 3b/cell V-NAND Flash Memory with 1Gb/s I/O Rate2," ISSCC Dig. Tech. Papers. 2015.
- [18]J.F.スコット、"強誘電体メモリ"、Springer 2003.
- [19] S. Sugahara and M. Tanaka, *J.Appl. phys.* vol.97, no.10, pp. 10D503/1- 10D503/3, 2005.
- [20] S. Sugahara and M. Tanaka, *Appl. phys.Let.* vol.84, no.13, pp.2307-2309, 2004.

2. 論理LSIの低コスト化、高速化、低電力化設計法

2-1. 積層化による低コスト化と高速化

前述したように本論文ではムーアの法則を延命させることの出来る低コストで高速、低電力な次世代の論理LSIを実現することを第二の目的としている。それを実現するため、本論文では、3D NANDフラッシュメモリで採用されているパターン面積の縮小に適したSGT構造とその積層化を低コストで実現できるBiCSを組み合わせ、それに低速動作のフラッシュメモリの代わりに高速動作が期待できるFe-FETを適用することで提案する(図2-1)。

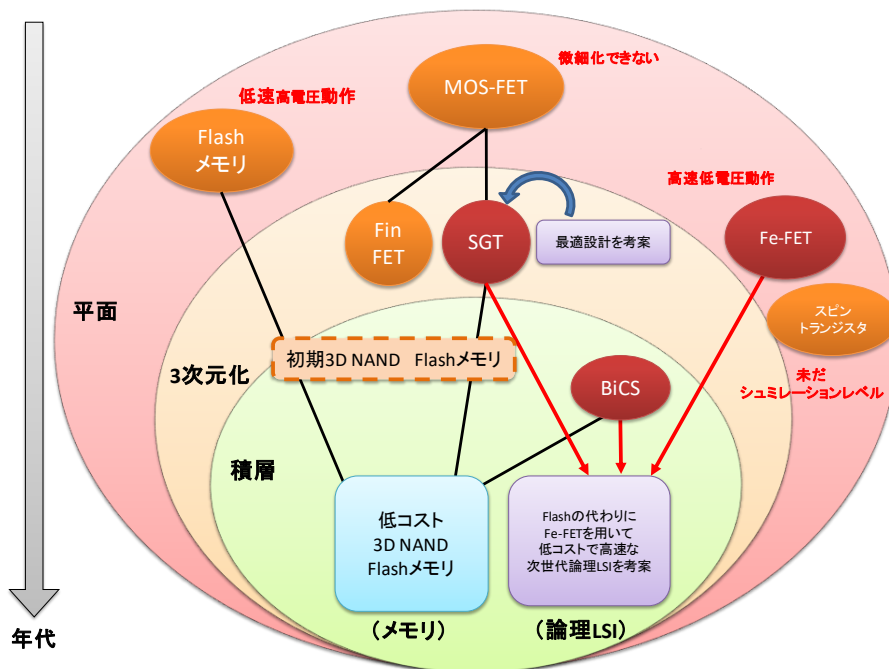


図2-1. 本論文で提案する低コスト、高速論理LSIの実現方法

SGT, BiCS技術以外に本論文で新たに使用するFe-FETに関して以下に述べる。Fe-FETには強誘電体材料が必要不可欠になる。当初その材料としては昔から強誘電体材料として良く知られていたPZTやBSTが使われてきた。これらの強誘電体材料は比誘電率は100以上と非常に大きいものの薄膜化が困難である欠点があった。そのため平面構造のFe-FETには適していたものの、SGT構造のFe-FETではトランジスタ面積が縮小出来ず使用できないと考えられていた。近年CMOSトランジスタの高誘電体膜の製造法を工夫することにより非常に薄い強誘電体薄膜を実現できる技術が発見され[1],この致命的な問題点が解決されつつある。HfO₂系の強誘電体を用いることにより強誘電体薄膜の10nm以下の薄膜化が初めて可能になった。しかもHfO₂は元来CMOSトランジスタのゲート絶縁膜として開発された材料を元にして開発されている為、論理LSIで使われるいわゆるCMOS

プロセスとの親和性も極めて高い。

そのため最近 Fe-FET を用いた積層型 SGT が初めて試作されるレベルまで達した (図 2-2) [2]。60nm という比較的微細なデザインルールで、9.5nm と非常に薄い HfO₂ 膜を使用している。3層と積層数はまだ大きくないが 6V での書き込み等の実験結果もあり、HfO₂ 膜を使用した積層型 SGT が将来の低コスト論理 LSI として極めて有望であることが分かる。また HfO₂ 膜を用いた Fe-FET では 200 cm²/vs と通常のゲート酸化膜の通常の MOSFET に近い移動度が実現されており [1] 高速動作も期待できる。

3D-FNANDの発表 (VLSIシンポ、IMEC)

Technology T158-159

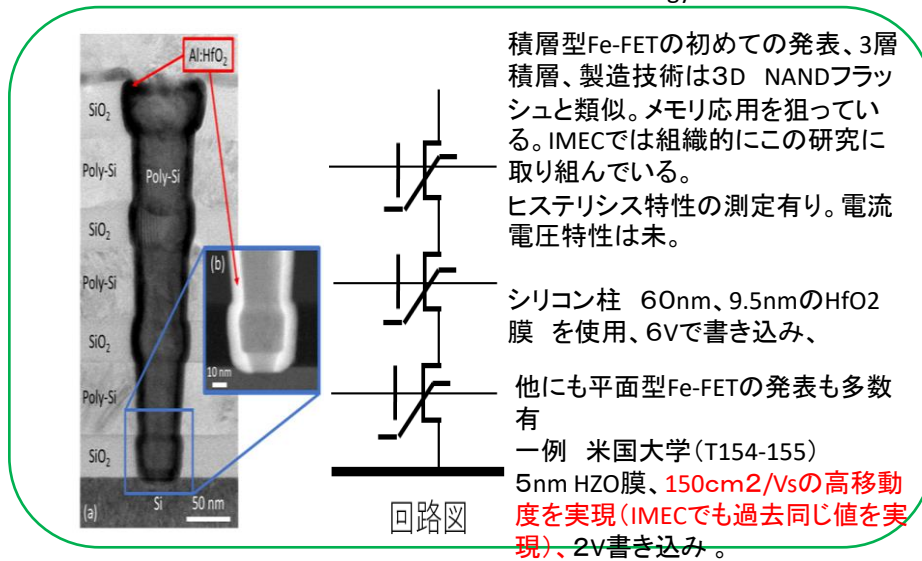


図 2-2. HfO₂ 系の強誘電体膜を用いた積層型 SGT の試作例

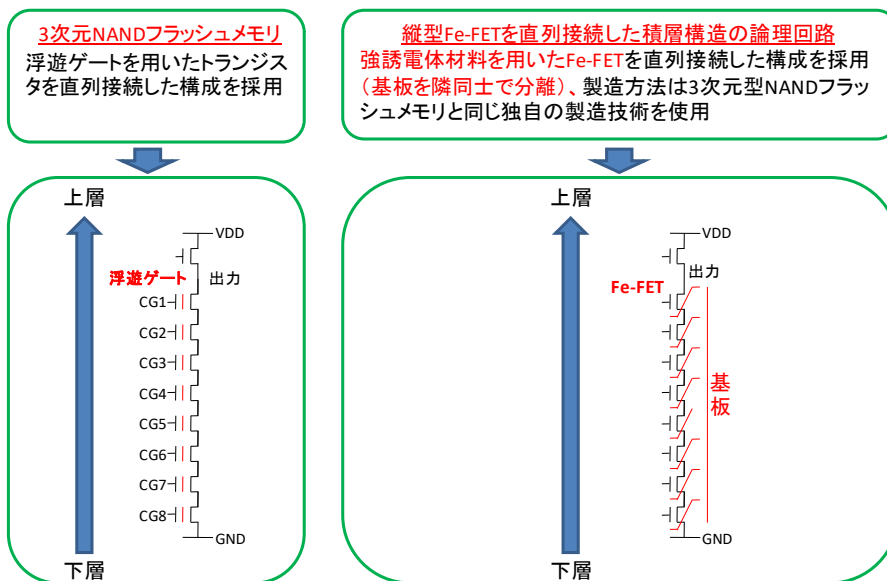


図 2-3. 本論文でのフローティングゲートから強誘電体 HfO₂ 膜への置き換え

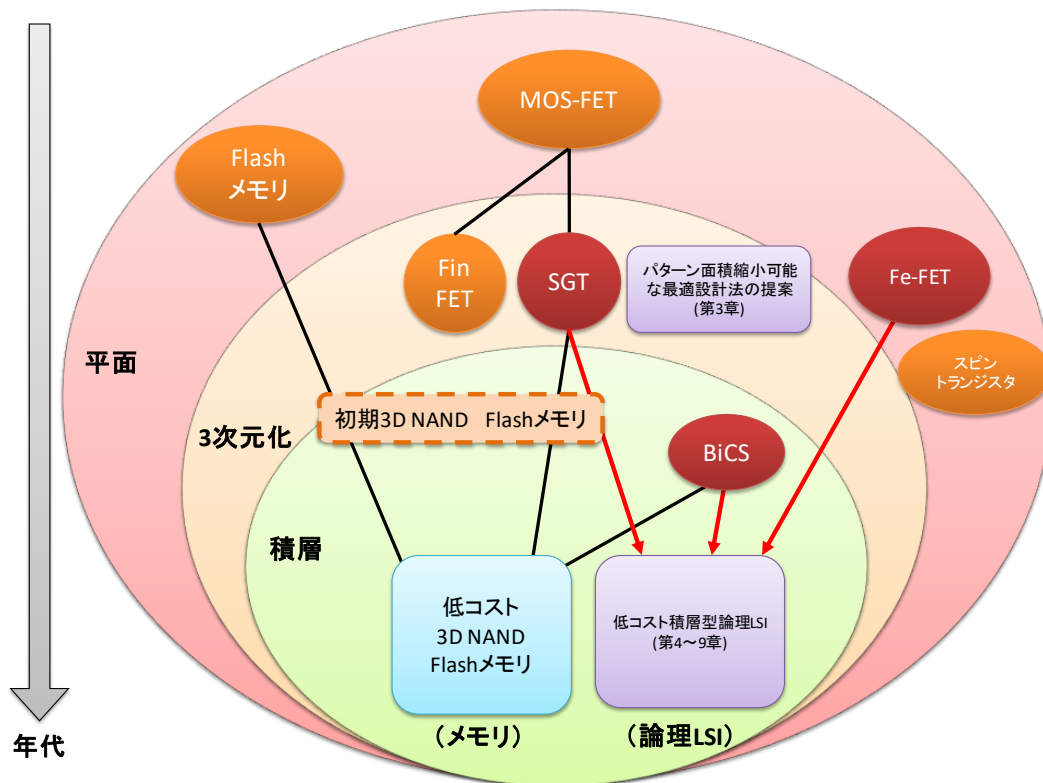


図 2-4. 本論文の積層型論理 L S I 実現方法

以上の検討の結果、3D NANDフラッシュメモリで採用されているパターン面積の縮小に適したSGT構造とその積層化を低コストで実現できるBiCSを組み合わせ、それに低速動作のフラッシュメモリの代わりに高速動作が期待できるFe-FETを適用することで低コストで高速な積層型論理LSIが実現できると期待できる。本論文では図2-3、図2-4に示すように3D NANDフラッシュメモリで使われているフォローティングゲートもしくはチャージトラップ型ゲート絶縁膜をHfO₂膜等の薄膜化可能な強誘電体膜に代替する事を提案する。

2-2. 本論文で提案する積層型論理LSIでの具体的な新技術

図2-5に本論文で提案する具体的な新技術を示す。

第4章では積層型SGTによるNAND/NAND組み合わせ回路を提案する[5]。これは図のように3DフラッシュメモリのようにSGT型のFe-FETが縦方向に積層された構造になっており、論理LSIの中で重要な要素である組み合わせ回路を実現できる。図に示す積層構造を2個組み合わせることにより(1個目の出力を2個目のゲートに inputs)積和で表わされる任意の組み合わせ回路を実現できる。負荷回路は簡単化のためダイナミック回路方式を仮定している。

第5章ではこれを更に低コスト化可能な階層積層型SGTによるNAND/NAND組み合わせ回路を提案する[6]。独立の動作する積層型論理回路を縦方向に積層することにより第4章の方式以上の低コストが実現できる。

第6章では組み合わせ回路同様に重要な情報記憶用のフリップフロップ回路(FF)の積層化について提案する[7]。FFは組み合わせ回路の横に配置されることを前提としている。4個のNANDを用いたFFを4個のシリコン柱を用いた積層型回路で実現している。これを第4章の組み合わせ回路と合せる事により論理LSIの基本的な構成要素である順序回路を初めて実現できる。

第7章では更なる低コスト化のために前述したFFをFe-FETで構成した1個のメモリ素子で実現し、それを組み合わせ回路上に積層する方式を提案する[8]。

第8章ではダイナミック回路よりも低電圧で低消費電力特性が期待できる積層型CMOS回路を提案する[9]。

第9章では積層構造での高速化に関する提案を行う。第9.2章ではLSIでの高速化のための最も有力な設計手法である並列処理を同じシリコン柱内で行える実現できる方式を提案する。第9.3章では低コスト化の積層数の増加とNAND方式を両立出来る新たな提案である信号が横方向に走る横NAND方式を提案する。

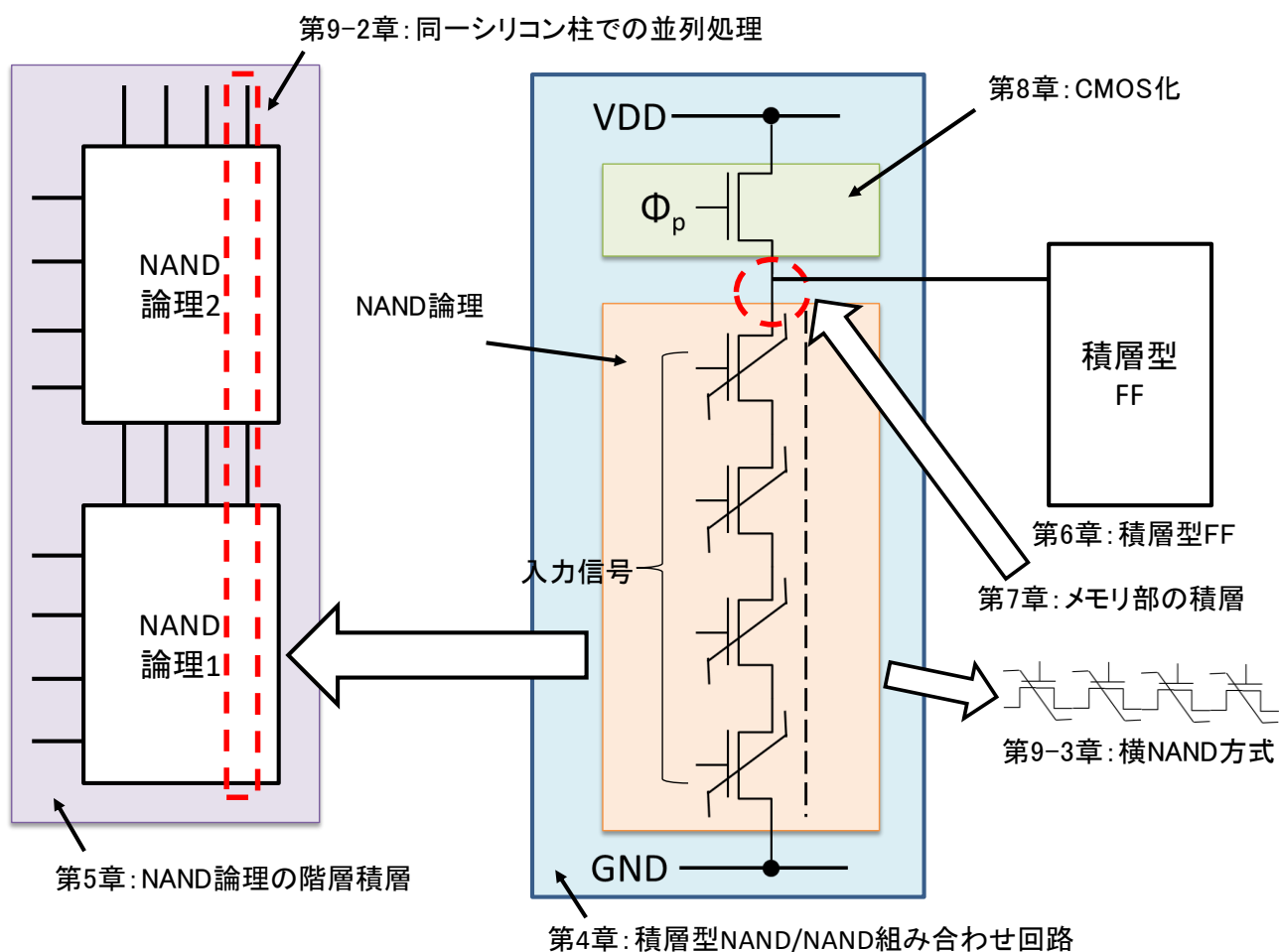


図2-5. 本論文で提案する新技術

第2章の参考文献

- [1] E. Yurchuk et al., "Impact of Scaling on the Performance of HfO₂ Based Ferroelectric Field Effect Transistors", IEEE Trans. Electron Devices, vol. 61, pp. 3699 - 3706, (2014).
- [2] K. Florent et al., "Demonstration of vertically stacked ferroelectric AL doped HfO₂ devices for NAND applications", Symp .on VLSI Technology, (2017).
- [3] T. Yokota and S. Watanabe, "Analysis of pattern area reduction for logic circuit and system LSI with SGT," Contemporary Engineering Sciences, vol.8, no.13, pp.589-601, 2015.
- [4] 横田智広、渡辺重佳 "SGTによるシステムLSIのパターン面積縮小効果の検討" 電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009.
- [5] 横田智広、渡辺重佳, "多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 ." 電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016.
- [6] 横田智広、渡辺重佳, "縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 ." 電気学会論文誌 C, vol.137, no.5, pp.678-686, 2017.
- [7] 横田智広、渡辺重佳, "多段積層縦型トランジスタ構造を用いた積層型 Fe-FET 順序回路の提案 ." 電子情報通信学会論文誌 C, vol.J99-C, no.7, pp.338-346, 2016.
- [8] 横田智広、渡辺重佳, "3D NAND フラッシュメモリの製造技術を用いた Fe-FET 型組合せ回路とその評価結果用メモリを積層した不揮発性順序回路の提案." 電子情報通信学会論文誌 C, vol.J100-C, no.10, pp.510-518, 2017.
- [9] 横田智広、渡辺重佳, "3D NAND フラッシュメモリの製造技術を用いた縦型垂直積層トランジスタによって構成された CMOS NAND/NOR 回路の提案." 電子情報通信学会論文誌 C, vol.J100-C, no.4, pp.168-173, 2017.
- [10] VLSI 3DNAND

3. 1 層型 SGT を用いた基本論理回路によるパターン面積縮小効果・低コスト化

3-1. 序論

近年のシステム LSI は、高性能化、多機能化の要求が高まり、チップサイズの増大という問題がある。これは、従来の平面構造ではトランジスタを微細化する技術がショートチャネル効果のため限界に達し[1]、これ以上トランジスタを微細化することが難しくなっているためである。これらの平面型トランジスタを用いたシステム LSI の問題点を打破するため、3次元型構造のトランジスタである SGT(Surround Gate Transistor)[2]が提案されている。SGTではゲートがシリコン柱を取り囲むようになっており、4側面をチャネル幅に利用できる。平面型と比較してSGTはショートチャネル効果を抑制でき、パターン面積を縮小できる効果がある。SGT に関しては以前トランジスタ単体レベルでの研究は行われているが[3]、DRAM等のメモリ[4][5]以外には、システムLSIへの適用検討はほとんど行われていない。

本章では1層型SGTを用いてインバータ、NAND回路の基本論理回路のパターン設計を行いパターン面積のトランジスタ配置方向依存性に関して詳細に検討した。更に3種類のフルアダー回路、フリップフロップ、マルチプレクサ等の論理回路を1階層SGTでパターン設計し、パターン面積の平面型に対する縮小効果を比較した。

3-2. 1層型SGTの構成

図3-1に1層型SGTの構成を示す。SGTはソース、ゲート、ドレインが垂直に配置されている。また、ゲートがシリコン柱を取り囲むようになっており、4側面をチャネル幅に利用できる。平面型の場合は大きな占有面積が必要になるのに対して、SGTにした場合は、面積の縮小が可能になる。また4側面がゲート電極によって取り囲まれているためゲートによるコントロール性が良く平面型トランジスタと比較して微細化しやすいという特徴がある。

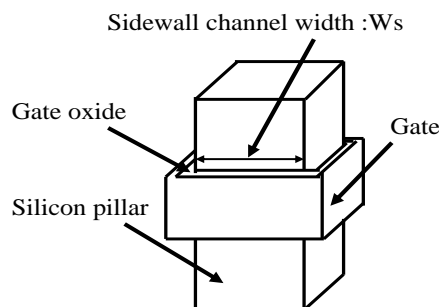


図3-1. 1層型SGTの構成

3-3. 基本論理回路でのパターン面積のトランジスタの配置方向依存性

3-3-1. 1層型SGTのデザインルール

パターン設計する際に用いたデザインルールを表3-1に、その上面図を図3-2に示す。Fはデザインルールを示している。SGTではソースとドレインが垂直方向に形成されるため、独自のパターン設計法とデザインルールが必要になる。チャンネル幅は8Fを中心として最大16Fで検討した。平面型とSGTでは同じチャンネル幅、同じゲート長、同じ印加電圧では、ドレイン電流が同じになると仮定した。また、SGTに関しては、設計する際の配置を縦型と横型で比較した。縦型ではトランジスタを縦方向に並べて配置するのに対し、横型ではトランジスタを横方向に並べて配置する。

表 3-1. デザインルール

	Planar	SGT
gate length	F	F
gate to contact	0.5F	0.5F
nMOS to pMOS	3F	3F
wiring to wiring	F	F
contact size	F*F	F*F
silicon pillar size		2F*2F
deep contact size		F*F

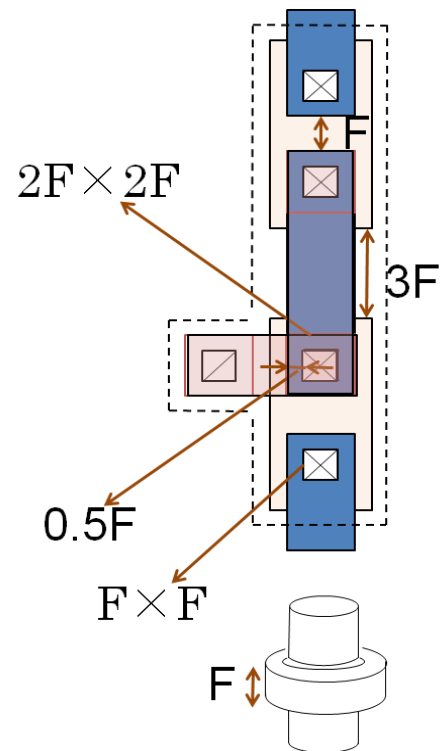


図 3-2 1層型SGTの上面図

3-3-2. 基本論理回路でのパターン面積のトランジスタの配置方向依存性

3-3-1のデザインルールを用いて、インバータ、2入力、3入力、4入力NAND回路のパターン設計を行った。図3-3にチャンネル幅が8Fの時のインバータのパターンのレイアウト図を示す。平面型と比較してSGTを用いた場合縦型では60%、横型では65%のパターン面積で設計できる。横型の方がパターン面積が大きいのはトランジスタが横方向に配置されているため、NMOSとPMOSの分離部分に無駄面積が生じているためである。

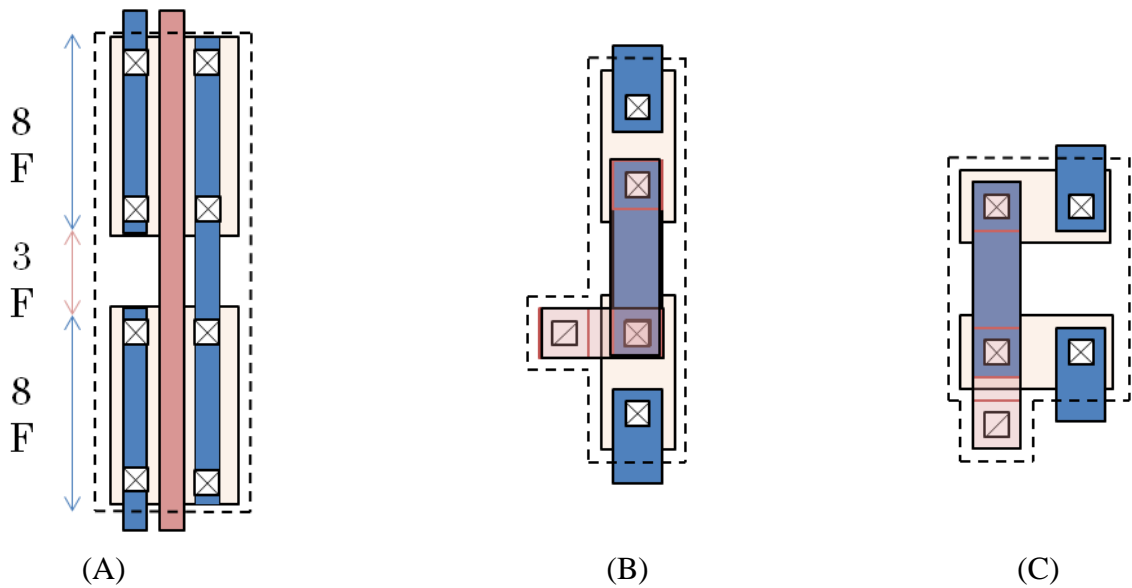


図 3-3 チャンネル幅 $8F$ のインバータのパターン図, (A) 平面型, (B)1 層型 SGT(vertical) 、
(C)SGT(horizontal).

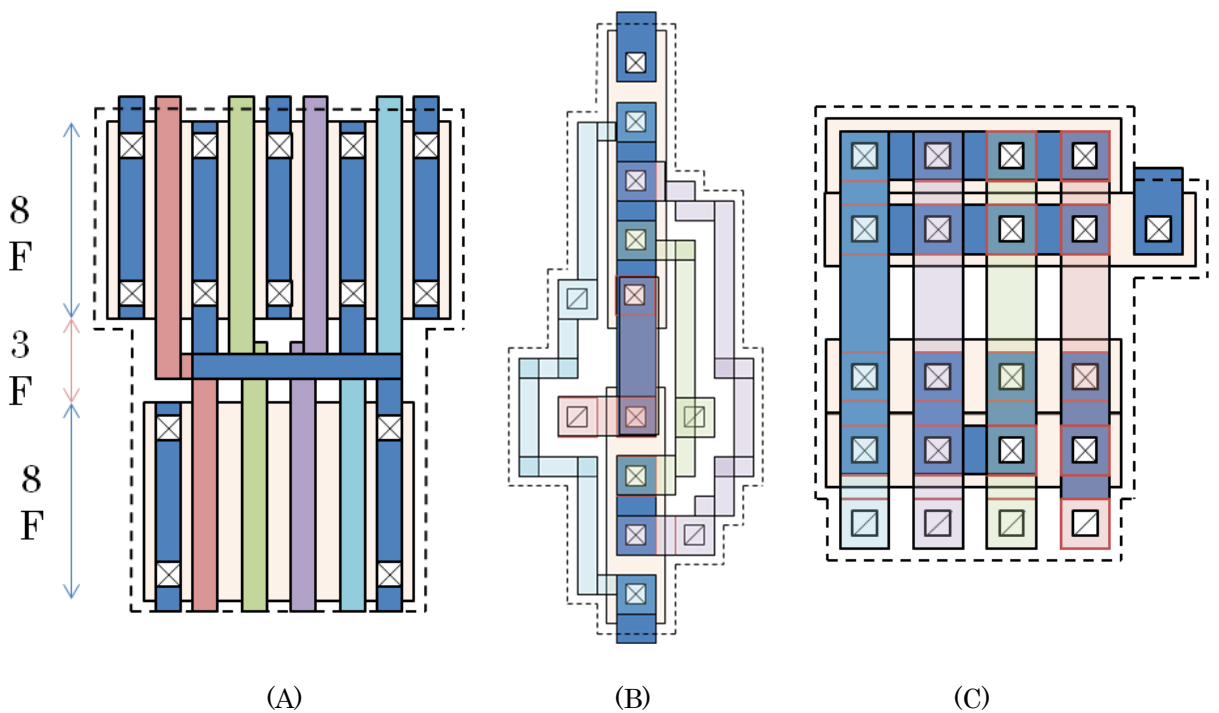
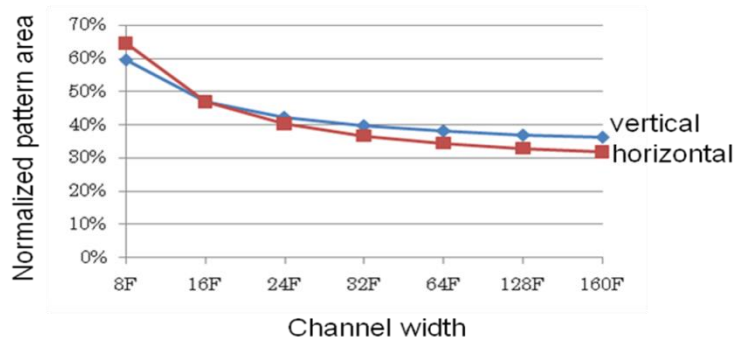


図 3-4 チャンネル幅 $8F$ の 4 入力 NAND パターン図, (A)平面型, (B)1 層型 SGT(vertical) 、
(C)1 層型 SGT(horizontal)

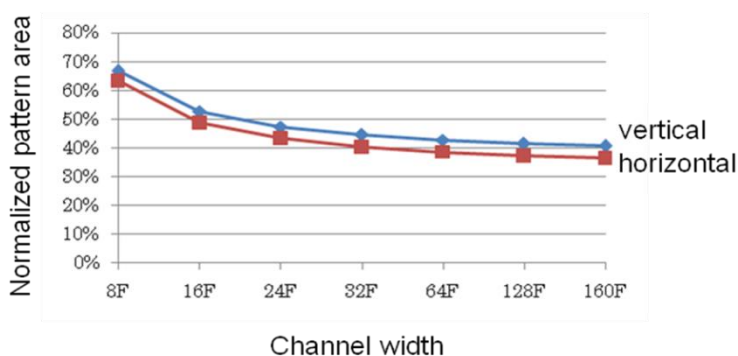
図 3-4 にチャンネル幅が $8F$ の時の 4 入力 NAND 回路のパターンのレイアウト図を示す。平面型と比較して SGT を用いた場合縦型では 92%、横型では 65%のパターン面積で設計できる。インバータの場合と異なり、縦型の方がパターン面積が大きいののは、NMOS と PMOS を複数本数の配線で接続する面積が大きくなるためである。この傾向は 2 入力 NAND

D, 3 入力 NAND 回路でも同様である。

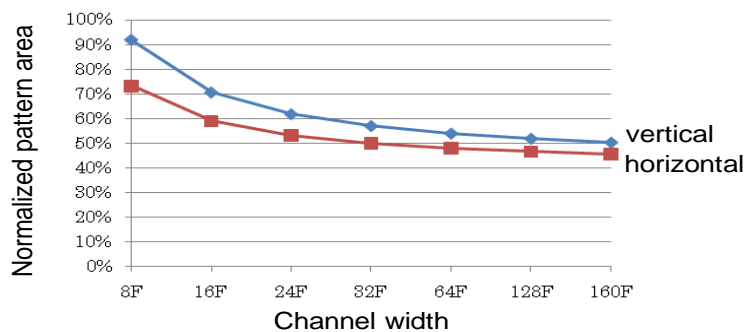
次に色々なチャンネル幅のインバータ、NAND 回路のパターンレイアウトを行い、平面型に対するパターン面積の縮小効果を比較した。そのインバータ、2 入力 NAND 回路、4 入力の NAND 回路での評価結果を図 3-5 に示す。



(A)



(B)



(C)

図 3-5. 1 層型 SGT(縦型)と 1 層型 SGT(横型)のパターン面積削減率、(A)インバータ (B)2 入力 NAND、(C)4 入力 NAND

図 3-5 でも示したように入力数が 1 と少ないインバータで最もチャンネル幅が小さい回路だけ、配線部分の面積の増加分より NMOS と PMOS の分離部分の面積の減少分が大きいいため縦置の方がパターン面積が小さくなっている。他の場合は常に横置の方がパターン面積が小さくなる。またこの傾向はチャンネル幅が小さい方が大きくなる。

3-3-3. フリップフロップ、マルチプレクサおよび1ビットフルアダーでのパターン面積の削減効果

次に代表的な論理回路であるフリップフロップ、マルチプレクサ、全加算器（3種類）で平面型と1層型SGT（横型）のレイアウト設計を行い、パターン面積を比較した。SGTで横型を用いたのは3-3-2で述べたように複雑な回路では横型の方がパターン面積の縮小を期待できるからである。フリップフロップ（図3-6）、マルチプレクサ（図3-7）、2入力NAND/NORとインバータを用いた全加算器（図3-8）、3、4入力NAND/NORとインバータを用いた全加算器（図3-9）、複合型ゲートを用いた回路図（図3-10）の平面型、SGT型（横型）でのパターンレイアウト図を各図に示す。トランジスタのチャンネル幅には最小の8Fを用いた。表3-2にパターン面積の縮小効果等をまとめた。

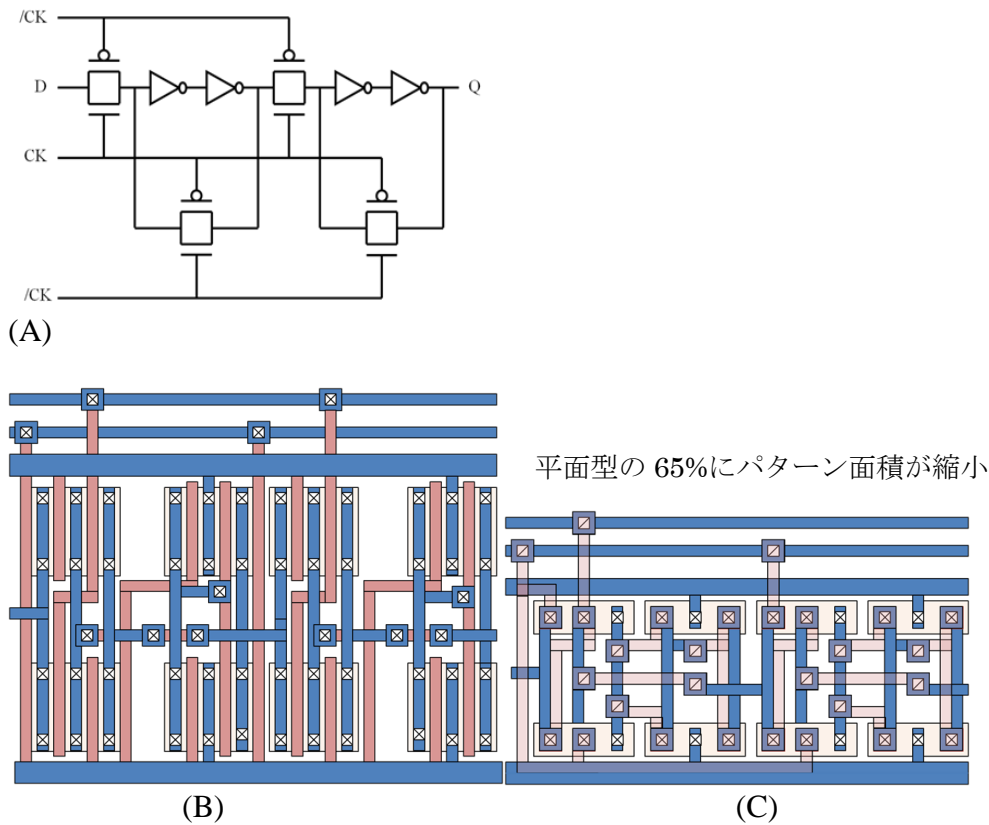
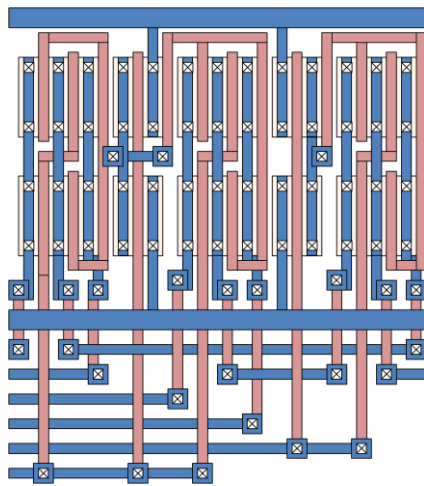
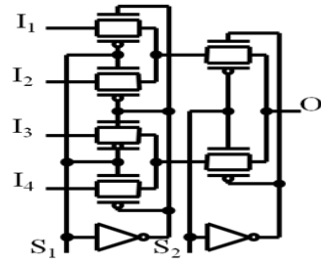


図3-6. フリップフロップ (A)回路図 (B)平面型パターン図, (C)1層型SGT(horizontal)のパターン図.

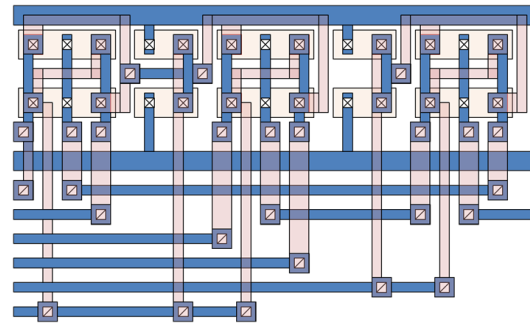


(B)



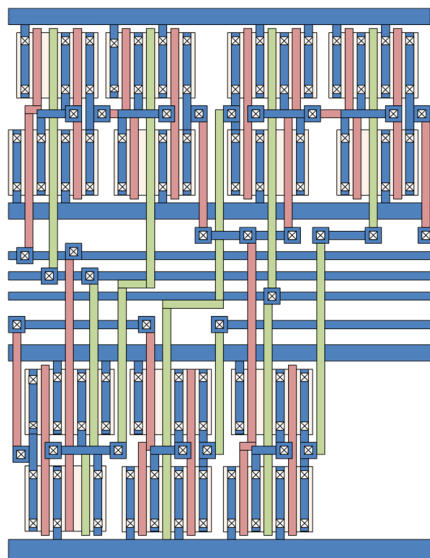
(A)

平面型の 86%にパターン面積が縮小

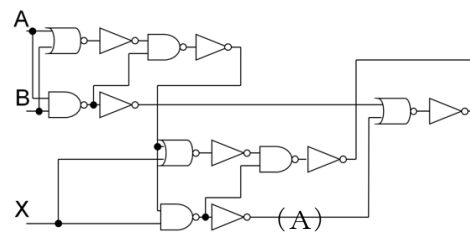


(C)

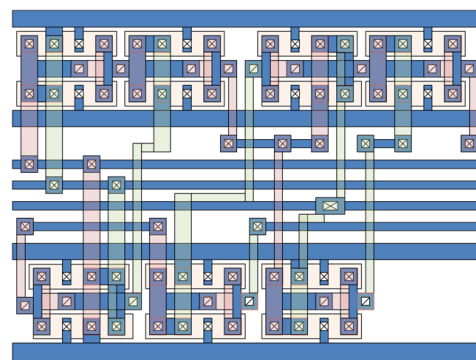
図 3-7. マルチプレクサ (A)回路図、(B)平面型、(C)1層型 SGT(horizontal)のパターン図.



(B)



平面型の 69%にパターン面積が縮小



(C)

図 3-8. 2入力 NAND/NOR とインバータを用いた全加算器 (A)回路図、(B)平面型、(C)1層型 SGT(horizontal)のパターン図.

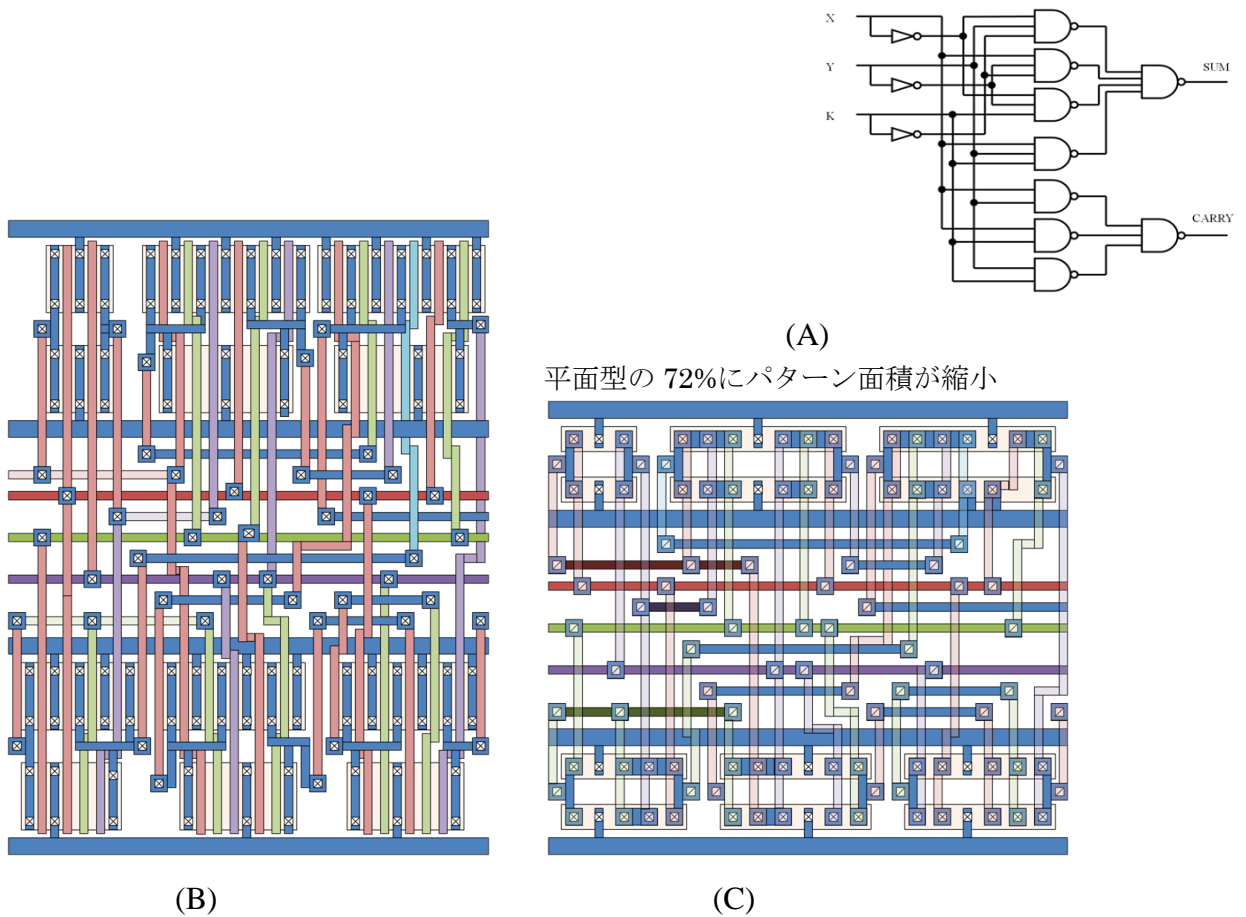


図 3-9. 3, 4 入力 NAND/NOR とインバータを用いた全加算器(A)回路図、(B)平面型パターン図, (C)1 層型 SGT(horizontal)のパターン図.

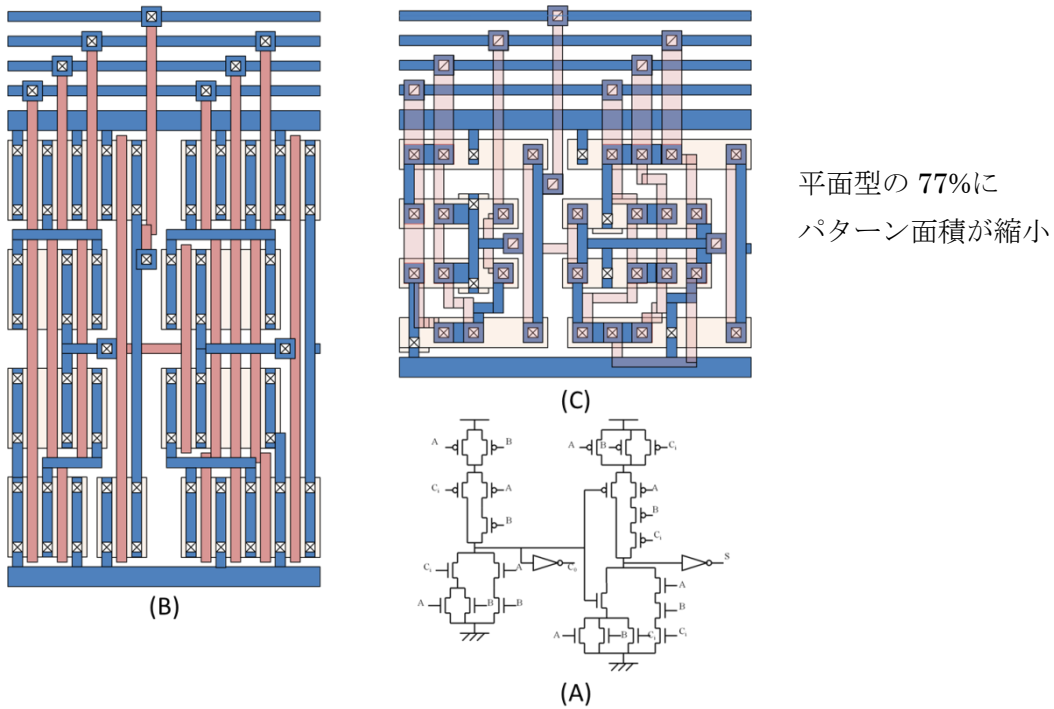


図 3-10. 複合型ゲートを用いた全加算回路図(A)回路図、(B)平面型パターン図、(C)1 層型 SGT(horizontal)のパターン図.

表 3-2.論理回路のパターン面積の縮小率

	No. of input	ration of wiring (%)	reductoin rate(%)		
			vertical length	horizontal length	pattern area
flip flop	1	40	68	94	65
multiplexer	—	54	68	127	86
full adder (2-input NAND)	1.5	32	63	109	69
full adder(composite)	2	24	64	113	72
full adder(3-, 4-input NAND)	2.3	42	71	108	77

表 3-2 で平均入力数は一つの論理ゲートの平均的なゲート入力数 (マルチプレクサはソース・ドレインに入力信号が入るので除外した)、配線の比率は回路内での配線の占める面積比率を示している。いずれの回路でもパターン面積は 65~86%と SGT の導入により大幅に縮小できている(フリップフロップでは 65%、マルチプレクサでは 86%、2 入力 NAND/NOR とインバータを用いた全加算器では 69%、3, 4 入力 NAND/NOR とインバータを用いた全加算器では 77%、複合型ゲートを用いた全加算器では 72%)。また 1 層型 SGT 導入により、トランジスタのチャンネル幅方向にあたる縦幅は大幅に縮小されるが (63~71%)、横幅は若干増加する傾向にある。

そこで縦幅と横幅の縮小率を詳細に調べた。縦幅の縮小率と配線の比率の関係を図 3-11 に示す。回路への入力数が定義できないマルチプレクサ以外のゲートに入力が入る同じ種類の回路で構成された論理回路では、配線の比率と縦幅の縮小率は強い相関がある (63~71%)。配線の比率が大きいほど縦幅の縮小率は小さい。これは 1 階層型 SGT ではトランジスタ部分の面積のみを低率減でき配線部分の面積を縮尺出来ないためである。パターン全体を配線で占めている場合は縮小率はゼロになり、配線の割合がゼロのトランジスタのみパターンでは縦幅は SGT 導入により約 50%に縮小される。

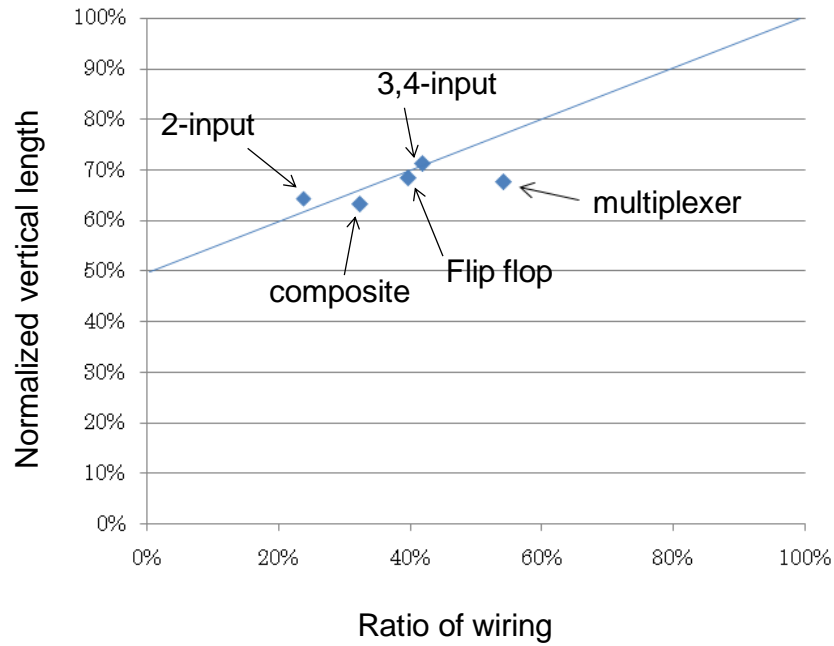


図 3-11. 縦幅の縮小率と配線比率の関係

次に横幅の縮小率と平均入力数の関係を図 3-12 に示す。回路への入力数が定義できないマルチプレクサを含めて考えても、**横幅は平均入力数によらずほぼ 10%程度増加した値になる**。この傾向は多入力の NAND 回路を使用している場合に顕著になっている。これは 1 階層型の SGT の導入によってパターン面積が縮小されるのはトランジスタのチャンネル部分のみでありソースドレインが存在する横方向の縮小には寄与しないためだと考えられる

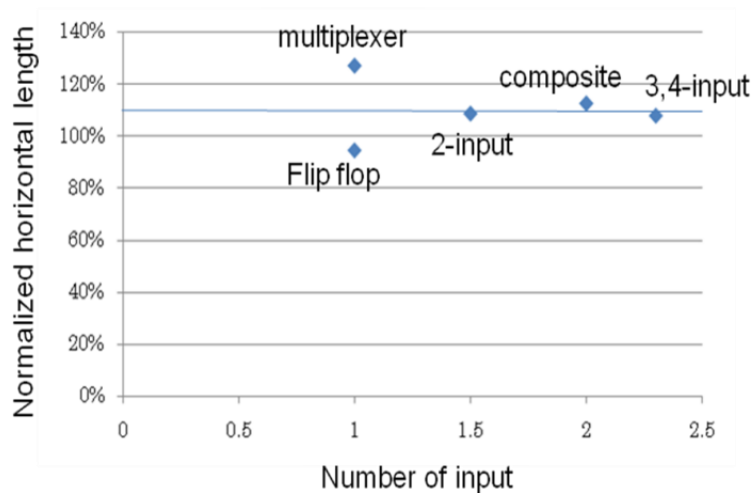


図 3-12. 横幅の縮小率と平均入力数の関係

3-4. 結論

本章ではインバータ、NAND回路の基本論理回路に関して、1層型SGT導入によるパターン面積縮小効率に関して詳細に検討した。

その結果チャンネル幅の小さいインバータ以外の基本論理回路ではトランジスタを横方向に配置した方がパターン面積の縮小効果が大きくなることが分かった。

また新たにフリップフロップやマルチプレクサ、全加算器等の基本論理回路を横型の1層型SGTでパターン設計し、1層型SGT導入によるパターン面積の縮小効果を解析した。その結果検討に用いたいずれの回路でもパターン面積は平面型の65~86%とSGTの導入により大幅に縮小できている。特にパターンの縦幅は63~71%と大きく縮小しており、その縮小率は配線の面積比率に強く依存する(配線の比率が0%の場合には50%に縮小できる)。横幅は回路への入力数等によらず約10%程度増加することが分かった。以上の結果より1層型SGTは平面型トランジスタのパターン面積を縮小する技術として極めて有望であることが分かった。

LSIではパターン面積は製造コストと比例関係にある。そのため1階層型SGTの導入により製造コストもパターン面積と同様に低減(65~86%)できると期待できる。

また1階層型SGTでは従来の平面型と比較してゲート構造以外の構成は同一である。そのため同一チャンネル幅では同一のドレイン電流が流れるため動作速度はほぼ同じになる。また浮遊容量もドレインの接合容量が1階層型SGTの方が若干小さくなる以外はほぼ同一であるため、消費電力もほぼ同じになる。そのため1階層型SGTを用いた論理LSIではデザインルールが同じ場合、従来の平面型の場合と比較して動作速度と消費電力を犠牲にすることなく製造コスト(正確にはパターン面積)を65%~86%に低減できる効果が分かった。

第3章の参考文献

- [1] 渡辺重佳,横田智広,玉井翔人,佐藤匠,“ムーアの法則以降の新しい半導体メモリとトランジスタの技術動向” 湘南工科大学紀要 vol.50, no.1, pp.39-47, 2016.
- [2] H. Takato et al., "Impact of SGT for ultra - high density LSIs", IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991
- [3] N. Nitayama et al., "Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits," IEEE Trans. Electron Devices, Volume: 38, Issue: 3, 579-583, 1991.
- [4] K. Sunouchi et al., "A surrounding gate transistor (SGT) cell for 64/256Mbit DRAMs", IEDM Tech. Dig., pp.23-26, 1989.
- [5] S. Watanabe et al., "A novel circuit technology with surrounding gate transistors (SGTs) for ultra high density DRAMs", IEEE J. Solid-State Circuits, vol.30, no.9, pp.960-95-1995.

[6]横田智広、渡辺重佳 “SGTによるシステムLSIのパターン面積縮小効果の検討” 電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009.

4. 積層型SGTを用いたNAND・NAND組み合わせ回路

4-1. 序論

第3章では1層型SGTを基本論理回路に適用すると[1]、平面型と比較して高速動作や低消費電力特性を犠牲にすることなく、パターン面積を大幅に縮小できることが分かった。縮小効果は最大で50%（典型的な論理回路では65-86%）に達する。この1層型SGTを更に発展させ、これを縦方向に積層することにより大容量化をする提案がNANDフラッシュメモリで過去なされた[3]。当初提案された積層型NANDフラッシュメモリでは、1層ずつ独立したプロセスでメモリセルを製造する方式になっていたため、積層することにより大容量化できる半面、1ビット当たりのコストであるビットコストは安くならなかった。その問題を解決するために提案されたのが多段積層縦型トランジスタ構造である[4]。これはゲート電極とゲート電極間の層間絶縁膜の積層をひとつの製造工程のセットとして、このセットを積層する層数だけ繰り返した後に、一括して基板の一番下までトレンチを形成し、積層数分だけまとめて同一の工程でメモリセルを形成する製造技術である。多段積層縦型トランジスタ構造を導入することにより、積層することにより大容量化できるだけでなく、ビットコストを積層しない1層構造と比較して大幅に低減することが初めて可能になった。

表 4-1 多段積層縦型トランジスタ構造型 NAND フラッシュメモリの比較（2015年当時の値）

Company	NAND Flash		
	Toshiba	Samsung	Intel/Micron
Number of layer	48	32	32
Cell type	Charge Type	Charge Trap	Floating Gate
Shipping of Sample	2015	2014	2015
Deign rule	-	30~40nm	-
Bit density	128Gbit	128Gbit	256~384Gbit
Access Speed	10 μ s	10 μ s	10 μ s

この多段積層縦型トランジスタ構造はその後現在最も大容量化されている NAND 型フラッシュメモリで本格的に導入された[5]-[7]。その状況を表 4-1[8]に示す。32~48 層積層した積層型 NAND フラッシュメモリが開発され、東芝、サムスン、Intel/Micron が開発、製品化を進めている。多段積層縦型トランジスタ構造を用いると積層数を増やすとともに大容量化されるだけでなくビットコストも安くなり低コスト化できる特徴がある。つまり大容量メモリはムーアの法則による平面型トランジスタの微細化が限界に達した後も、多段積層縦型トランジスタ構造を用いて積層化を進めることにより、従来同様大容量化、低コスト化が実現できる可能性が高い。今後製造技術等の進展により、数年単位で積層数を倍増させ、そ

の結果従来同様に大容量化、低コスト化が推進できる可能性が高い。

それに対し大容量メモリと比較して複雑な回路構成を平面型のトランジスタと配線で形成している現在のロジック LSI では、トランジスタの微細化の限界後の大容量化、低コスト化、高速化を推進できる有力な候補はまだ提案されていない。平面型トランジスタを 3 次元化した FinFET 等では、平面型トランジスタよりはロジック LSI を大容量化、低コスト化、高速化できるが[9]、今後長期にわたってそれを実現することは困難である。そこで今後も継続してロジック LSI の大容量化、低コスト化、高速化を実現する手段として、今後も大容量化、低コスト化が期待できる大容量メモリに適用されている多段積層縦型トランジスタ構造を利用することを検討した。

表 4-2 多段積層縦型トランジスタ構造型 NAND メモリの比較 (2016 年当時の値)

	FeRAM	MRAM	PRAM
Company/University	SIT	SIT	SIT/hitachi
Number of layer	64	64	64
Cell type	Fe-FET	Spin transistor	chain
Shipping of sample	Reserch phase	Reserch phase	Reserch phase
Design rule	39nm	39nm	39-50nm
Bit density	1Tbit	1Tbit	1Tbit
Access speed	50ns	50ns	50ns

まず想定される候補は現在製品化が進められている表 4-1 に示す積層型 NAND フラッシュメモリだが、デバイス構造上高速動作に適していない問題がある。そこで多段積層縦型トランジスタ構造を利用した積層型 NAND メモリで NAND フラッシュメモリ以上に高速化に適した積層型 NAND メモリを抽出した (表 4-2)。積層型 NAND FeRAM[10]-[12]、積層型 NAND MRAM[13]-[16]、chain 構造 (NAND 構造に類似した構造) PRAM[17]-[19] がその候補で、いずれも多段積層縦型トランジスタ構造を用いて積層化することにより、大容量化、低コスト化のみならず、高速化も実現できる可能性がある。いずれも積層型 NAND フラッシュメモリと異なり現時点では研究レベルにとどまっているが、既にデバイス・回路方式に関して詳細に検討されている。

これらの積層型 NAND メモリは、メモリセルトランジスタを縦方向に直列に接続したいわゆる NAND 論理の構成をしている。元々 NAND 論理実現に適した構成をしているものを入力信号の工夫によりランダムアクセスが可能な大容量メモリとして使用しているとも解釈される。この点に着目して本論文では選択的に一部のトランジスタに書き込み動作を行うことにより、任意の論理を実現することを目指している。書き込みにより任意の論理構成を実現するためには読み出し時にメモリセルトランジスタのゲートに印加される電圧によって大きくドレイン電圧が変化することが望ましい。表 4-2 でそれに最も適しているのは書き込み時にしきい値電圧が変化する唯一のものである積層型 NAND FeRAM である。メ

メモリセルを構成する強誘電体トランジスタ Fe-FET (Ferro Electric FET) では、ゲートに印加する電界の方向でしきい値電圧をプラスとマイナスの電圧に変化させることができる。それに対して積層型 NAND MRAM と chain 構造 PRAM は、書き込み時に抵抗値 (トランジスタのチャネル抵抗を変化させることに対応) を変化させることができるが、しきい値電圧は変化させることは困難である。そこで本論文では Fe-FET を用いたロジック LSI への適用を検討した。

具体的な任意の論理の実現手段としては後述する今回新たに提案するアレイ構造の積層型 NAND FeRAM (NAND アレイ) を 2 組、組み合わせることにより実現する。この構成により全種類のデジタルな論理が実現できる。この方式により、ムーアの法則 (トランジスタの微細化) の限界後も多段積層縦型トランジスタ構造を用いて、積層数を毎年増加させていくことによりロジック LSI の大容量化、低コスト化、高速化が継続的に実現できる可能性がある。

本章は以下のように構成されている。第 4-2 章では新たなロジック LSI に対する提案の元となる多段積層縦型トランジスタ構造を用いた積層型 NAND FeRAM の基本的な構成について述べる。第 4-3 章では新たに提案する多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイについて述べる。第 4-4 章ではそのプログラム・読み出し方式について述べ、第 4-5 章では具体的な積層型 Fe-FET NAND/NAND アレイのパターン面積と製造コストを従来の平面型の 1 層方式と比較し、第 4-6 章をまとめとする。

4-2. 積層型 NAND FeRAM の基本的な構成

図 4-1 に新たに提案する積層型 Fe-FET NAND/NAND アレイを実現するために使用する積層型 NAND FeRAM の基本構成を示す。これは過去に高速、低コスト不揮発性メモリを実現するために提案された[10][11]。現在製品化が進められている積層型 NAND フラッシュメモリ同様に、縦方向に NAND 構成が作られている (図 4-1 では簡単にするために 4 層積層した場合を示している)。この積層構造を実現するためには、積層型 NAND フラッシュメモリ同様に多段積層縦型トランジスタ構造を用いている。つまり 4 回 WL 間絶縁膜と WL 材の積層を繰り返した後一括して基板の底に達するトレンチを形成して 4 層分まとめて 1 度にトランジスタを形成する。このため積層型 NAND フラッシュメモリ同様に低コスト (低ビットコスト) が実現される。メモリセルの書き込みは、選択された WL (例えば WL1) と、選択されたデコードされた基板 (例えば Vsub1) の間に高電圧(10V)を印加して行う。どちらが高電圧かによって書き込んだメモリセル (Fe-FET) のしきい値電圧をプラスもしくはマイナスにすることができる。読み出し時には、選択した WL に 0V、同一 NAND 内の通過メモリセルのゲートには書き込み時の半分程度の電圧を印加して行う。メモリセルに用いる Fe-FET は高速動作に適している為、積層型 NAND フラッシュメモリ以上の高速動作が期待できる。4-3 章ではこの構造を新たに提案する多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイに適用した場合について述べる。

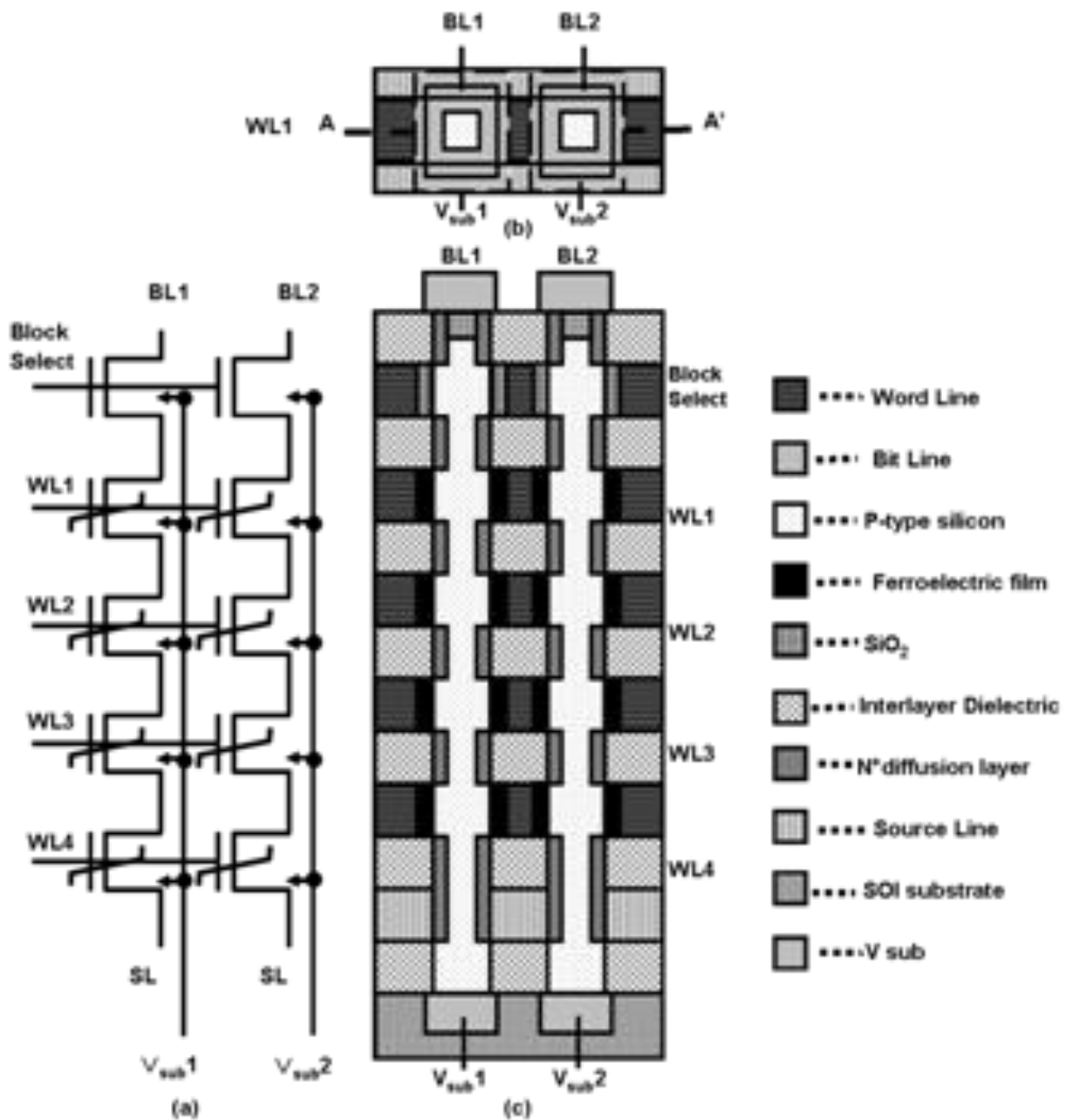


図 4-1 積層型 NAND FeRAM の構成, (a) 等価回路図、(b) 上面図、(c) 断面図

4-3. 積層型 Fe-FET NAND/NAND アレイの構成

論理回路では任意の論理は加法標準形で実現できる事が知られている[20]。それを LSI 上で実現するために提案されたのが PLD で使われている AND/OR アレイである[21]。実際の LSI では AND, OR よりも NAND, NOR 論理の方が実現しやすい。そのためドモルガンの定理を使って変換された NAND/NAND アレイが実際の LSI で使用される事が多い[22]。

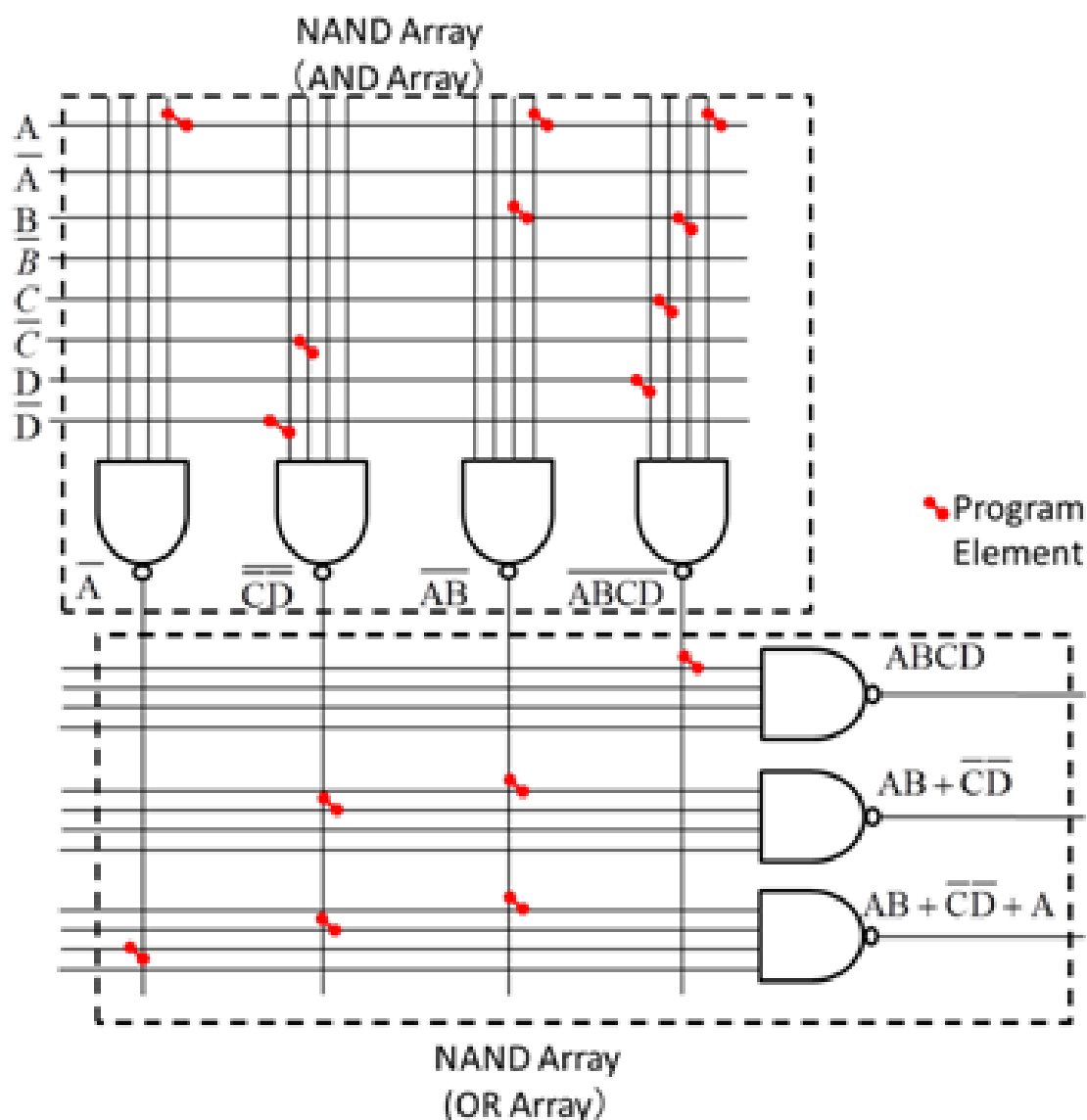


図 4-2 従来の平面型 NAND/NAND アレイの構成

プログラム可能な平面型 NAND/NAND アレイの構成を図 4-2 に示す。4 種類の入力 A,B,C,D (とその反転信号を含めると合計 8 種類) の入力信号が 1 段目の NAND アレイ (AND アレイに対応) に入力される。どの入力を選択するかはプログラム素子の有無で決定される。そして 1 段目の NAND アレイ (NAND アレイ 1) で実現した積演算の出力が 2 段目の NAND アレイ (OR アレイに対応) に入力され、その出力から必要な最終的な論理が出力される。この NAND/NAND アレイは構成が規則的で理解しやすい半面、配線、プログラム素子、NAND 回路部分で大きなパターン面積が必要になる欠点がある。そのため初期の LSI では一部商品化されたものの、その後現在のセルライブラリをベースにしたシステム LSI の進展によりほとんど使用されなくなった。この方式の欠点は配線部とプログラム素子と NAND 回路部が別々に同一平面上に作成されている為、従来の平面型のトランジスタを用

いるとパターン面積が大きくなりコスト高に繋がることである。

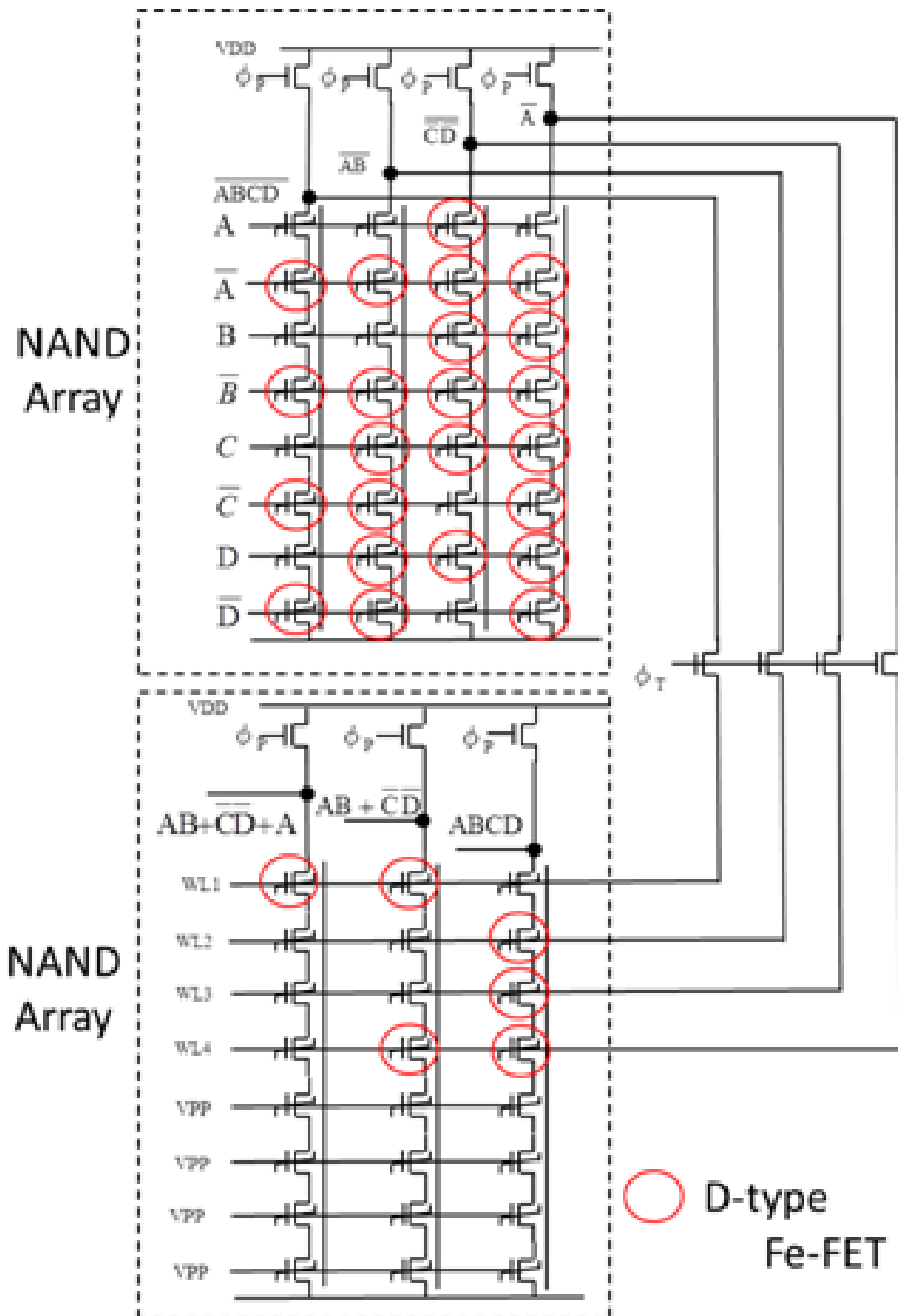


図 4-3 新提案の積層型 Fe-FET NAND/NAND アレイの構成

この欠点を克服するために新たに提案されたのが図 4-3 に示す積層型 Fe-FET

NAND/NAND アレイである。2 種類の NAND アレイのドライバトランジスタ部分は第 4-2 章で説明した Fe-FET を用いた積層型 NAND FeRAM で構成されている。8 個の直列接続された Fe-FET は縦方向に 8 層積層することによって実現される。Fe-FET のゲートには 8 種類の入力信号 (8 層に積層されている) が入力される。また Fe-FET のゲート絶縁膜はプログラム機能を有している。つまり Fe-FET は通常のトランジスタとして動作するだけでなくプログラム機能も内蔵されている。その結果上から見てわずか 1 素子分の面積に配線と Fe-FET を 8 層積層出来る。その結果全てを平面パターン上で実現していた従来の平面型 NAND/NAND アレイと比較して非常に小さな面積に論理回路を実現することができる。しかもその製造には多段積層縦型トランジスタ構造が使用できるため、その製造コストは従来の平面構造と比較して大幅に低減できる特徴がある (詳細は第 4-5 章参照)。

この NAND アレイ内には入力信号を用いた任意の論理を実現できる。全ての信号が使用された場合はその出力は 8 種類の信号の積の反転信号で表わされる。積層したトランジスタすべてを使う必要がない場合には、通過ゲートには常に導通させるプログラムを行うことにより実現する。例えば図 4-3 の NAND アレイ 1 の左端の NAND で (\overline{ABCD}) を実現したい場合には、ゲートに $\overline{A}, \overline{B}, \overline{C}, \overline{D}$ を入力される合計 4 個の Fe-FET に予めプログラムを行う。また図 4-3 に示すようにプリチャージ信号 ΦP がゲートの入力される SGT トランジスタを用いて NAND 論理を実現している。また NAND アレイ 1 と NAND アレイ 2 の間の信号の流れを制御 (プログラム時は両者を分離、読み出し時は両者を接続) するため、ゲートに転送制御信号 ΦT が接続される SGT を接続する。NAND アレイ 2 では NAND アレイ 1 の出力を入力信号として必要な論理を演算し出力している。図 4-3 の例では NAND 2 の入力数は NAND 1 の入力数より少なくなっている。その場合には図 4-3 に示すように入力数の少ない NAND アレイの下段部に通過用の Fe-FET を接続することにより (図 4-3 では 4 個直列接続し、そのゲートに高電圧 V_{PP} を印加して常に導通状態にする) NAND アレイ 1 と NAND アレイ 2 の接続段数を常に同じにする。これは NAND アレイ 1 と NAND アレイ 2 を同一プロセス工程で製造し、出来るだけ製造コストを低減するために必要不可欠である。また NAND アレイ 2 に書き込みを行う際には $WL1-WL4$ に NAND アレイ 2 の外部から電圧を印加する (詳細は第 4-4 章で述べる)。

4-4. プログラム・読み出し方式

4-3 章で示したように積層型 Fe-FET NAND/NAND アレイを実現するためには Fe-FET へのプログラム及び消去が必要になる。図 4-4 にプログラムと消去法を示した。初期状態をしきい値電圧が $0.2V$ とする (E タイプに対応)。この状態で Fe-FET のゲートにロウレベルの $0V$ を印加すると Fe-FET はオフ状態になる。これをプログラムする場合には Fe-FET のゲートに高電圧 $+10V$ 、基板に $0V$ を印加して、しきい値電圧 $-1V$ の D タイプを実現する。D タイプの Fe-FET では、ゲート電圧がロウレベルの $0V$ でもオン状態になり、論理を実現する場合はいわゆる通過トランジスタとなり論理に無関係に導通状態になる。この状

態から元の E タイプ状態に戻すには、プログラム時と逆の電圧を Fe-FET のゲートと基板間に印加する消去動作を行う。E タイプ、D タイプのしきい値電圧を以上のように設定するためには、強誘電体材料の選定が重要になる。

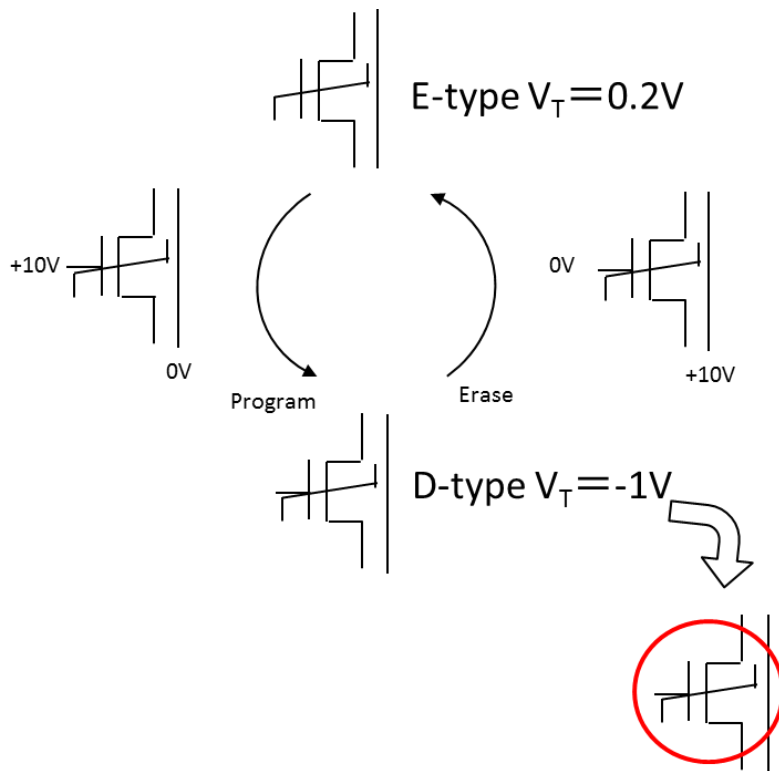


図 4-4 Fe-FET のプログラムと消去法

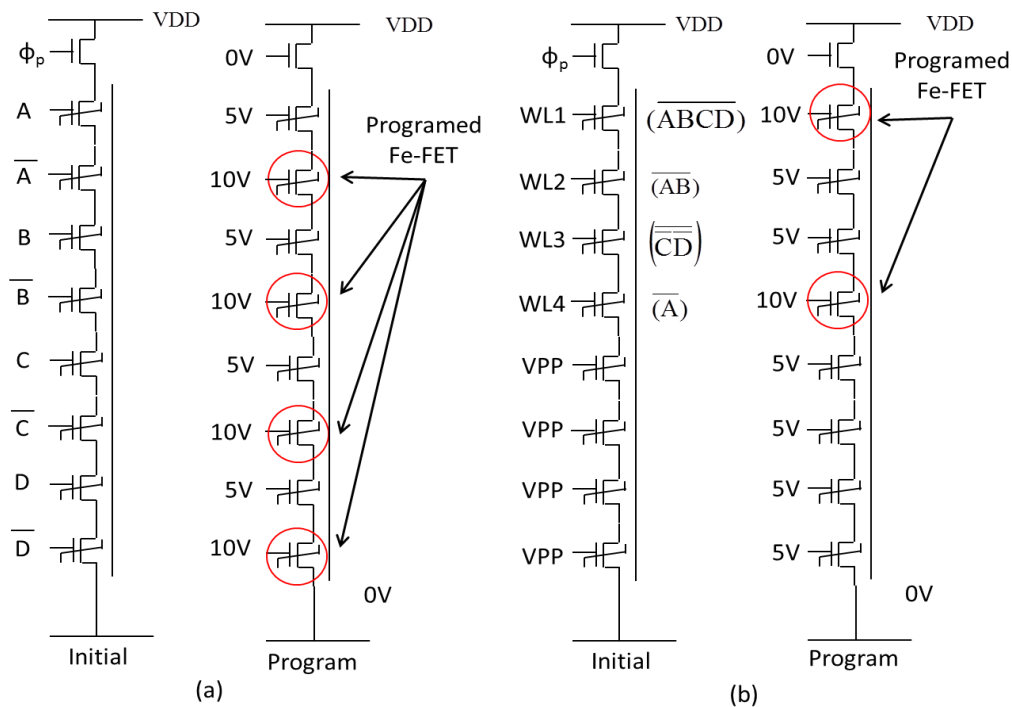


図 4-5 新提案方式のプログラム動作、(a)NAND アレイ 1、(b)NAND アレイ 2

次に積層型 Fe-FET NAND/NAND アレイのプログラム動作について述べる。図 4-5 (a) に NAND アレイ 1 の左端の NAND 構造で実現される \overline{ABCD} のプログラム法に関して述べる。プログラム時には図 4-4 で示したようにプログラムする Fe-FET のゲートに高電圧、選択した NAND 構造の基板に 0 V を印加する必要がある。 \overline{ABCD} をプログラムする場合には、通過 Fe-FET となるべきゲートに $\bar{A}, \bar{B}, \bar{C}, \bar{D}$ が入力する 4 個の Fe-FET にプログラムするためにそのゲートに高電圧 (+10 V) を印加し、選択した NAND 構造の基板に 0 V を印加する。ゲートに A, B, C, D が入力する 4 個の Fe-FET にはプログラムされないようにゲートに中間電圧 (+5 V) を印加する。この動作により同一 NAND 構造内の Fe-FET には同時にプログラムすることが可能である。本提案ではプログラム時に中間電圧+5 V と書き込み電圧+10 V を使用しているがこれにより Fe-FET のゲートヒステリループがドリフトする問題がある。この課題を解決することが今後重要となる。

一方実現する論理を変更したい場合には今のプログラム動作と逆の電圧を通過 Fe-FET に印加する。プログラム中は NAND 構造と電源電圧 VDD を分離するため ΦP は 0 V にする。またプログラム中に NAND アレイ 1 と NAND アレイ 2 を分離するために ΦT を 0 V にする。

次に図 4-5 (b) に NAND アレイ 2 の中間の NAND 構造で実現される $AB + \bar{C}\bar{D}$ のプログラム法に関して述べる。通過 Fe-FET にプログラムするために WL1 と WL4 に高電圧 (+10 V) を印加し、選択した NAND の基板には 0 V を印加する。WL2 と WL3 がゲートに接続されている Fe-FET はプログラムされないように中間電圧 (+5 V) を印加する。その他 ΦP や ΦT の印加電圧は NAND アレイ 1 の書き込み時と同じである。プログラム時に NAND アレイ 1 と NAND アレイ 2 を分離しておけば、両 NAND アレイを同時にプログラムもしくは消去することができる。あるいは一方をプログラム、残りを消去することも可能である。

次に積層型 Fe-FET NAND/NAND アレイの読み出し動作について述べる (図 4-6)。図 4-6 (a) に NAND アレイ 1 の左端の NAND 構造で実現される \overline{ABCD} の読み出し法に関して述べる。あらかじめプリチャージ期間に $\Phi P=1V$ として、NAND の出力部分をプリチャージしておく。この時 $\Phi T=0V$ として NAND アレイ 1 と NAND アレイ 2 は分離しておく。次にアクティブ時間 (評価時間) に NAND アレイ 1 に入力信号を入力する。例えば $A=B=C=D=1V$ の時、あらかじめ $\bar{A}, \bar{B}, \bar{C}, \bar{D}$ が入力する Fe-FET はあらかじめプログラムされしきい値は -1 V になっている為、ゲート電圧が 0 V でも通過 Fe-FET になり電流が流れる。その結果この NAND は選択され出力から \overline{ABCD} が出力される (出力が 0 V になる)。NAND アレイ 1 の残りの NAND 構造でも同様な読み出し動作が行われる。

その後 $\Phi T=2V$ として NAND アレイ 1 の出力を NAND アレイ 2 (WL1-WL4) に転送する。図 4-6 (b) に NAND アレイ 2 の中間の NAND 構造で実現される $AB + \bar{C}\bar{D}$ の読み出し法に関して述べる。NAND アレイ 1 からは $WL1 = 0V$, $WL2 = 1V$, $WL3 = 1V$, $WL4 = 0V$ の信号が転送されてくる。WL1 と WL4 が入力する Fe-FET はあらかじめプログラムされているので読み出し時に通過 Fe-FET として動作し、最終的にこの NAND 構造か

らは $AB+\bar{C}\bar{D}$ が入力される (この NAND 構造の 1V になる)。以上の手順により任意の組み合わせ回路を積層型 Fe-FET NAND/NAND アレイに書き込み、読み出しできる。組み合わせ回路の論理を変更する場合には、消去、プログラムの順に書き込み動作を行う。

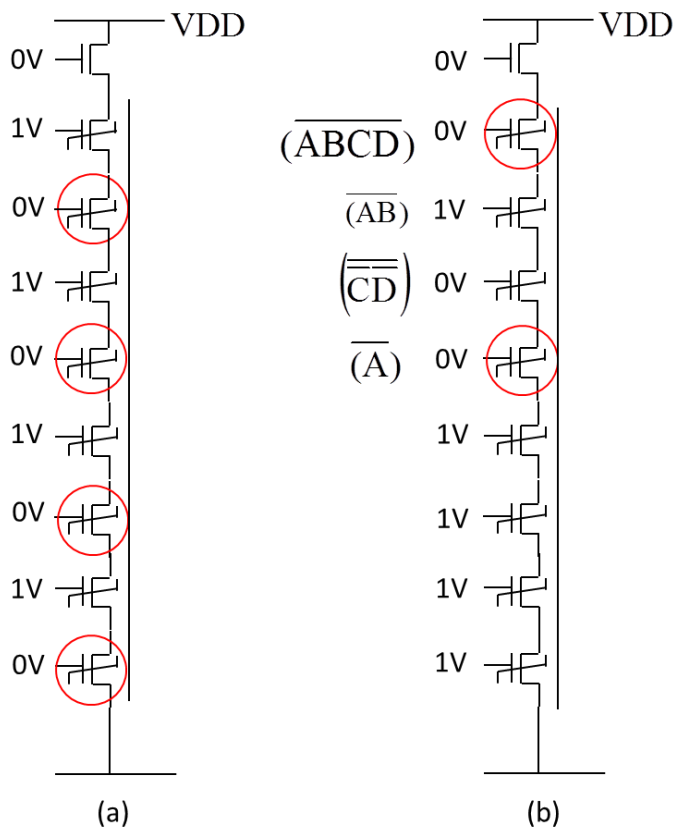


図 4-6 新提案方式の読み出し動作、(a)NAND アレイ 1、(b)NAND アレイ 2

4-5. 積層型 Fe-FET NAND/NAND アレイのパターン面積と製造コストの見積もり

本 4-5 章では LSI の製造コストがパターン面積と工程数に比例し、歩留まりに反比例することに着目し[15]、今回提案した積層型 Fe-FET NAND アレイのパターン面積と製造コスト求め、従来の 1 層構造で設計、製造した場合と比較した。図 4-7 に今回提案した方式 (図 4-7 (b)、図 4-3 に対応) と従来の 1 層方式 (図 4-7 (a)、図 4-2 に対応) のパターン面積の比較結果を示す。見積もりに当たり、従来の一層型ではプログラム素子は $2F * 2F = 4F^2$ (F はデザインルール), トランジスタサイズは SGT を仮定して $2F * 2F = 4F^2$, 配線幅と配線間隔は F , SGT のシリコン柱及びコンタクトサイズは $F * F$ を仮定している。また従来の一層型ではトランジスタ部分としては NAND 論理のドライバ部分のみを考慮した。図 4-7 で 2 カ所の NAND ARRAY 部分は図 4-2 の配線領域に対応している。一方 2 カ所の

NAND GATES 部分は図 4-2 の NAND 回路で実現される論理素子領域に対応している。配線領域は論理素子領域の 10 倍の面積を占める。図 4-7 で従来の一層型のパターン面積は $32F \times 48F = 1536F^2$ と比較的大きいのに対し、本提案の一例の積層型（図 4-3 の 8 段積層の場合）では、 $8F \times 14F = 112F^2$ と約 7.3% に大幅に縮小できることが分かった。これは本提案の積層型では配線とトランジスタが積層され、プログラム素子がトランジスタと一体化した効果大きい。各層のゲート電極形成するマスクは異なる形状のマスクを使用しているため積層化に伴う NAND Array 端の面積増は考慮する必要はない。（もし各層ごとに異なるゲート電極形成マスクを使用しない場合には縦の長さが $6F$ 増加しパターン面積が $20F / 14F = 1.43$ 倍に増加する）。

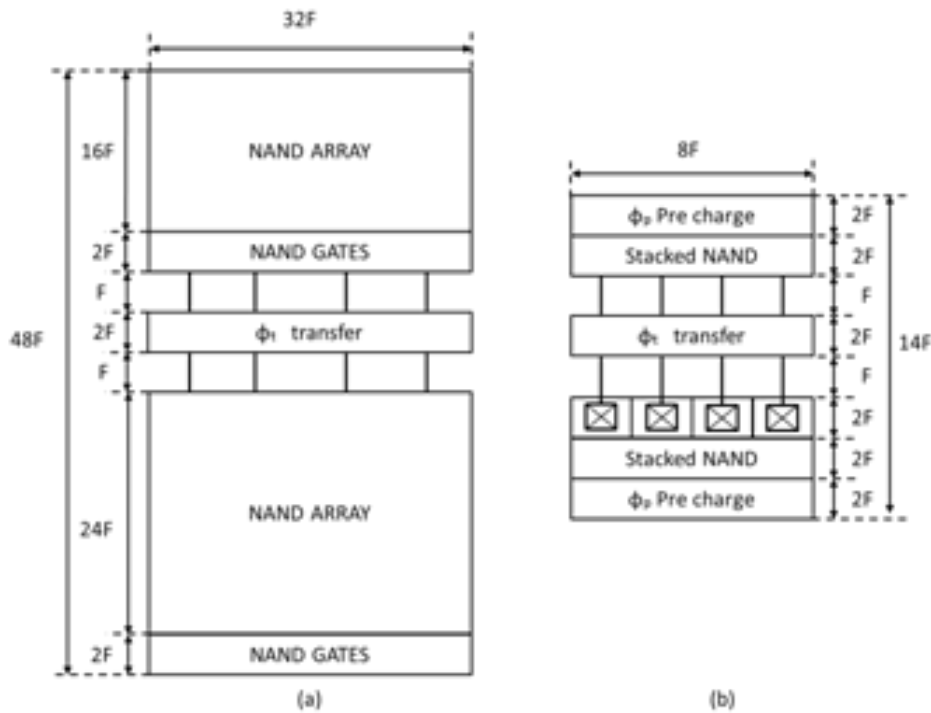


図 4-7 新提案方式（図 3）と従来の 1 層方式（図 2）のパターン面積の比較結果、(a)従来方式のパターン、(b)提案方式のパターン

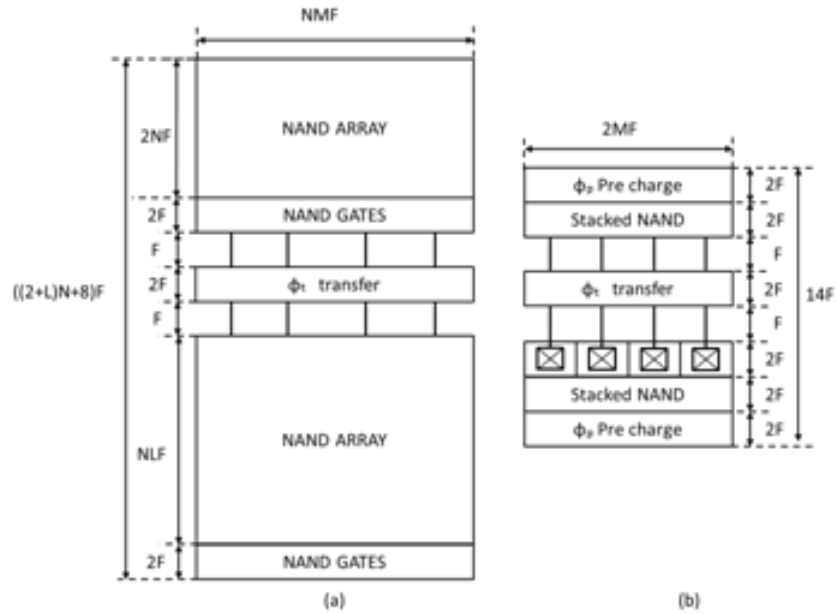


図 4-8 N,M,L を用いた新提案方式と従来の 1 層方式のパターン面積の比較結果、(a)従来方式のパターン、(b)提案方式のパターン

このパターン面積の縮小効果は NAND の積層段数 (N とする) や NAND アレイ 1 内の NAND の数 (M とする)、NAND アレイ 2 内の NAND の数 (L とする) に大きく依存する。図 4-8 に N,M,L をパラメータとしたパターン面積の比較結果を示す。図 4-8 より、パターンの横幅は平面型では NMF 、積層構造では $2 * (M \text{ と } L \text{ で大きい方の値}) F$ となる。ここで $M \geq L$ とすると、両者の比は $2MF/NMF=2/N$ となる。つまり N が大きいほど積層化による縮小率が大きい。一方パターンの縦幅は平面型では $((2+L)N+8)F$ 、積層構造では $14F$ となる。両者の比は $14/((2+L)N+8)$ となり、横幅同様に積層段数 N が大きいほど積層化による縮小率が大きい。この結果を図 4-9 にまとめた。図 4-9 で L の値は $N/8, N/4, N/2, N$ の場合を見積もった。比較のために現在の積層型メモリでの面積縮小効果 (N 層の場合、平面型に比較してパターン面積は $1/N$ になる) を示した。更に今回の提案で実現する論理回路は再構成しない場合 (従来型のプログラム素子やそれに伴う配線部分が不要になるため平面型に比較してパターン面積は $2/N$ になる) を合わせて示した。図 4-9 より、本提案で前述した再構成する場合は積層型メモリ以上の面積縮小効果があった。再構成しない場合でも積層型メモリに近い、積層メモリの 0.5 倍の面積縮小効果があることが分かった。

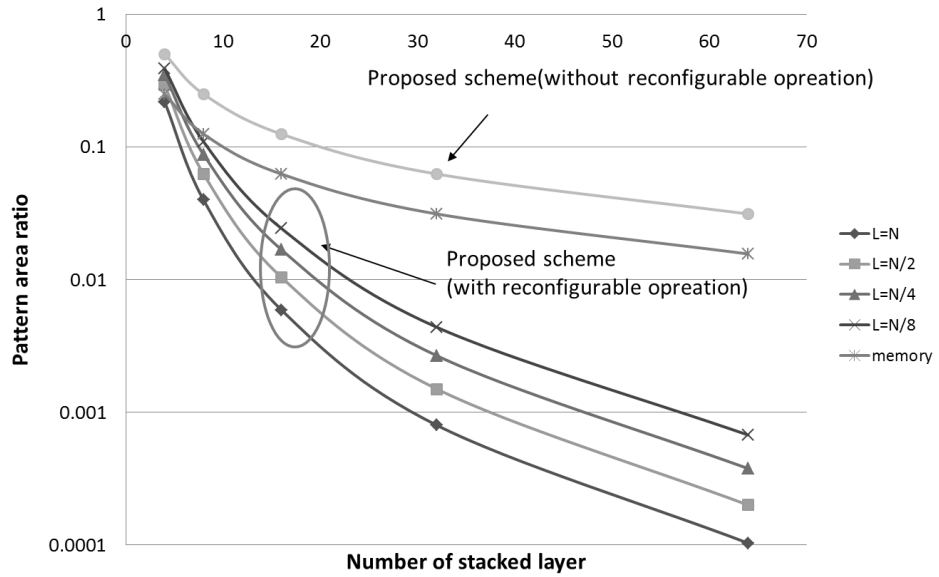


図 4-9 新提案方式と 1 層方式のパターン面積比の積層段数依存性

次に積層化により単位面積当たりの製造コストがどれだけ増加するか見積もった。過去の研究より以下の(4-1)式で N 層積層化した時の 1 層の時とのコスト比が見積もられる事が知られている [16]。

$$\text{Cost ratio per unit area} = K(1.12 + 0.04N) / Y^{(1.12 + 0.04N)} \quad (4-1)$$

(1.12+0.04N)は N 層積層した時の工程数、1.12 のうち 1 は 1 層での工程数、0.12 は 2 層以上積層するために必要な工程数、0.04 は 1 層増加するごとに増える工程数に対応している。また Y は 1 層の時の歩留まり、K は比例定数を示す。現在製品化が進められている積層型 NAND フラッシュメモリでは 32 層が想定されているが (表 4-1)、その場合は Y=80% で 1 ビット当たりのビットコストは最小になる。そこで今後の見積もりでは(1)で Y=80% として積層化による単位面積当たりの製造コスト増加率 Cost ratio per unit area を見積もった。Cost ratio per unit area の積層段数依存性を図 4-10 に示す。Y=80% だけでなく Y=90% と 95% の場合も併せて示した。積層段数が増加しても低コストな多段積層縦型トランジスタ構造の導入により、積層化による単位面積当たりの製造コストの増加は最小限に抑えられていることが分かる。

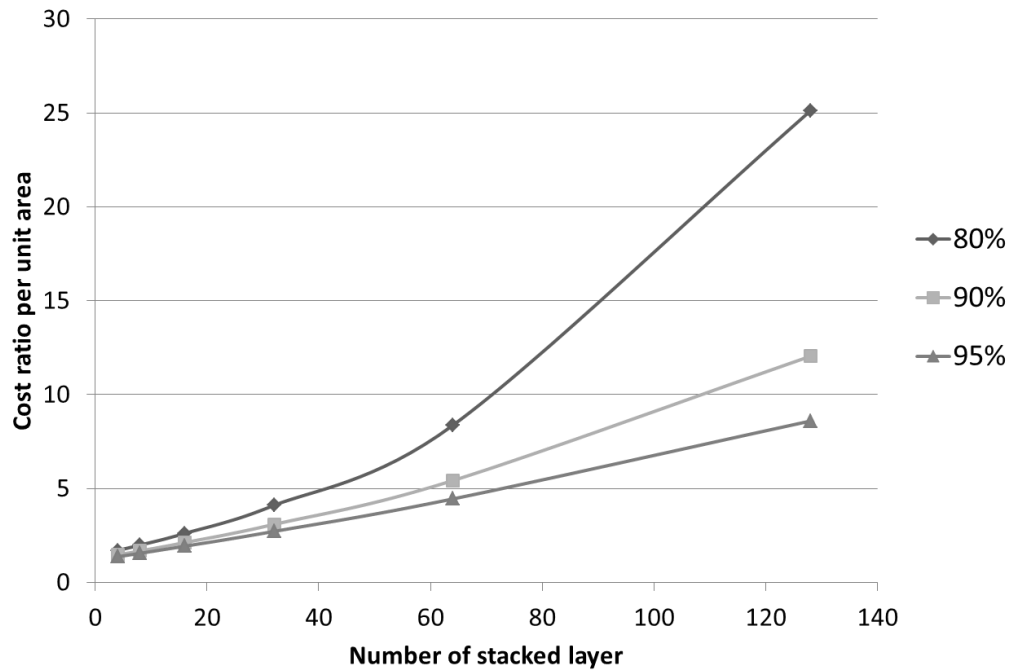


図 4-10 新提案方式の単位面積当たりのコストの積層段数依存性

最終的な新たに提案した積層型 Fe-FET NAND/NAND アレイ全体の製造コストは図 4-9 のパターン面積比と図 4-10 の単位面積当たりの製造コスト比の積で求められる。その結果を図 4-11 に示す。本提案では製造コストは再構成する場合には積層型メモリよりも大幅に低減することが分かる。製造コストは同一積層数で積層型メモリより 1 桁程度低く、その値は 64 層積層してもまだ減少する（積層型メモリでは 32 層で最小値になる）。また本提案では再構成しない場合にも積層型メモリの 2 倍の値になるものの積層数の増加とともに製造コストは大幅に減少する。以上の結果により今後積層型メモリの開発が進み積層化によるコスト増加が少なくなるのに伴い((1)式で 0.04 が減少し、Y が増加することに対応する)、本提案の積層型 Fe-FET NAND/NAND アレイのコストも減少することが期待できる。つまり今後も多段積層縦型トランジスタ構造を適用することにより従来通りロジック LSI の大容量化、低コスト化、高速化を進められる可能性がある。

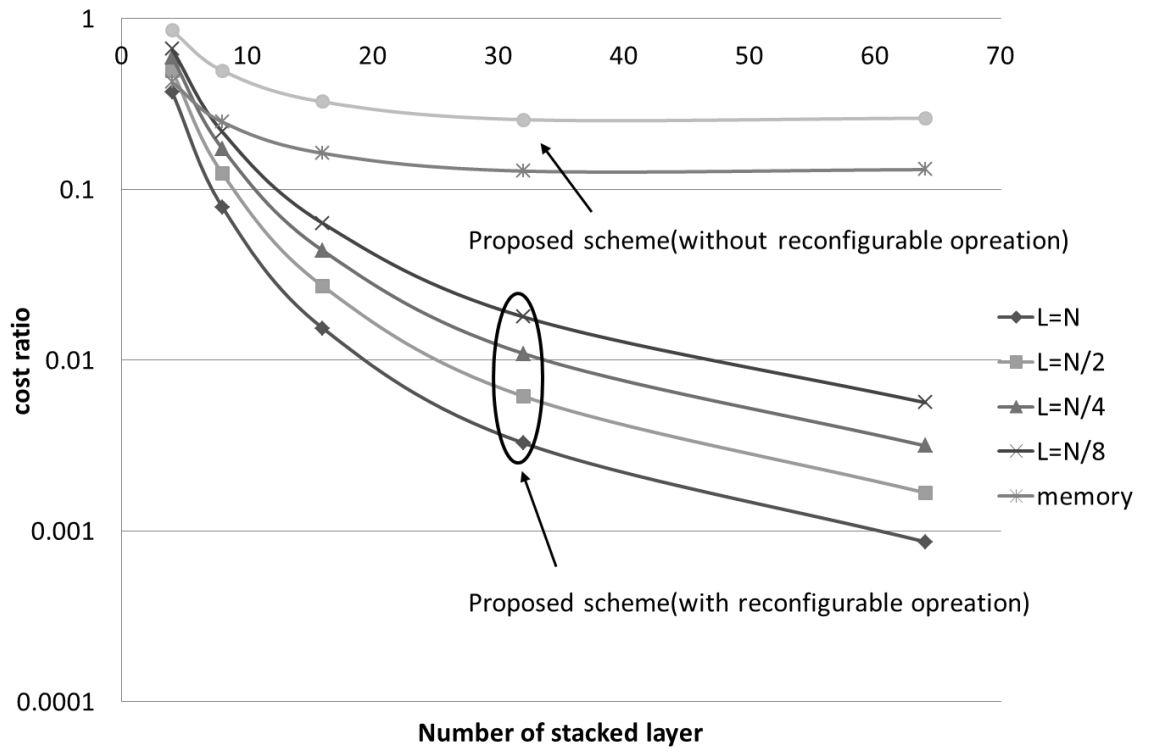


図 4-11 新提案方式と 1 層方式のパターン製造コストの積層段数依存性

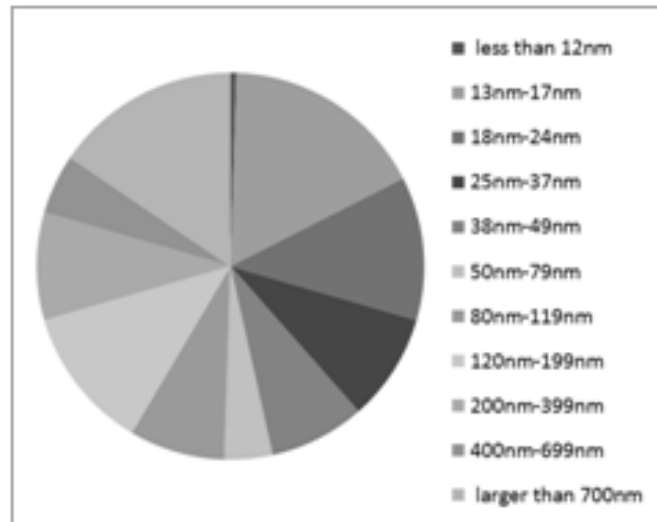


図 4-12 世界のデザインルール別 LSI の生産能力[23](20mm ウエファァ換算)

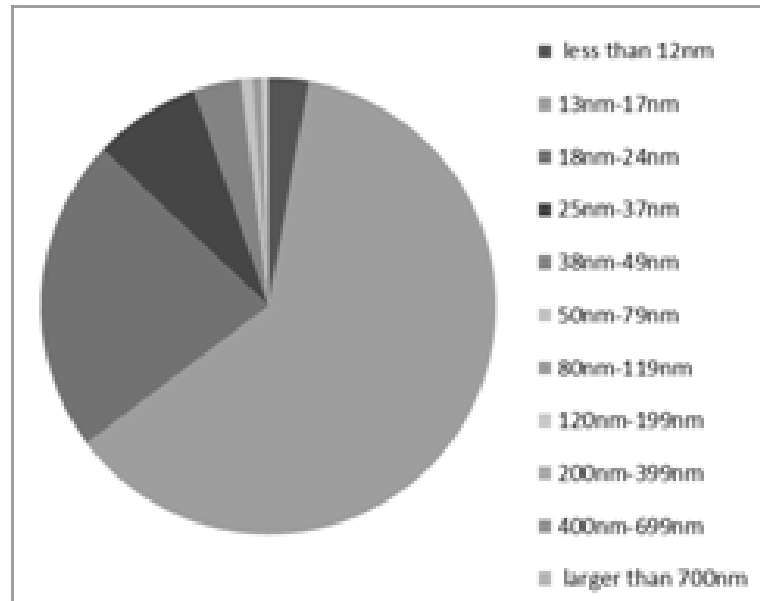


図 4-13 世界のデザインルール別 LSI でのトランジスタの生産可能個数の比率

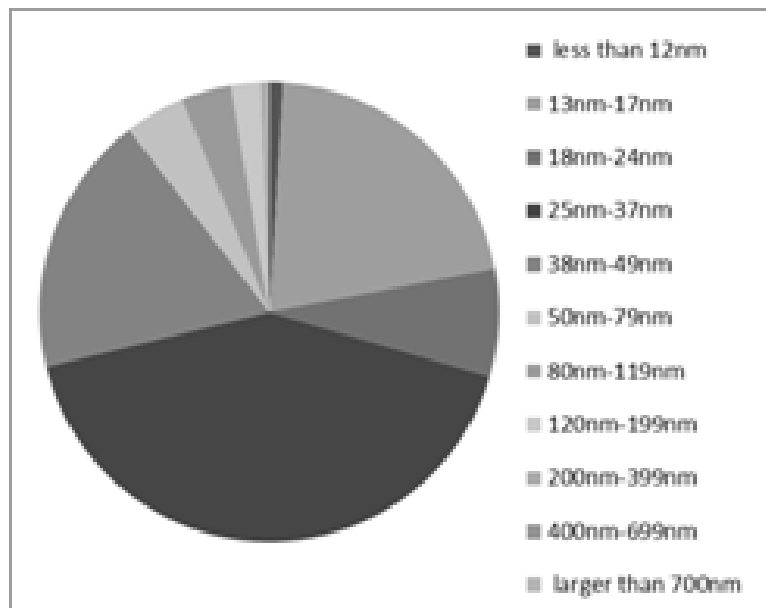


図 4-14 世界のデザインルール別 LSI でのトランジスタの生産可能個数の比率（24nm ルール以下では平面型 25nm 以上では本提案の積層型（32 層）を仮定）

2016 年現在、世界の半導体工場では最先端の微細なデザインルールを用いた L S I の生産能力はごくわずかである。200mm ウエファに換算した月産ウエファ枚数は積層化に適さない（歩留まりの低い）最先端の 24nm 以下のデザインルールでは全体の約 30%にしかない(図 4-12)。しかしながらこの最先端の微細なデザインルールを用いた L S I では、デザインルールが大きい L S I と比較して同一ウエファ面積でデザインルールの 2 乗に反

比例した平面型トランジスタを実現できる。その結果 24 nm 以下の最先端のデザインルールでは全体の 80% 以上のトランジスタ数を生産できることが分かる ((図 4-13)。トランジスタは全て従来型の平面型を仮定)。つまり従来の平面型トランジスタを使用している限り、ウエファ枚数の大部分を占める 25nm 以上の最先端でないデザインルールを用いた LSI の生産性は低い。今回提案した積層技術を用いると再構成しない場合でも単位面積当たりのトランジスタ数を(積層数)/2 倍に増やすことができる。積層数を現時点で実現可能な 32 層にすると、図 4-14 に示すように 25nm 以上の最先端でないデザインルールを用いた LSI のトランジスタ数は全体の約 70% に増やせる可能性がある (最先端デザインルールでは平面型を仮定)。以上のことから 25nm 以上の最先端でないデザインルールを用いた LSI の生産性を向上させるためには今回提案した積層技術が非常に有効であることが分かる。

4-6. 結論

大容量積層型 NAND メモリに使用されている多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイを新たに考案し、そのロジック LSI への適用方法を提案した。積層型 Fe-FET NAND/NAND アレイでは Fe-FET の NAND アレイを二組組み合わせることにより任意の再構成可能な組み合わせ回路を実現できる。従来の 1 層型のロジック LSI と比較して積層段数の増加とともにパターン面積と製造コストを大幅に縮小できることが分かった(再構成を考慮した場合 32 層でパターン面積を 0.2%、製造コストを 0.6% に低減可能。再構成しない場合はパターン面積を 6%、製造コストを 26% に低減可能)。本提案によりトランジスタの微細化を行うことなくロジック LSI の大容量化、低コスト化、高速化が積層段数の増加とともに継続的に実現できる可能性がある。

高速化を実現するためには高性能な Fe-FET の開発が必要不可欠になる。最近提案されている Fe-FET には CMOS トランジスタに使用されている HfO₂ 絶縁膜を記憶部分に使用しており従来の CMOS 技術を用いて製造することができる[24]。ゲート長 28nm の Fe-FET では自発分極の反転時間を含め 10ns 以下の読み出し書き込み動作が実現されている。Fe-FET 固有の自発分極の反転時間は現時点でも数 ns 以下に抑えられている[10]。そのため将来は Fe-FET での構造の最適化により CMOS トランジスタと同程度の動作速度が期待できる。

第 4 章の参考文献

[1]横田智広、渡辺重佳 “SGTによるシステムLSIのパターン面積縮小効果の検討” 電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009.

[2]

[3]T. Endoh et. al., “Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding

- GateTransistor (S-SGT) Structured Cell” , IEEE Trans. Electron Devices, vol.50, no.4, pp.945-951, 2003.
- [4] H. Tanaka et al., “Bit Cost scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”, Symp.on VLSI Technology, 2007.
- [5] R. Katsumata et al., “Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices”, Symp .on VLSI Technology, pp.136-137, 2009.
- [6] J. Jang et al., “Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory”, Symp.on VLSI Technology, pp.192-193, 2009.
- [7] J-W. Im, W-P. Jeong, D-H. Kim, S-W. Nam, D-K. Shim, M-H. Choi, H-J. Yoon, D-H. Kim, Y-S. Kim, H-W. Park, D-H. Kwak, S-W. Park, S-M. Yoon, W-G. Hahn, J-H. Ryu, S-W. Shim, K-T. Kang, S-H. Choi, J-D. Ihm, Y-S. Min, I-M. Kim, D-S. Lee, J-H. Cho, O-S. Kwon, J-S. Lee, M-S. Kim, S-H. Joo, J-H. Jang, S-W. Hwang, D-S. Byeon, H-J. Yang, K-T. Park, K-H. Kyung, J-H. Choi, “ A 128Gb 3b/cell V-NAND Flash Memory with 1Gb/s I/O Rate2,” ISSCC Dig. Tech. Papers. 2015.
- [8]” 3次元 NAND が出荷ラッシュ東芝、Intel らが Samsung を追う” 日経エレクトロニクス 5月号 2015年
- [9] S. Davnaraju et. al., “A 22nm IA multi-CPU and GPU system on chip”, ISSCC Dig. Tech. Papers, 2012.
- [10]菅野孝一、渡辺重佳 “積層型 NAND 構造 1 トランジスタ型 FeRAM の読出し方式の検討” 電子情報通信学会 C, Vol.J91-C, No.11, pp.668-669, 2008.
- [11]菅野孝一、渡辺重佳, “積層方式 NAND 構造 1 トランジスタ型 FeRAM の設計法.” 電学論 (C), vol.130, no.2, pp.226-234, 2010.
- [12]菅野、渡辺、“酸化物導電膜チャネルを用いた積層型 FeRAM の設計法” 電気学会論文誌 C vol.131, no.4, pp.810-817,2011.
- [13]玉井、渡辺、“スピントランジスタを用いた積層型 NAND MRAM の読出し法の検討” 電子情報通信学会論文 vol.J91-C, no.11, pp.666-667, 2008.
- [14]S. Tamai and S. Watanabe, “Design method of stacked type MRAM with NAND structured cell”, Contemporary Engineering Sciences, vol.6, no.2, pp.69-86, 2013.
- [15]S. Tamai and S. Watanabe, “Analysis of bit cost for stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [16]玉井翔人, 渡辺重佳, “ユニバーサルメモリを目指した積層型 NOR MRAM の検討.” 電学論 (C), vol.129, no.11, pp.2091-2092, 2009.
- [17]加藤翔、渡辺重佳、“積層方式 Chain 構造 PRAM の設計法,” 電気学会論文誌 C, Vol.133, No.5, pp.937-946, 2013.
- [18] Y. Sasago et al., “Phase-change memory driven by poly-Si MOS transistor with low cost and high-programming gigabyte-per-second throughput,”Symp.on VLSI Technology, pp.96-97, 2011.
- [19]相変化チャネルトランジスタを用いた積層型 NOR PRAM の検討” 電気学会論文誌 C, Vol.131, No.12, pp.2220-2221, 2011
- [20]浅野、“デジタル回路演習ノート” コロナ社 2001年

- [21]末吉、天野編 “リコンフィギュラブルシステム” オーム社 2005年
- [22]南谷 “論理回路の基礎” サイエンス社 2009年
- [23]” 半導体新秩序の胎動” 週刊ダイヤモンド 6月27日号 2015年
- [24]E. Yurchuk et al., ”Impact of Scaling on the Performance of HfO₂ Based Ferroelectric Field Effect Transistors”, IEEE Trans. Electron Devices, vol. 61, pp. 3699 - 3706, 2014.
- [25]横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 .” 電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016.
- [26] “微細化の限界を克服: 微細化せず実現、3Dメモリー製造技術転用、最大1/100にコスト低減、湘南工大、大規模システムLSI” 日刊工業新聞 2016年3月17日 第27面
- [27] “新システムLSIの設計法、湘南工大が提案、微細化せず大容量化” 電波新聞 2016年3月21日 第3面
- [28]” (新技術) 多段積層縦型トランジスタ構造のロジックLSI 湘南工科大の渡辺教授らが提案、大容量で低コスト化実現” 電波新聞 2016年5月12日 第12-13面

5. 階層積層型 SGT を用いた NAND・NAND 組み合わせ回路

5-1. 序論

第4章で述べた多段積層縦型トランジスタ構造を用いた Fe-FET NAND/NAND アレイでは非常に低コストで任意の論理を実現できる。この低コスト化の目安になるのがビットコストを最小にする最適積層数である。現在では 32~64 層が用いられ[1]、今後近い将来 128 層に増加すると予想される。それに対してロジック LSI に使用する回路 1 個当たりの入力信号数は最大でも 4~6 (積層数ではその 2 倍の 8~12) 程度と小さい。つまり積層型 NAND/NAND アレイに回路を構成するために必要な積層数、ビットコストを最小にする最適積層数 128 と比較して 1 ケタ程度小さく両者の差が大きくなる。例えば図 4-3 の論理 (論理を実現するために必要なのは入力信号数 4、必要積層数 8) を最適積層数 128 で実現しようとする、 $128-8=120$ 層が論理実現のために不必要な無駄な通過トランジスタとなる。無駄な通過トランジスタの数は低コスト化のために最適積層数が増加するとともに大きくなる。図 5-1 に示すように今後 BiCS 技術等の積層技術が 2 年に 2 倍増加すると仮定すると、一定の値であるひとつの回路を実現するために必要な積層数との乖離は年々大きくなる。つまり従来の縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイ (今後従来積層型と略す) では低コスト化と Fe-FET の無駄のない効率的な使用は今後両立させるのが困難になる問題点があった。本章ではこの問題点を解決する縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイ (今後提案階層積層型と略す) を新たに提案する。提案階層積層型では、縦方向に複数の互いに独立に動作する回路を積層する階層構造を導入する。それによって縦方向に 1 個の回路のみ配置していた従来積層型と比較して Fe-FET の無駄のない効率的な使用が実現でき、パターン面積と製造コストの低減につながる特徴がある。

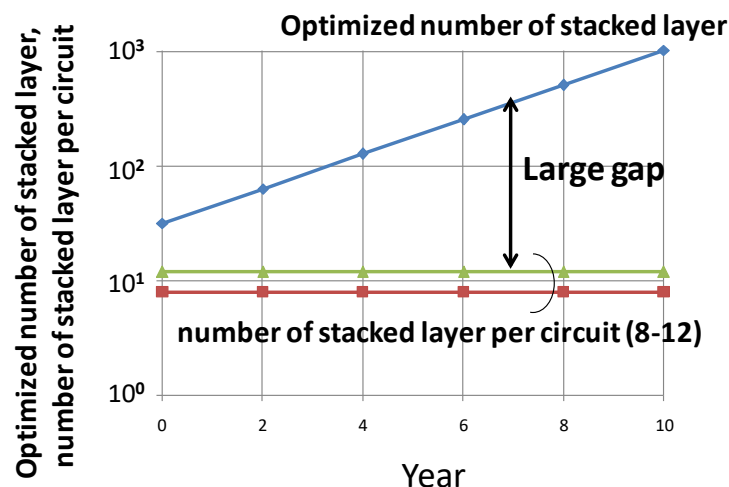


図 5-1 最適積層数の傾向と回路を構成するために必要な積層数の推移

本章は以下のように構成されている。第 5-2 章では新たに提案する提案階層積層型の構成とそのプログラム・読み出し方式について述べる。第 5-3 章では動作速度、消費電力を従来積層型（従来型 1、従来型 2）と比較し、第 5-4 章ではパターン面積と製造コストを見積もり、第 5-5 章では更なる考察を行い、第 5-6 章をまとめとする。

5-2. 階層積層型の構成とプログラム・読み出し方式

図 5-2 に新たに提案する提案階層積層型の構成 (図 5-2 (a)) を従来積層型 (図 5-2 (b)) と比較する形で示す。図では簡単のために最適積層数 16、ひとつの回路当たりの必要積層数 8 の場合を示している。提案階層積層型では 8 層で 1 個の回路ブロックを構成してそれを 2 個 (1st block と 2nd block) 縦方向に積層する構成になっている。それぞれの回路はお互いに異なる論理を実現する (第 1 の回路ブロックでは ABCD に関する論理、第 2 の回路ブロックでは EFGH に関する論理)。必要になる NAND は 1 種類 (1st NAND) で良い。それに対して従来積層型では 1 個目の NAND (1st NAND) で ABCD に関する論理、2 個目の NAND (2nd NAND) で EFGH に関する論理を実現する。その結果残りの Fe-FET は通過トランジスタとなり無駄になってしまう。つまりこの例では従来積層型では全体の 50% が無駄な通過 Fe-FET になるのに対して、提案階層積層型では無駄な通過 Fe-FET が無い。

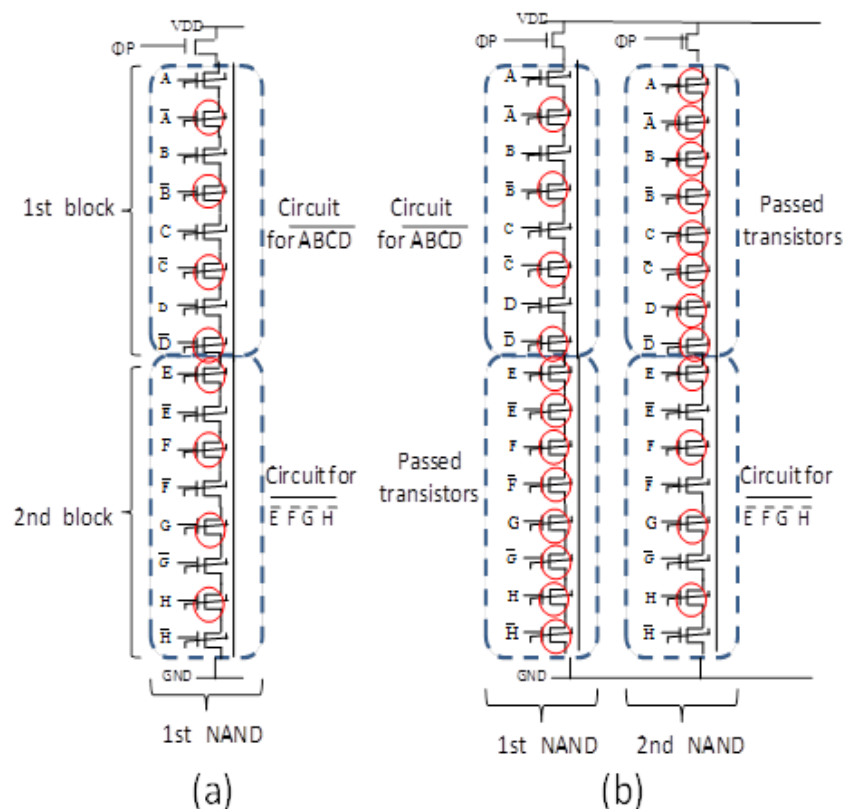


図 5-2 階層積層方式(a)と積層方式(b)の比較

その結果この例では提案階層積層型では従来積層型と比較してパターン面積は 50%に低減出来、製造コストを半減できる。この効果は図 5-1 のように最適積層数とひとつの回路当たりの必要積層数の差が大きくなるほど顕著になる。(詳細に関しては第 3 章で述べる)。

提案階層積層型のプログラム方式を以下に示す (図 5-3 (a)、参考文献[1]で提案された方式)。図 5-2 (a) でゲートに A,B,C,D の反転信号及び E,F,G,H が入力される合計 8 個の Fe-FET は通過トランジスタにするためゲートに高電圧 10V を印加し、基板に 0V を印加しプログラムを行なう。その結果しきい値電圧を D タイプ化 (-1V) させる。それに対して論理を実現する残りの 8 個の Fe-FET はプログラムされないようにゲートに中間電圧の +5V を印加する。これにより NAND 内の全ての必要な Fe-FET に同時にプログラムする事ができる。一方従来積層型では通過 Fe-FET が多数存在するため 2 個の NAND をプログラムしなければならない。その結果 1 個の NAND だけプログラムすれば良い提案階層積層型時のプログラムによる消費電力を削減できる特徴がある。

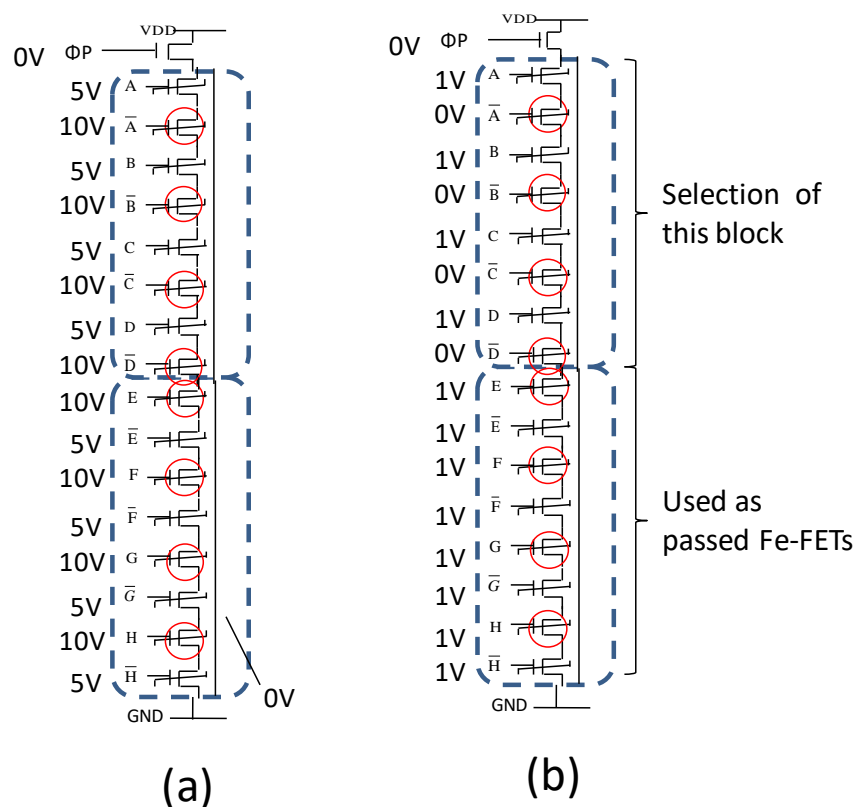


図 5-3 階層積層方式の (a) プログラム動作と(b)読み出し操作の説明図

提案階層積層型の読み出し方式は従来積層型[1]と若干異なる (図 5-3 (b))。従来積層型では入力信号としてハイレベルなら 1V,ロウレベルなら 0V を印加することにより通過トランジスタは実現論理に関係せず、残りの論理に関連する論理が出力された。(例えば図 5-2

(b) の例では 1st NAND からは ABCD に関連する論理、2nd NAND からは EFGH に関連する論理が出力される。提案階層積層型で同様な読み出し用の電圧を与えると出力に

ABCD に関する論理と EFGH に関する論理(具体的には積演算)が出力されてしまう。この問題を解決するために、入力信号によって ABCD に関する論理か EFGH に関する論理かいずれかを独立して出力する場合には図 5-3 (b) のような電圧を印加する。例えば 1 st ブロックの ABCD に関する論理を出力する場合には、EFGH に関する論理が出力されないように、ゲートに EFGH に関する論理が入力される Fe-FET はあらかじめプログラムしていない E タイプトランジスタ (しきい値電圧が 0.2V) も通過トランジスタとして動作するように一律にハイレベルの 1V を印加する。

以上の本提案のコンセプトを図 5-4 に更に詳細に示す(簡単化のためブロックが 2 種類の場合を示す)。本提案では図 5-4 (a) に示すように元々同一 LSI 内の動作期間が異なる回路ブロック (1st block と 2nd block) を図 5-4 (b) のように縦方向に積層することにより低コスト化を実現することを目標としている。そのために図 5-4 (b) に示すように時間的に使用する論理を切り替えるシステムが新たに必要になる。このシステムにより 1st block を使用するには 2nd block は通過させ、逆に 2nd block を使用するには 1st block を通過させる。そのために本提案を実現するためには、まず同一 LSI 内で動作期間が互いに異なり、入力信号数が似通った多数の回路ブロックを抽出し、それを縦に積層する必要がある。そのため、例えば LSI の高速化のため使用される並列処理動作は、並列処理に用いている回路ブロックが同時に動作するため、本提案を用いて縦方向に積層することは出来ない。

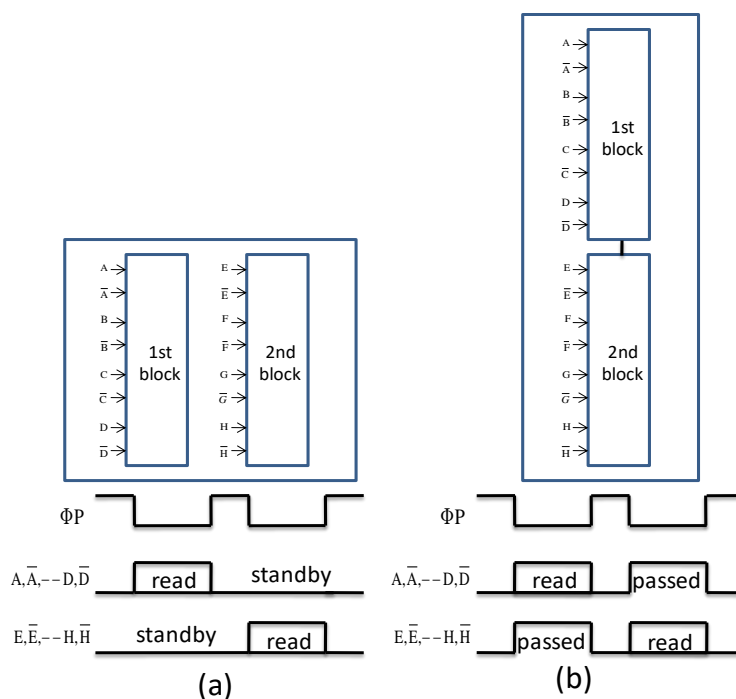


図 5-4 (a) 現在のシステム LSI と(b)階層積層方式の波形と比較

5-3. 動作速度、消費電力の見積もり

本章では新階層積層方式の動作速度、消費電力見積もり従来階層方式と比較した。図 5-5 にそれぞれの方式の模式図を示す ($m=4, k=8, n=8*4=32$ の場合)。S は列数を示す。

図 5-5(a)は提案階層積層型 (本章以降では提案方式もしくは **proposed** と略す) で、S 列 (NAND 論理 S 個分) 示している。n は最適積層数、k は 1 つの回路当たりの必要積層数、m は NAND 論理 1 個に積層されるブロック数を示す。製造に最適積層数を用いているため、積層型メモリの製造技術そのまま使える長所がある。図 5-5(b)は図 5-2 でも従来例として述べた従来積層型 (本章以降では従来方式 1 もしくは **conventional 1** と略す) である。無駄部分が多いのが欠点だが、製造に最適積層数を用いているため提案方式同様に積層型メモリの製造技術そのまま使える長所がある。図 5-5(c)は図 5-2 でも述べた従来方式 1 の無駄部分を無くすため積層数を最適積層数より小さいひとつの回路当たりの積層数にした構成である。無駄部分がない為に、従来例 1 よりは製造コストは安くなるが、最適積層数を使っていないため提案方式よりも一つの回路ブロック当たりの製造コストが高くなる欠点がある。また製造に当たっては積層メモリとは異なる製造技術が必要になる (本章以降では従来方式 2 もしくは **conventional 2** と略す)。

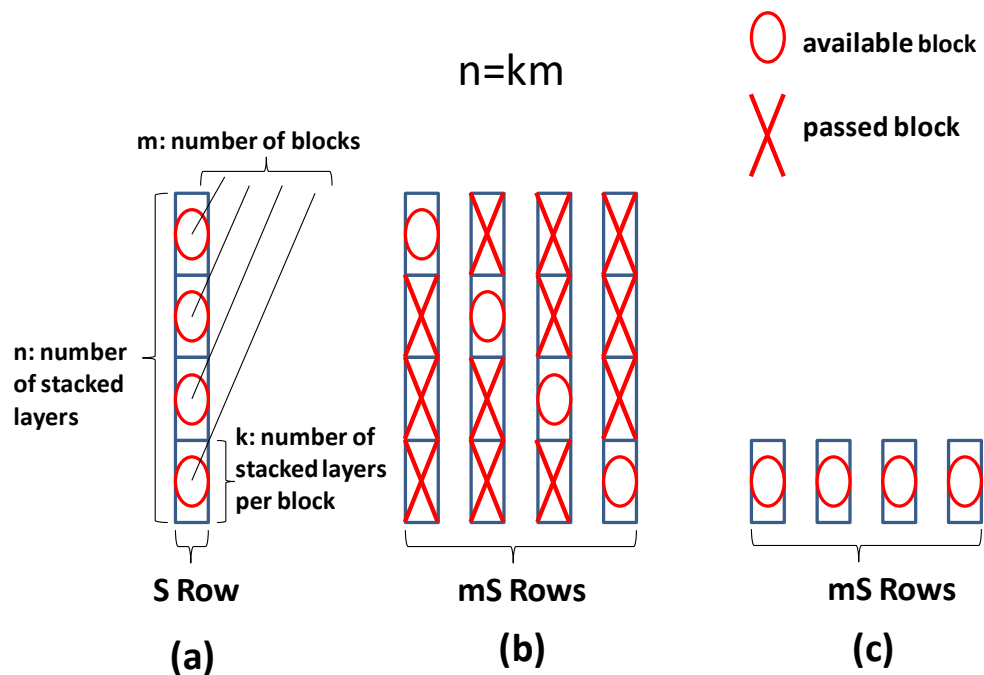


図 5-5 (a)階層積層方式、(b)従来方式(最適積層数の場合)、(c)従来方式

初めに動作速度 (遅延時間) を見積もった。一般に大容量メモリのメモリセルアレイではセルアレイ内の信号の遅延時間の大部分を WL と BL の遅延時間で占められる。本論文で対象としている NAND/NAND アレイでは、大容量メモリのメモリセルアレイの構成をそのまま組み合わせ回路の実現のために使用している。そのため大容量メモリ同様に組み合わせ回

路への入力信号を充電するための時間 (WL の遅延時間である TWL に対応) と組み合わせ回路の計算結果を出力に転送する時間 (BL の遅延時間である TBL に対応) の和で組み合わせ回路の遅延時間は計算できると仮定できる。そこで NAND/NAND アレイの遅延時間 TWL と TBL 及び組み合わせ回路の遅延時間に対応する TWL+TBL を見積もった。

図 5-6 に見積もりに用いた NAND/NAND アレイの上面方向の断面図と側面方向の断面図及びそのプロセス工程を示す。デザインルール F は 39nm を用いている[3]。セルサイズは $2F*2F=4F^2$ であり、記憶用強誘電体部分は強誘電体膜と酸化膜の 2 層構造で形成されている。その酸化膜換算の膜厚は 1 nm である。ゲート長は F、NAND/NAND アレイの WL と WL の間隔は縦方向で F とした。また WL のシート抵抗は 1 ohm/□を用いた。NAND/NAND アレイの縦方向のメモリセルサイズは、破線で示した 2F になる。

図 5-6 (C) を用いて、本提案を実現するための簡単なプロセス工程[5]-[7]を示す。初めに積層数だけ WL 用材料と N+不純物をドーピングした絶縁膜を積層する。N+不純物は後の工程で Fe-FET のソース・ドレイン部分に N+拡散を形成する時に使用される。次に Fe-FET を中に埋め込むためのトレンチの穴を形成する。更に隣接したメモリセルの WL 間を分離するために、隣接メモリセル間の WL 材をエッチングする。この際にトレンチの穴と WL 材のエッチングは自己整合的 (セルフアライン) に行い、メモリセルの縦幅は 2F で実現できるようにする。(現時点の製造技術では両者をセルフアラインに形成するのは困難であり、メモリセルの縦幅は 3F、メモリセルサイズは $3F*2F=6F^2$ になる。その場合に得られる特性に関しては第 5-5 章で詳述する)。次に WL をエッチングして除去した部分に WL 間分離用の絶縁膜を形成する。その後トレンチの穴にゲート絶縁膜用の強誘電体膜を形成し、最後に P 型半導体を埋め込む。この時に熱処理によって P 型半導体に N+不純物をドーピングした絶縁膜から N+不純物を熱拡散させソース・ドレイン部分に N+拡散を形成する。(このソース・ドレイン部分に N+を拡散形成する工程に関しては第 5-5 章で詳述する)。

次に NAND を構成する Fe-FET の ON 抵抗 RBL を求めた。読み出し時のゲート電圧のハイレベルは 1 V、プログラムされていない E タイプトランジスタの閾値電圧は $V_T=0.2V$ 、移動度 $U=200\text{cm}^2/\text{Vs}$ [8]とすると、ON 抵抗は 0.37Kohm になる。移動度の値は、動作速度を見積もる上で重要である。過去の平面構造の Fe-FET の実測値では、 $181\text{cm}^2/\text{Vs}$ [9]、 $42\text{cm}^2/\text{Vs}$ [10]、 $30\text{cm}^2/\text{Vs}$ [11]、 $22\text{cm}^2/\text{Vs}$ [12]、 $1\text{cm}^2/\text{Vs}$ [13]が報告されており、本論文で用いた $200\text{cm}^2/\text{Vs}$ は過去の実現可能な値とほぼ等しい。また[14]ではドレイン電流から推定すると $200\text{cm}^2/\text{Vs}$ 程度の値が実現できる。以上の結果より、本論文で用いた $200\text{cm}^2/\text{Vs}$ という値は、将来の技術の進展を考慮すると妥当な仮定であると考えられる。0.37Kohm に Fe-FET が直列に接続された数を乗じた値が NAND 論理の BL 方向の総抵抗になる。BL の容量は大部分通過する Fe-FET のゲート容量 C_g が占める。BL の総容量はこれに Fe-FET が直列に接続された数を乗じた値になる。BL の遅延時間 TBL は BL の総容量と総抵抗の積であらわされる。同様に水平方向に走る WL の遅延時間 TWL を求めた。図 5-6 より 1 個の Fe-FET のゲート容量 C_g は 0.000136 pF、ゲートの抵抗 R_{WL} は 5.16ohm になる。そして S 個列方向に Fe-FET を配置するとして TWL を求めた。以上見積もり結果を表 5-1 にまとめた。

N+ doped Insulating layer
 Psub

Ferro electric film
 N⁺ diffusion
 WL

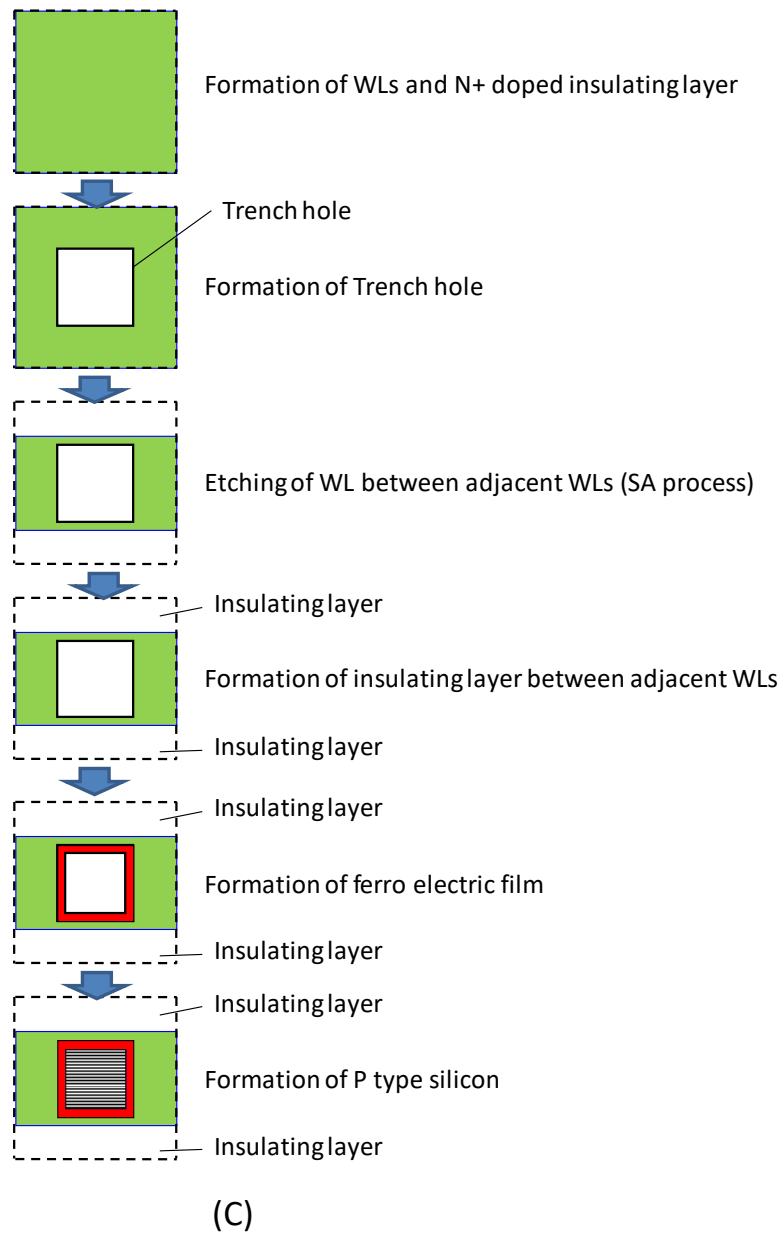
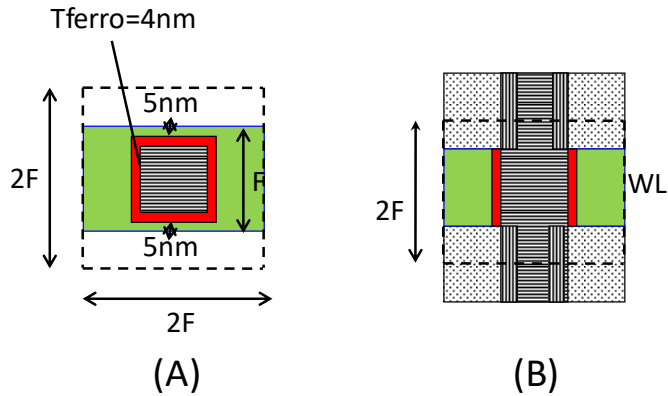


図 5-6 NAND・NAND 論理の断面図 (a)上面図、(b)断面図、(c)製造プロセス

図 5-7 に図 5-1 で 4 年後に対応する最適積層数 $n=128$ ($k=8, m=16$) の場合の遅延時間の絶対値の見積もり結果を示す。 $S=128$ の場合、提案方式では遅延時間は従来方式 1, 2 に比較して小さく、約 0.8ns となる。この値は最高速の MPU には及ばないが、MPU 程高速動作が必要とされない ASIC, FPGA 等には十分に適用できる値である。(この遅延時間が参考文献[1]のメガビット級の FeRAM のアクセス時間 50ns と比較して非常に小さいのは参考文献[1]の元になっている参考文献[3]と計算の仮定が大きく異なるためである。たとえば[3]では $\text{TWL}+\text{TBL}$ の 10 倍の時間が他の回路の動作で必要で、移動度の値は当時実現できた今回の検討の $1/10$ 程度の値を使用しており、WL には今回の検討の 10 倍以上の Fe-FET が接続されることを仮定している。MPU と同等の動作速度を目指すためには低コスト化を少し犠牲にして積層数を半分の 64 段 (0.2ns)、もしくは $1/4$ の 32 段 (0.05ns) に低減する必要がある)。

表 5-1 動作速度(遅延時間の見積もり)

	Proposed (Fig.6 (a))	Conventional 1 (Fig.6 (b))	Conventional 2 (Fig.6 (c))
TWL	$S^2R_{\text{WL}}C_g$	$m^2S^2R_{\text{WL}}C_g$	$m^2S^2R_{\text{WL}}C_g$
TBL	$k^2m^2R_{\text{BL}}C_g$	$k^2m^2R_{\text{BL}}C_g$	$k^2R_{\text{BL}}C_g$
TWL+TBL	$(S^2+(R_{\text{BL}}/R_{\text{WL}})k^2m^2)R_{\text{WL}}C_g$	$(m^2S^2+(R_{\text{BL}}/R_{\text{WL}})k^2m^2)R_{\text{WL}}C_g$	$(m^2S^2+(R_{\text{BL}}/R_{\text{WL}})k^2)R_{\text{WL}}C_g$

$$R_{\text{BL}}/R_{\text{WL}}=71.7$$

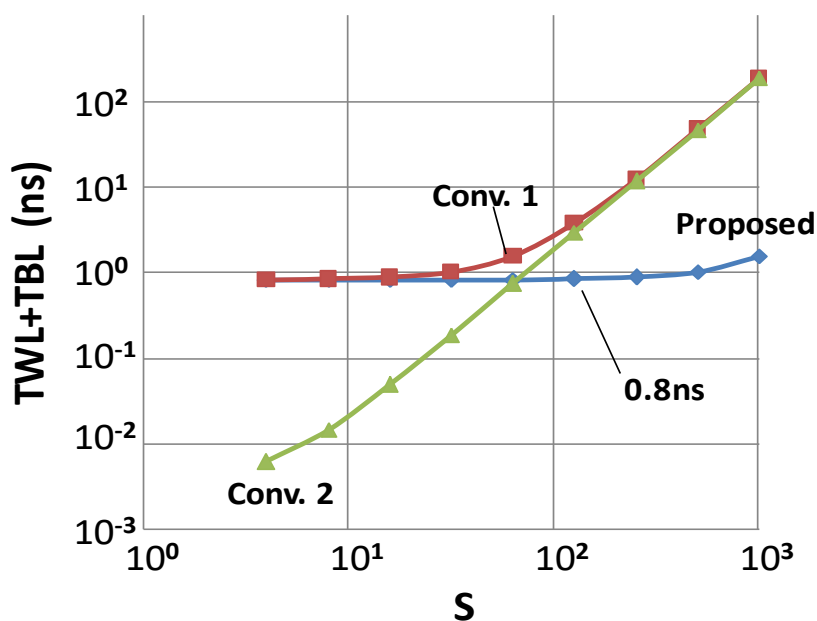


図 5-7 遅延時間の比較

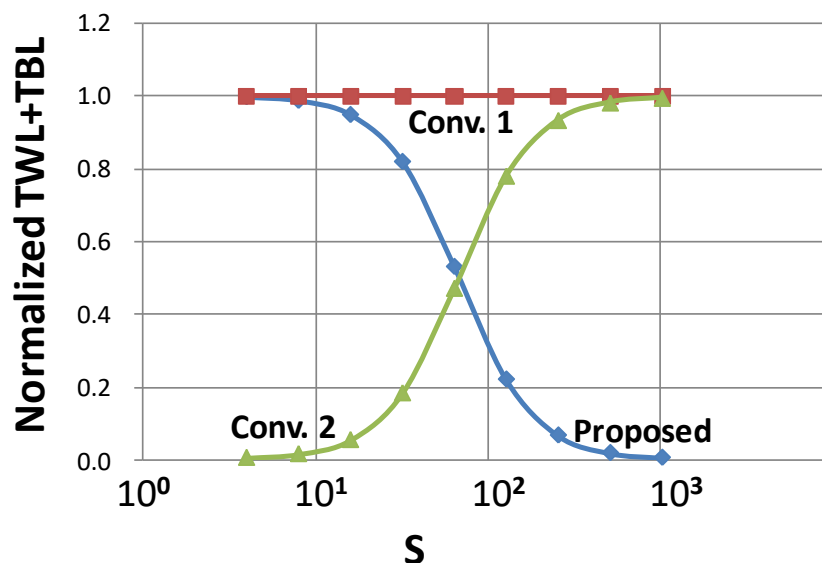


図 5-8 遅延時間の比較(Conv1 基準)

図 5-8 に提案方式と従来方式 1, 2 と遅延時間の詳細を示した (図 5-2 で 4 年後に対応する最適積層数 $n=128$ ($k=8, m=16$) の場合)。提案方式は S の値によらず従来方式 1 より遅延時間は小さい。一方従来方式 2 と比較して S が 64 以下の BL 遅延が支配的な場合は従来方式 2 の方が遅延時間が小さいが、 S が 64 以上の WL 遅延が支配的な場合には提案方式の方が遅延時間が小さくなる。 S が 64 近辺で BL 遅延と WL 遅延の大小関係が切り替わる。これは RBL と RWL の比が約 72 倍であるという結果に対応している。以上の結果より積層数が 128 層と大きくそれに対応して列方向の Fe-FET 数 S も大きい (128 以上) 大規模システム LSI (全部で $16 \times 128 = 2048$ 個の論理を実現可能) では提案方式の方が従来方式 (従来方式 1、従来方式 2) より高速になることが分かる。

表 5-2 読み出し時の消費エネルギー見積もり

	Proposed (Fig.6 (a))	Conventional 1 (Fig.6 (b))	Conventional 2 (Fig.6 (c))
EWL	$(\frac{2m-1}{2})kSCgV_H^2$	$\frac{m^2}{2}kSCgV_H^2$	$\frac{m}{2}kSCgV_H^2$
EBL	$mkSCgV_H^2$	$m^2kSCgV_H^2$	$mkSCgV_H^2$
EWL+EBL	$(\frac{4m-1}{2})kSCgV_H^2$	$\frac{3m^2}{2}kSCgV_H^2$	$\frac{3m}{2}kSCgV_H^2$

$$V_H=1V$$

次に読み出し時の消費エネルギーを求めた。NAND/NAND アレイの消費電力は入力信号の充放電 (メモリアレイの WL に対応する) によるもの EWL と出力信号の充放電 (メモリアレイの BL に対応する) によるもの EBL の和として表わされる。その見積もり結果を表

5-2 にまとめた。表 5-2 では簡略化のために選択したブロックの入力信号のハイレベルの電圧と通過ブロックの入力信号の電圧と出力のプリチャージ電圧は同じ電圧 V_H であると仮定した（本論文では 1 V を仮定している）。表より消費エネルギーの値は各方式で異なるのは m の値だけであることがわかる。図 5-9 に m の値をパラメータにした各方式の消費エネルギーの比較結果を示す。 m の値によらず最も消費電力が大きいのは従来方式 1 であり、提案方式と従来方式 2 はほぼ同じ値になることがわかる（詳細には提案方式の方が 1.17~1.33 倍大きくなる）。

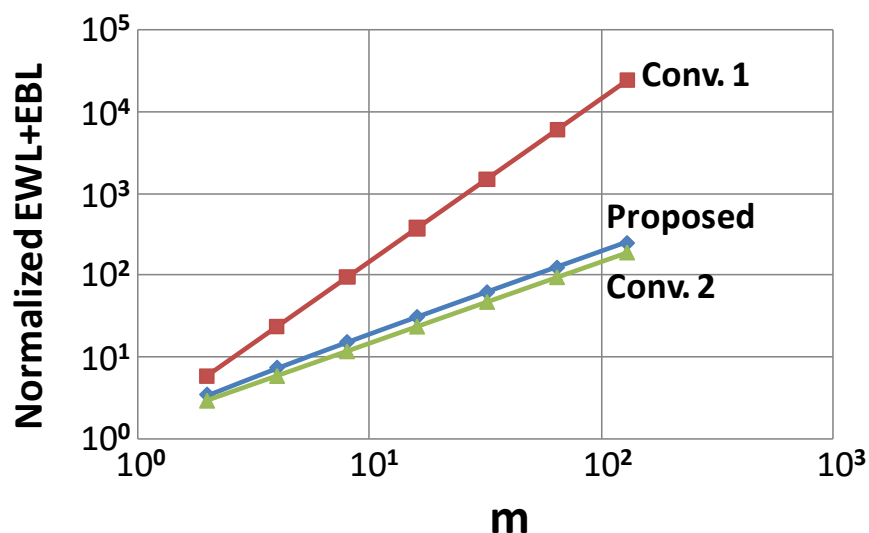


図 5-9 消費エネルギー比較

5-4. パターン面積と製造コストの見積もり

本章では各方式のパターン面積と製造コストを見つめる。LSI の製造コストはパターン面積と工程数に比例し、歩留まりに反比例することが知られている[1][14]-[17]。そこで各方式でパターン面積、単位面積当たりのコスト、及びパターン面積と単位面積当たりのコストの積で求められる LSI 全体の製造コスト、 k 個の Fe-FET で構成される 1 個のブロックの製造コストを求めた。メモリでは 1 ビット当たりの製造コストであるビットコストを最小にするのが重要であるのに対し、システム LSI ではこの 1 個の回路ブロック当たりの製造コストを最小にすることが重要になる。その結果を表 5-3 に示す。その計算に当たっては単位面積当たりのコストとして過去の研究より[1][15]-[17]で使われている (5-1) 式を用いた。(5-1)式により N 層積層化した時の 1 層の時とのコスト比が見積もられる事が知られている。

$$\text{単位面積当たりの製造コスト} = K(1.12+0.04N)/Y^{(1.12+0.04N)} \quad (5-1)$$

(1.12+0.04N)は N 層積層した時の工程数、1.12 のうち 1 は 1 層での工程数、0.12 は 2 層以上積層するために必要な工程数、0.04 は 1 層増加するごとに増える工程数に対応してい

る。1層追加するためには、図 5-6(b)に示すようにゲートと層間絶縁膜の 2 工程が必要になる。それぞれ 0.02 工程とすると合計で $0.02 \times 2 = 0.04$ 工程になる。また Y は 1 層構造の歩留まり、K は従来の積層型 NAND/NAND アレイ方式の場合の比例定数を示す。現在製品化が進められている積層型 NAND フラッシュメモリでは 32~64 層が想定されているが[1]、その場合は $Y=90\%$ でビット当たりのビットコストは最小になる。本研究では将来をターゲットにしているので 4 年後に実現できると仮定している 128 層の時ビットコストが最小になる $Y=95\%$ として見積もりを行う。

本提案でのパターン面積と製造コストの見積もりの際に重要なのは、機能の異なる NAND アレイ 1 と NAND アレイ 2 の両者に共通して使用される LSI 全体の積層段数である。

従来の方式 (図 5-5(b)、(C)) では、第 5-1 章で述べたように NAND アレイ 1 と NAND アレイ 2 の必要層数のうち大きい値の方を使用していた。本提案でもこの設計法を適用し、任意の回路ブロックの NAND アレイ 1 と NAND アレイ 2 の積層段数は同一で必要段数が大きい方を採用する。またどの回路ブロックでもその積層段数は同一 (前章での k に対応) とした。(そのため NAND アレイ 1 と NAND アレイ 2 内に一部論理を実現するために使用しない冗長な部分が発生している。将来この冗長部分を低減して更なる製造コストの削減が期待できる方式の検討が望まれる)。

表 5-3 より最終的に小さくしたい 1 個のブロックの製造コスト (Cost/unit block) は、提案方式では積層数が増加し積層出来るブロックの数 m が増加すると値が減少するのに対し (m が 32 以上になると増加する)、従来例 1 では増加し (F(m, k) は m に対して増加関数)、積層数が一定で m = 1 に対応する従来例 2 では一定値になることが予想される。それを解析した結果を図 5-10 に示す。4 年後に実現できると仮定している 128 層 (m=16) の時には、提案方式の 1 個のブロックの製造コストは最小になり、その値は従来方式 1 の 0.063 倍に、従来方式 2 の 0.364 倍に低減できる特徴があることが分かった。

表 5-3 パターン面積と製造コストの比較

	Proposed (Fig.6 (a))	Conventional1 (Fig.6 (b))	Conventional2 (Fig.6 (c))
Pattern area	$S \times 4F^2$	$mS \times 4F^2$	$mS \times 4F^2$
Cost /unit area	$F(m,k) = (1.12 + 0.04mk)Y^{(1.12 + 0.04mk)}$		$(1.12 + 0.04k)Y^{(1.12 + 0.04k)}$
Cost /chip	$F(m,k) \times S \times 4F^2$	$F(m,k) \times mS \times 4F^2$	$F(1,k) \times mS \times 4F^2$
Cost /unit block	$F(m,k) \times 4F^2/m$	$F(m,k) \times 4F^2$	$F(1,k) \times 4F^2$

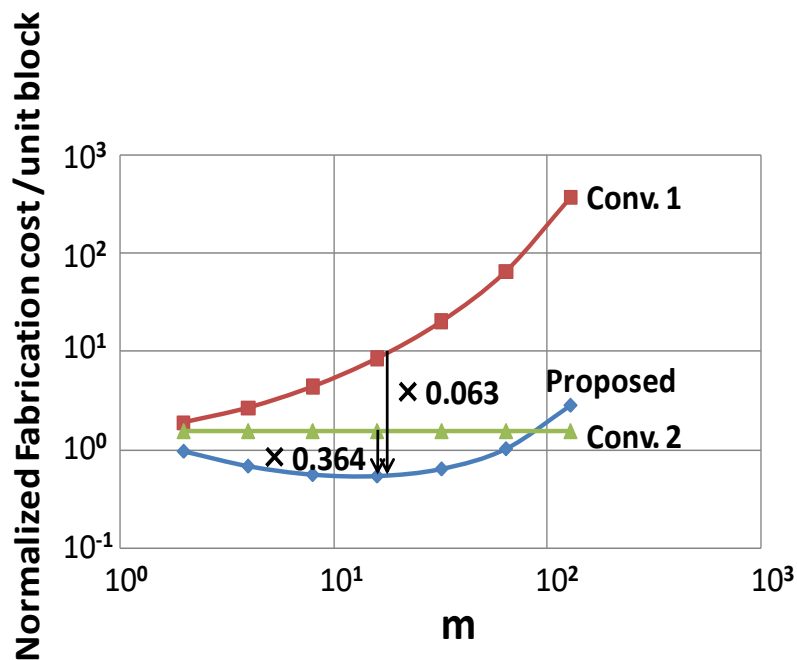


図 5-10 製造コスト/単位ブロックの比較

以上により新たに提案した階層方式は、将来 128 層積層出来る世代には、従来方式と比較してほぼ同程度の動作速度と消費電力で約 36%の 1 つの回路当たりの製造コストで実現できる特徴がある。その遅延時間は 0.8ns と MPU には及ばないものの、通常の ASIC, FPGA 等に対応できるものである。しかもその製造技術は基本的に積層型メモリと積層数も含め同じ製造技術を使用することが出来る。以上の結果を表 5-4 にまとめた。

表 5-4 本章のまとめ

	Proposed (Fig.6 (a))	Conventional 1 (Fig.6 (b))	Conventional 2 (Fig.6 (c))
Fabrication Tech.	Same technology as stacked memory		Extra development is required
Cost /unit block	0.346	5.545	1
TWL+TBL	0.29	1.28	1
EWL+EBL	1.31	16.0	1

m=16, k=8, n=128, S=128, Y=95%

5-5. メモリセルサイズ、プロセス工程に関する考察

前章までにメモリセルサイズが $4F^2$ で図 5-6 (C) のプロセス工程が実現した理想的な場合

の遅延時間、消費電力、製造コストの評価結果について述べた。しかしながら現在の製造技術レベルでは、図 5-6 (C) で示した WL 材をエッチングする工程とトレンチの穴をあける工程をセルフアラインに実現するのは難しい。そのため両者は非セルフアラインに行われ、最悪程度に両者の工程が合わせずれしても同じ大きさのトレンチの穴をあけるには、メモリセルの縦幅は $3F$ 、WL の縦幅は $2F$ に広げる必要がある (図 5-11 (a))。そこで本章ではメモリセルサイズが $6F^2$ になった時の遅延時間、消費電力、製造コストを見積り $4F^2$ の場合と比較した。本論文では積層方式同士の比較を行っている為、消費電力、製造コスト、BL 方向の遅延時間 TBL はメモリセルサイズによらない。それに対して 1 メモリセル当たりの WL 抵抗である RWL はメモリセルサイズ (WL の縦幅) によって異なるため WL 方向の遅延時間 TWL はメモリセルサイズに依存する。それを考慮した遅延時間 TBL+TWL の評価結果を図 5-11 (b) に示す。 $6F^2$ の場合でも図全体の傾向は $4F^2$ の場合とほとんど変わらない。Conv2 と今回の提案方式の TBL+TWL の交点が $S=64$ の 2 倍の $S=128$ になり、 $S=128$ での提案方式の遅延時間が 0.8ns と $4F^2$ の場合と同じになっている。(図 5-12 に合わせて Conv1 を基準にした遅延時間を示す)。

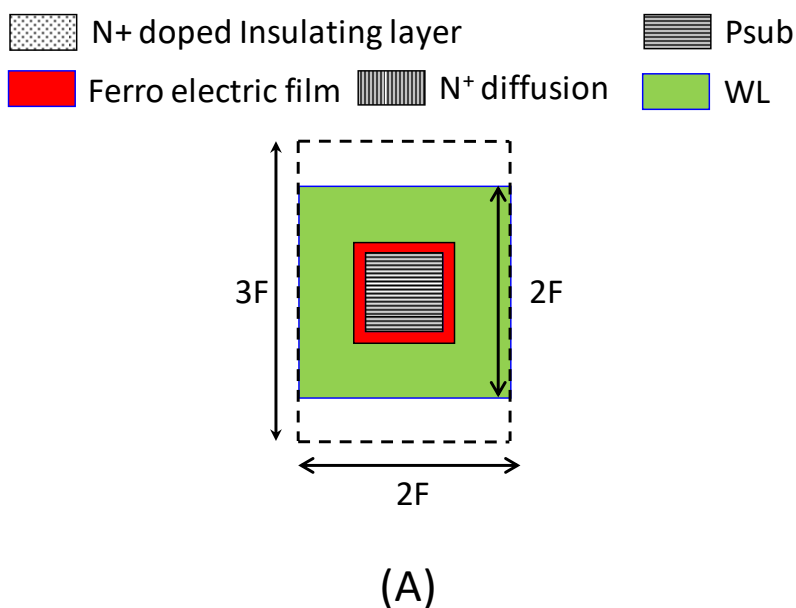


図 5-11(a) NAND/NAND アレイ (セルサイズ $6F^2$) の上面図

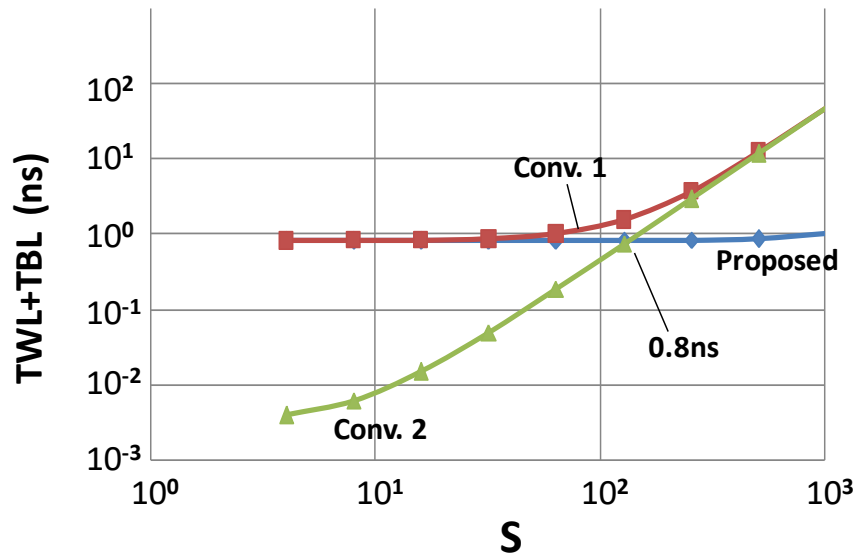


図 5-11(b) 遅延時間(セルサイズ 6 F²)

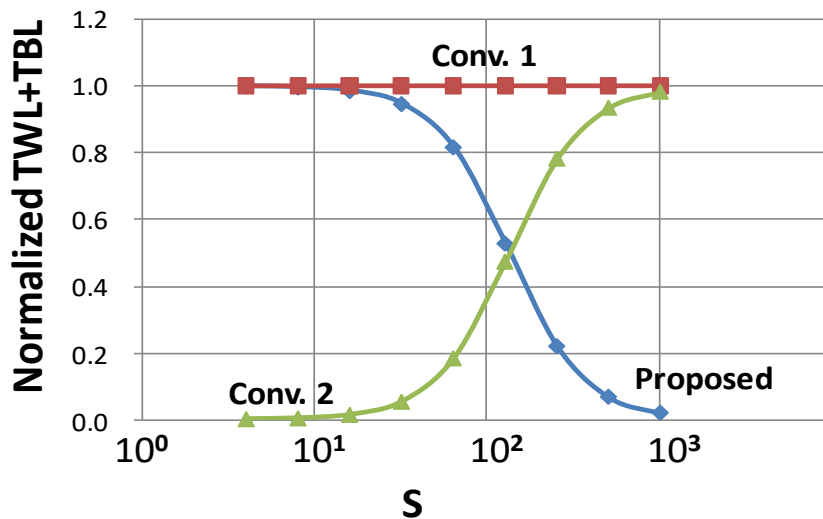


図 5-12 遅延時間(Conv1 基準、セルサイズ 6 F²)

また本提案では Fe-FET のソース・ドレインへの N+形成は WL 間の層間絶縁膜からの拡散を想定している (図 5-6 (C))。この製造方法はバイポーラトランジスタのベース (P+) /エミッタ (N+) 形成、DRAM のストレージノード形成[19]、基板プレート型 DRAM (N+/P+) の基板形成[19]等に用いられている方法で実現可能であると考えられる。とは言うもののこの方式で十分な N 型不純物が P 型基板に拡散されないと N+拡散部分の抵抗が大きくなり、動作速度の低下を引き起こす懸念がある。その対策法として図 5-6 (C) の強誘電体膜形成後に薄い N 型半導体を形成して N+ソース・ドレイン部分の低抵抗化を確実にする方法 (プログラムをしない初期状態には D タイプ Fe-FET になる。エンハンスメント型 Fe-FET にするにはプログラムを行う)、やソース・ドレイン部分にはプロセス的には N+層を形成せず、

ゲート電界だけでソース・ドレイン部分を反転させる方法[20]等が考えられ、今後の検討課題とする。

5-6. 結論

大容量積層型メモリに使用されている縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイを新たに考案し、そのロジック LSI への適用方法を提案した。提案方式では縦方向に互いに独立に動作する回路を複数個積層する階層構造を新たに導入している。従来の縦方向に 1 種類の回路のみを配置する方法と比較して、パターン面積と 1 つの回路当たりの製造コストを低減できる特徴がある。縦方向に 16 個の回路を積層した場合、動作速度と読み出し時の消費エネルギーを犠牲にする事無く、1 つの回路当たりの製造コストを従来方式の約 36%に低減できる。提案方式は大容量積層型メモリの製造技術を変更無しで適用することにより、低コストで高速な ASIC,FPGA 等のロジック LSI の組み合わせ回路を実現する手段として非常に有効である。

第 5 章の参考文献

- [1]横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.”電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016.
- [2]浅野, “デジタル回路演習ノート” コロナ社 2001 年
- [3] 菅野孝一, 渡辺重佳, “積層方式 NAND 構造 1 トランジスタ型 FeRAM の設計法.” 電学論 (C), vol.130, no.2, pp.226-234, 2010.
- [4]菅野孝一, 渡辺重佳 “積層型 NAND 構造 1 トランジスタ型 FeRAM の読み出し方式の検討” 電子情報通信学会 C, Vol.J91-C, No.11, pp.668-669, 2008.
- [5] 渡辺重佳, 菅野孝一, 玉井翔人 “先端不揮発性メモリの BiCS 型積層化に関する検討.” 信学技法 SDM2008-145, pp.97-102, 2008.
- [6] 菅野孝一, 渡辺重佳, 積層型 NAND FeRAM の設計法.” 信学技法 ICD2010-13, pp.69-74, 2010.
- [7] 渡辺重佳, “新型メモリの将来展望とその BiCS 型積層化に関する検討.” 湘南工科大学紀要 vol.43, no.1, pp.47-66, 2009.
- [8] 加藤翔, 渡辺重佳, “積層方式 Chain 構造 PRAM の設計法,” 電気学会論文誌 C, Vol.133, No.5, pp.937-946, 2013.
- [9] T.P.-C. Juan et al., “A new metal - ferroelectric (PbZr_{0.57}Ti_{0.43}O₃) – insulator (Dy₂O₃) semiconductor (MSIF) FET for nonvolatile memory applications”, IEEE Trans. Electron Device Lett., vol.27, no.4, pp. 217 - 220, 2006.

- [10] M. Tang et al., "Impact of HfTaO buffer layer on data retention characteristics of Ferroelectric-gate FET for nonvolatile memory applications", IEEE Trans. Electron Devices, vol. 58, no.2, pp. 370 - 375, 2011.
- [11] S. -M. Moon et al., "Impact of interface controlling layer of Al₂O₃ for retention behaviors of In-Ga-Zn oxide-based ferroelectric memory transistor", Appl. Phys. Lett., vol. 96, no.23, pp.232903-1 -232903-3, 2010.
- [12] W.-C. Shih et al., "Fabrication and characterization of metal ferroelectric (PbZr_{0.53}Ti_{0.47}O₃) – insulator (Y₂O₃) – semiconductor Field Effect Transistors for nonvolatile memory applications", J. Appl. Phys. vol. 103, no.9, pp.094110-1 -094110-5, 2008.
- [13] C. H. Park et al., "Enhancing the retention properties of ZnO memory transistor by modifying the channel/ferroelectric polymer interface", Appl. Phys. Lett., vol. 95, no.15, pp.153502-1 -153502-3, 2009.
- [14] E. Yurchuk et al., "Impact of Scaling on the Performance of HfO₂ Based Ferroelectric Field Effect Transistors", IEEE Trans. Electron Devices, vol. 61, pp. 3699 - 3706, 2014.
- [15] S. Tamai and S. Watanabe, "Analysis of bit cost for stacked type MRAM with NAND structured cell," Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [16] S. Tamai and S. Watanabe, "Design method of stacked type MRAM with NAND structured cell", Contemporary Engineering Sciences, vol.6, no.2, pp.69-86, 2013.
- [17] 菅野、渡辺、"酸化物導電膜チャンネルを用いた積層型 FeRAM の設計法" 電気学会論文誌 C vol.131, no.4, pp.810-817,2011
- [18] S. Watanabe et al., "An experimental 16-Mbit CMOS DRAM chip with a 100MHz serial read/write mode", IEEE J. Solid-State Circuits, vol.24, no.3, pp.763-770,1989.
- [19] T. Kaga et al., "Half-V/sub CC/ sheath-plate capacitor DRAM cell with self-aligned buried plate wiring", IEEE Trans. Electron Devices, vol. 35, no.8, pp. 1257 - 1263, 1988.
- [20] M. Kinoshita et al., " Scalable 3-D Vertical Chain-Cell-Type Phase-Change Memory with 4F² Poly-Si Diodes, Symp.on VLSI Technology, 2012.
- [21] 横田智広, 渡辺重佳, "縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 ." 電気学会論文誌 C, vol.137, no.5, pp.678-686, 2017. 平成 30 年電気学会、平成 30 年 電子・情報・システム部門誌優秀論文賞受賞

6. 積層型 SGT を用いた Fe-FET 順序回路

6-1. 序論

4 章にて提案された多段積層縦型トランジスタ構造を用いた Fe-FET NAND/NAND アレイでは任意の論理を実現できるがそれはいわゆる組み合わせ回路に限定される。組み合わせ回路の出力を記憶するフリップフロップ（以下 FF と略す）の提案は現在まで無いため、組み合わせ回路と FF を組み合わせたいわゆる順序回路は現時点では提案されていない。現在のシステム LSI は大部分 FF を用いた順序回路で実現されている為[1]、過去提案されている多段積層縦型トランジスタ構造を用いた Fe-FET NAND/NAND アレイだけでは現在のシステム LSI を代替できない問題があった。

本章ではこの問題を解決する多段積層縦型トランジスタ構造を用いた Fe-FET 順序回路を新たに提案する。

本章は以下のように構成されている。第 6-2 章では新たに提案する多段積層縦型トランジスタ構造を用いた Fe-FET 型 FF について述べる。第 6-3 章では具体的な順序回路（サイコロカウンタ）を多段積層縦型トランジスタ構造を用いた Fe-FET 順序回路を用いて設計した例を示し、そのパターン面積を 1 層型 SGT を用いて設計した場合と比較する。第 6-4 章ではサイコロカウンタ以外の各種順序回路を多段積層縦型トランジスタ構造を用いた Fe-FET 順序回路を用いて設計した場合のパターン面積と製造コストについて述べる。また、それらを 1 つの再構成可能論理として実現した場合に関して考察し、第 6-5 章をまとめとする。

6-2. 積層型 SGT を用いた Fe-FET 型フリップフロップ

通常平面型トランジスタを用いて設計されたシステム LSI では、FF として構成が簡単な D-FF を使用する。その構成はなるべく素子数が少なくパターン面積が小型化できる 4 個のインバータと 2 組の転送ゲートの合計 12 素子で実現される方式が用いられる ([1]p337)。多段積層型トランジスタは、パターン面積は入力数に関係なく同一で、入力数が少ない回路ほど使用しない通過トランジスタ（図 6-1 の D タイプトランジスタ）が多くなり、論理回路としての使用効率が落ちる、転送ゲートは簡単には実現できない等の問題点がある。

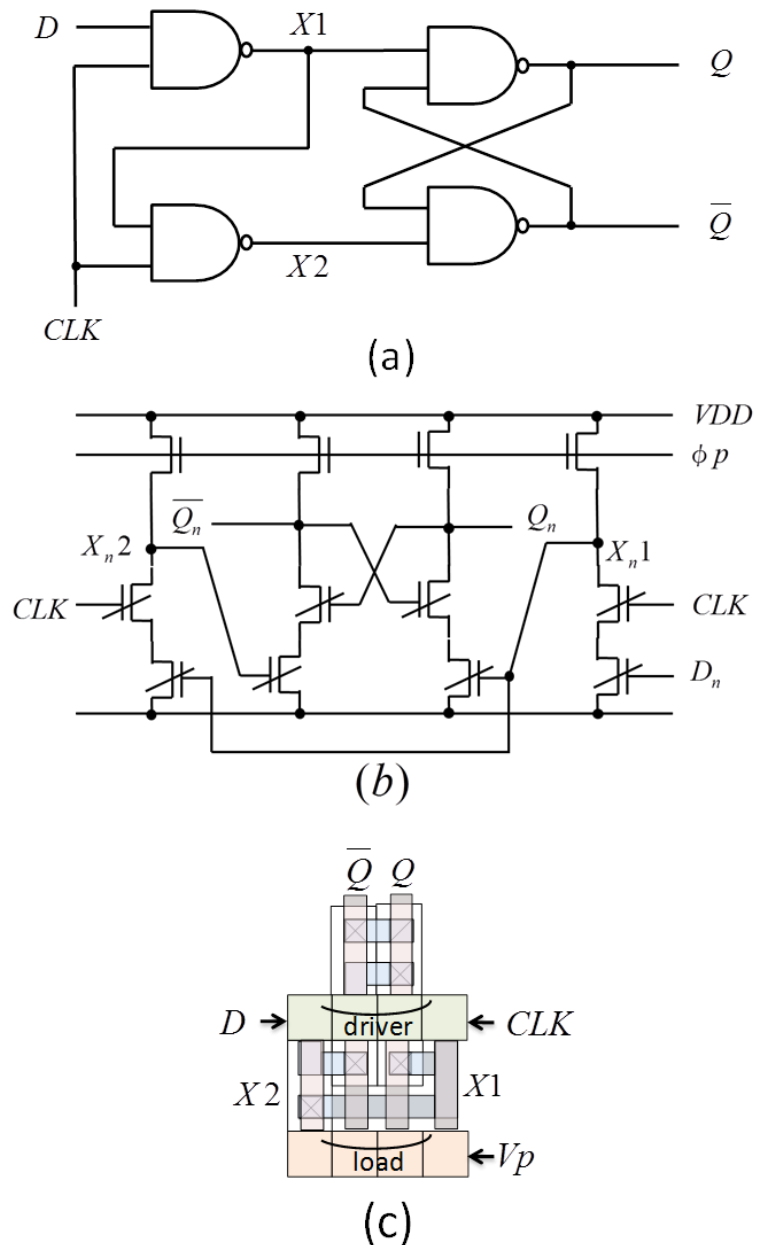


図 6-1 新たに提案する FF (a)論理回路図、(b)等価回路図、(c)上面図

これを解消するため、新たな提案では図 6-1(a)に示すような 2 入力の NAND 回路 4 個によって D-FF を実現する方式を用いる。図 6-1 はダイナミック動作を用いる。図 6-1 で CLK 信号と ϕp 信号は逆相で動作する。負荷部分には出力ノードのプリチャージ制御に nMOS トランジスタを用いる(図 6-1(b))。その上面図を図 6-1(c)に示す。多段積層縦型トランジスタ構造を用いている為、素子数が多いがトランジスタの専有面積はそれほど大きくない。それに対し回路の内部ノード (X1、X2) を隣接した多段積層縦型トランジスタ構造のゲートに入力したり、回路の出力 Q とその反転信号をクロスカップルさせる等の回路内のゲートへの接続部分のパターン面積が無視できない程度に大きくなっている。

この多段積層縦型トランジスタ構造を用いた Fe-FET 型 FF は製造技術的には従来提案さ

れたものと同じ製造方法で実現できる。多段積層縦型トランジスタ構造 Fe-FET 順序回路を実現する場合には両者を隣接して配置し、積層段数が同じになるように調整することにより実現できる。その具体例に関しては第 6-3, 6-4 章で詳しく述べる。(ジョンソンカウンタ[2]のように FF 部分のみで構成され、組み合わせ回路部分が存在しない場合には、本章で述べた多段積層縦型トランジスタ構造を用いた Fe-FET 型 FF のみでシステム LSI を実現できる)。

6-3. 積層型 SGT を用いた Fe-FET 順序回路設計例 (サイコロカウンタ)

本章では新たに提案した多段積層縦型トランジスタの具体的な例としてサイコロカウンタ[3]について述べる。

まず初めに比較の対象として、従来の平面構造の SGT を用いてサイコロカウンタを設計した。図 6-2 に等価回路を示す。ここで組み合わせ回路には NAND/NAND 論理を用い、FF には今回提案した図 6-1 (b) の回路構成を想定している。図 6-2 の回路を平面構造の SGT を用いて設計したパターンを図 6-3 に示す。ここでは SGT のシリコン柱は最小の $F * F$ (F はデザインルール) を想定している。パターンの上部は NAND/NAND 論理が下部には 3 個の FF が配置され、その間に横方向に配線が走る。配線数が多いため比較的配線領域の面積は大きい。またこの回路の場合には NAND/NAND 論理に使われる素子数が比較的少ないため、パターンの横幅は上部の組み合わせ回路ではなく下部の FF で決まっている。そのパターン面積は縦 $73F *$ 横 $96F = 7008F^2$ となる。

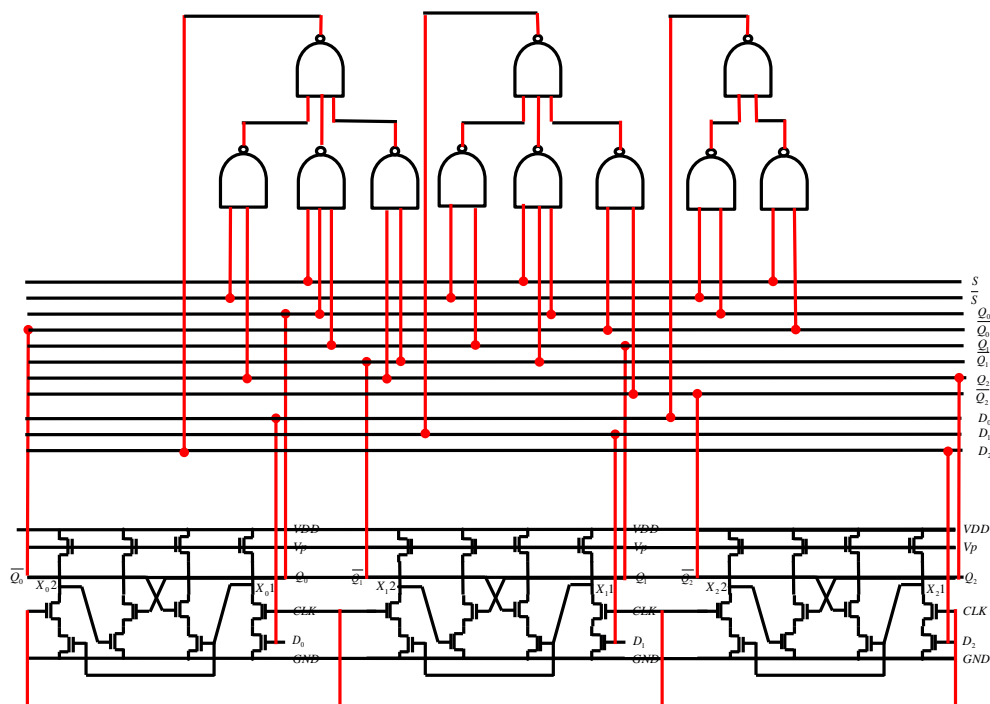


図 6-2 サイコロカウンタの等価回路図 (従来の平面型 SGT)

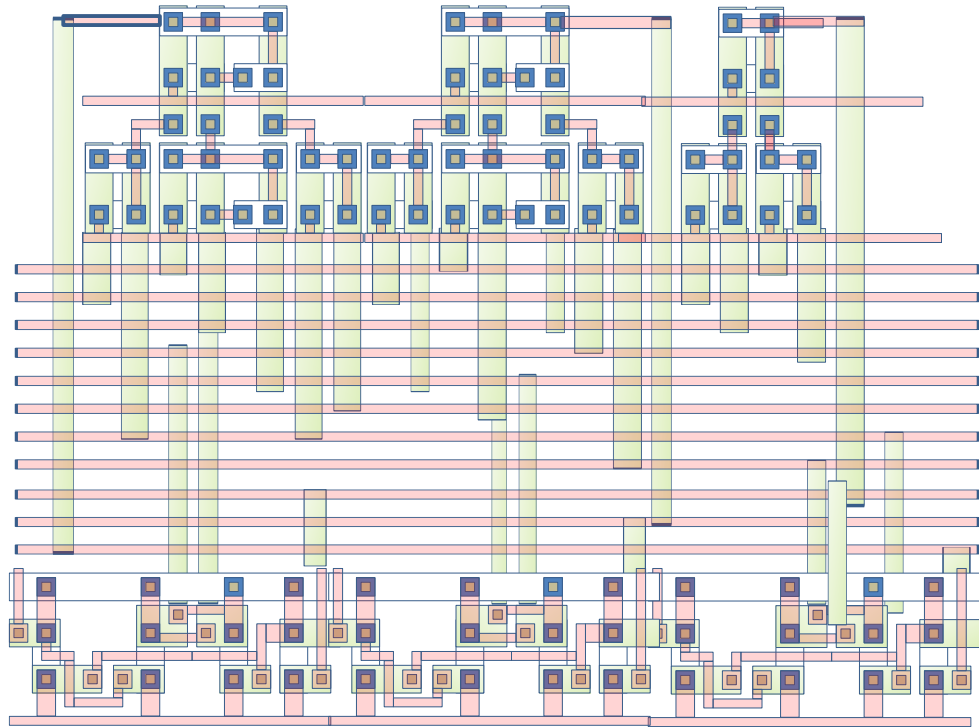


図 6-3 サイコロカウンタのレイアウト図 (従来の平面型 SGT)

次にサイコロカウンタを今回提案した多段積層縦型トランジスタ構造を用いた Fe-FET 順序回路を用いて設計した内容について述べる。図 6-4 にその NAND/NAND 論理のトランジスタの接続図を示す。ダイナミック動作を採用している。左側の 8 個の NAND 列で 1 段目の NAND 論理を実現し、右側の 3 個の NAND 列で 2 段目の NAND 論理を実現している。簡単のために 1 段目と 2 段目の接続に用いる転送型トランジスタ (図 1 のゲートに ΦT が入力されるトランジスタ) に対応する部分は省略している。図に示すように 1 段目の NAND 論理には合計 11 種類の信号がゲートに入力されているが、合計 16 段の Fe-FET が接続されている。これは隣接して配置される FF では 16 個の入力が必要になるため、下部の 5 段には常に Fe-FET が導通するように高電圧 V_{PP} が入力している。図 6-4 で論理として必要にならない Fe-FET は NAND 回路内の信号の通路になるように予め高電圧を用いてプログラムを行い、トランジスタを D タイプ化させる。

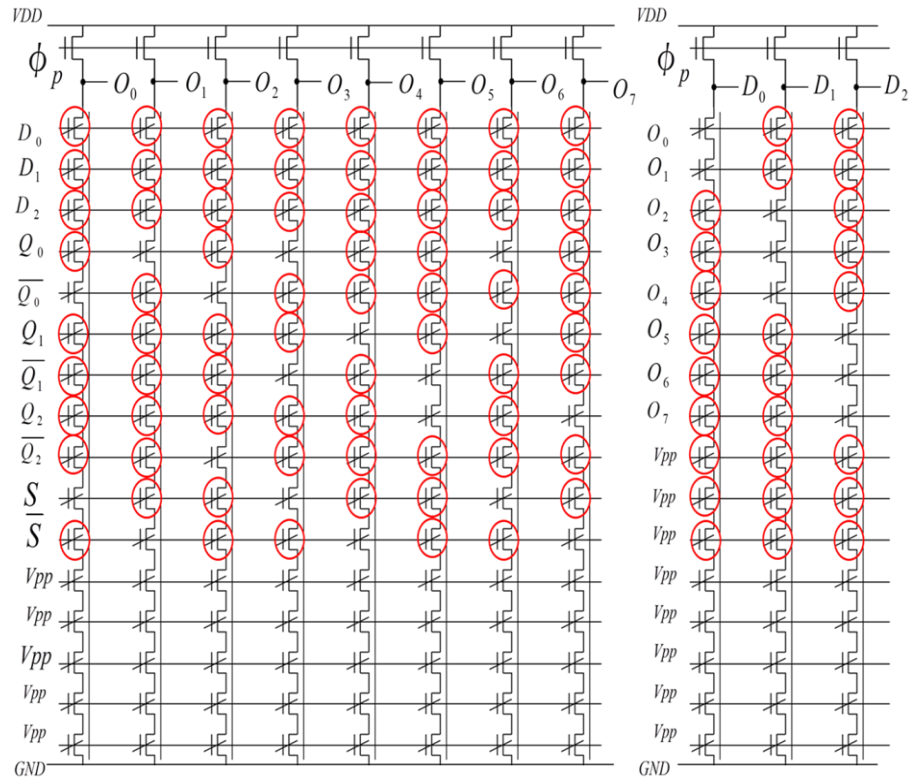


図 6-4 新方式によるサイコロカウンタのトランジスタの接続図 (NAND/NAND 論理部分)

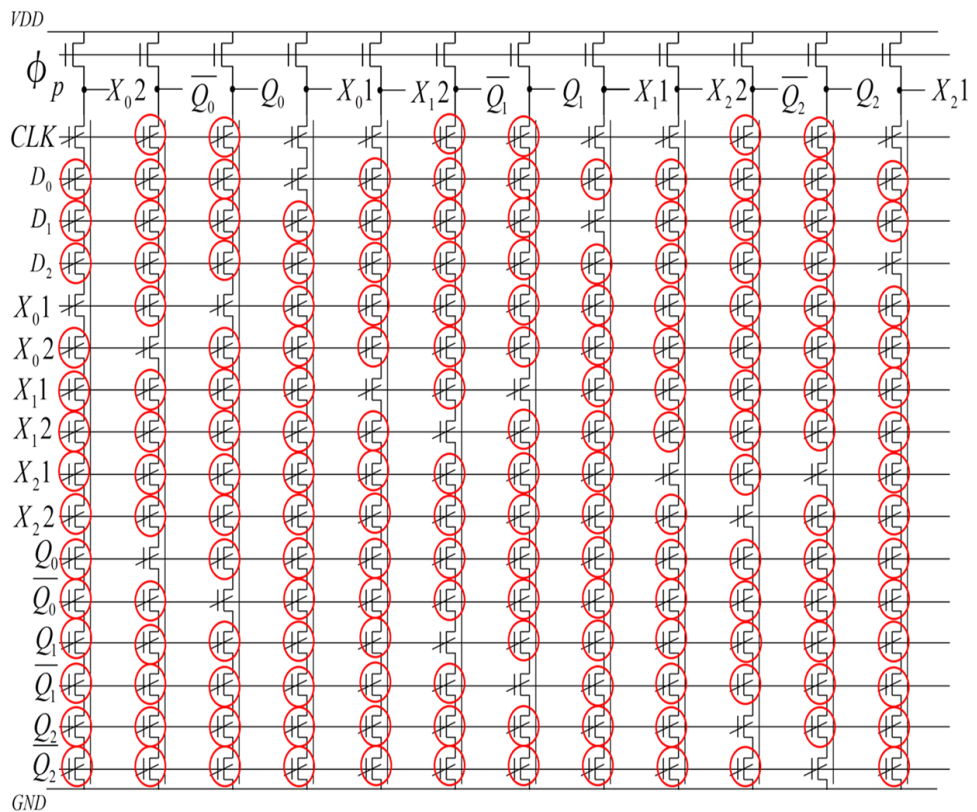


図 6-5 新方式によるサイコロカウンタのトランジスタの接続図 (FF 部分)

次に図 6-5 に FF 部分のトランジスタの接続図を示す。ダイナミック動作を採用している。1 個の FF で 4 列、3 個の FF で合計 $4 \times 3 = 12$ 列の NAND 列を用いて 3 個の D—FF を実現している。ゲートには 16 個の信号が入力され、それらが 16 段の Fe-FET のゲートに入力されている。図 6-4 同様に論理として必要にならない Fe-FET は NAND 回路内の信号の通路になるように予め高電圧を用いてプログラムを行い、トランジスタを D タイプ化させる。図 6-4、6-5 を実現するために必要な模式的なパターンを図 6-6 に示す。平面型の場合と同様に SGT のシリコン柱は最小の $F \times F$ (F はデザインルール) を想定している。このパターン面積は縦 $28F$ * 横 $38F = 1064F^2$ となる。この面積は図 6-3 で述べた従来の平面型 SGT で設計した場合の $7008F^2$ と比較してわずか 15.2% に縮小されている。この大幅な面積縮小効果は本方式の特徴であり、NAND/NAND 論理部のみならず、今回提案した FF 部でも面積縮小手段として有効であることが分かった。この回路で NAND/NAND 論理部分、配線部分、FF 部分のうちどこが最もパターン面積の縮小効果が大きいのか求めた。その結果 NAND/NAND 論理部分は約 19% に、配線部分は約 4% に、FF 部分は約 23% に面積が縮小されていることが分かった。今回新たに提案した FF 部分でも NAND/NAND 論理部分と配線部分と比較して若干面積縮小率が低いものの十分な縮小効果が実現されていることが分かった。

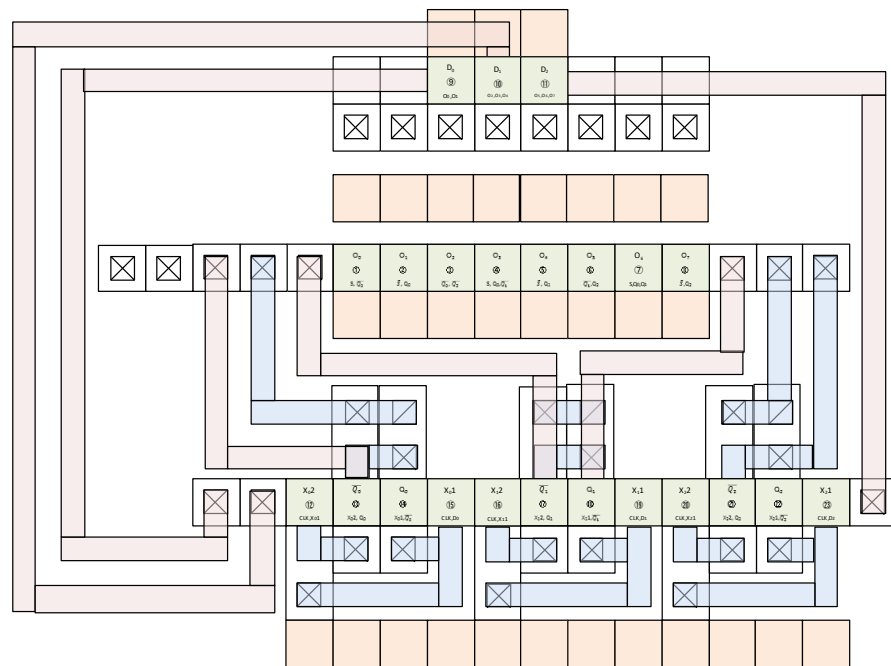


図 6-6 提案方式で設計したサイコロカウンタのレイアウト図

6-4. 積層型 SGT を用いた Fe-FET 順序回路設計例 (9 種類の簡単な順序回路)

前章では新たに提案した多段積層縦型トランジスタを用いた順序回路としてサイコロカウンタ[3]について述べ、従来の平面型SGTを用いた場合と比較してパターン面積が約15.2%に縮小できることを示した。本章では他に8種類(6-3章の例を含めて合計9種類)の簡単な順序回路の設計を行い、本方式により従来よりパターン面積がどれだけ縮小できるか見積もった。表6-1に9種類の簡単な順序回路の構成を示す。合わせて表6-2にパターン面積の縮小効果を示す。

表 6-1 検討した順序回路の内訳

No	circuit name	SGT(NAND1)	SGT(NAND2)	wirings	minimum layer	FF
1	Vending M/C[4]	8	4	10	14	2
2	pattern matching[4]	5	2	8	12	2
3	R4[5]	11	2	14	20	3
4	state machine[5]	14	5	18	24	3
5	complex logic[4]	9	3	11	17	3
6	dice counter[3]	8	3	12	18	3
7	BCD counter[6]	7	3	13	21	4
8	Jhonsoon counter[2]	0	0	1	9	4
9	LIFO stack[5]	19	6	16	26	5

表6-1ではFFの数が少ない順に順序回路を記述した。FFの数が多きほど配線数や1段目のNAND論理(NAND論理1)に使用されるSGT柱の数が多くなる傾向がある。またシリコン柱の数はいずれの回路でもNAND論理1の方がNAND論理2よりも多くなっている。第6-3章で詳細に調べたサイコロカウンタ(表6-1のNO.6)はFF数、配線数ともに表中では平均的な値を使っている。

表 6-2 検討した順序回路でのパターン面積の比較

No	circuit name	length(conv)		length(proposed)		pattern area		pattem area ratio
		Vertical	horizontal	vertical	horizontal	conv.	proposed	
1	Vending M/C[4]	70	77	28	36	5405	1008	18.60%
2	pattern matching[4]	68	64	28	26	4351	728	16.70%
3	R4[5]	82	130	28	50	10645	1400	13.20%
4	state machine[5]	94	158	28	64	14837	1792	12.10%
5	complex logic[4]	73	147	28	40	10760	1120	10.40%
6	dice counter[3]	73	96	28	38	7008	1064	15.20%
7	BCD counter[6]	79	128	28	48	10106	1344	13.30%
8	Jhonsoon counter[2]	42	128	14	48	5385	672	12.50%
9	LIFO stack[5]	88	160	28	70	14068	1960	13.90%

いずれの順序回路においても、提案方式の導入によりパターン縦幅、横幅共に従来の平面型の25~50%に縮小され、パターン面積は10~20%に大幅に縮小されることが分かる。以上の結果により今回の提案方式は順序回路のパターン面積を縮小する方式として極めて有効であることが分かる。次に表6-1と表6-2を元に以上の結果を配線数、FF数等を考慮

してさらに詳細に調べた。図 6-7 に各順序回路(図中にその番号を示す)の縦幅の従来方式と提案方式の関係を示す。上述したようにいずれも縮小率は 25~50%になる。提案方式では配線や FF 数に無関係に下限の長さである 28F 以下に縮小することが出来ない。そのため従来方式の縦幅が大きい順序回路ほど縦幅の縮小率が大きくなる。図 6-7 では順序回路 4 が縮小率が最も大きく従来型の 29.8%になる。

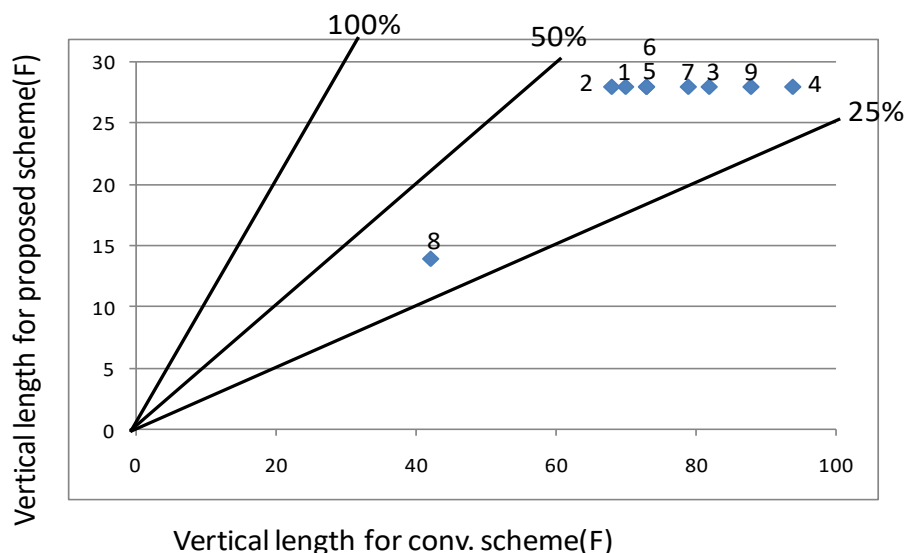


図 6-7 各順序回路の縦幅の縮小率の比較

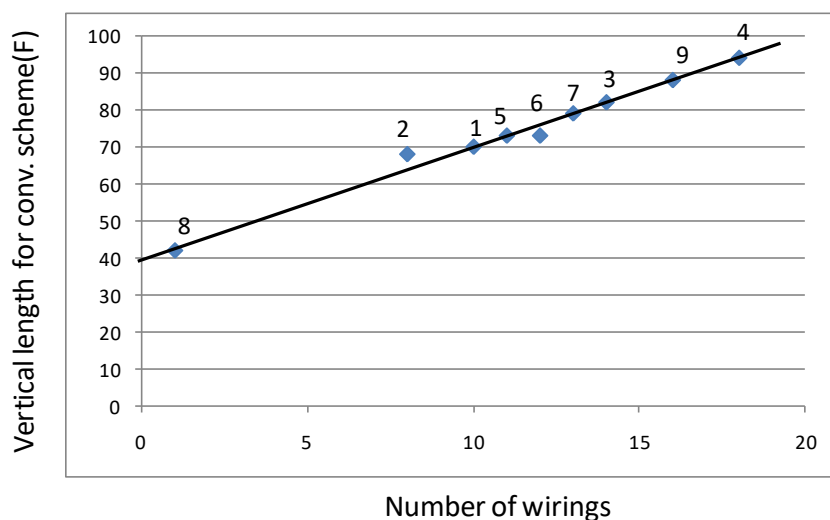


図 6-8 各順序回路の配線数と従来方式の縦幅の関係

順序回路 4 が従来方式で縦幅がもっと大きいのは図 6-8 に示すように配線の本数が 18 本と最も多いためである。配線の本数が少なくなると縦幅も小さくなり提案方式導入による縮小率も小さくなる（順序回路 2 では縮小率は従来の 41.2%にとどまる）。

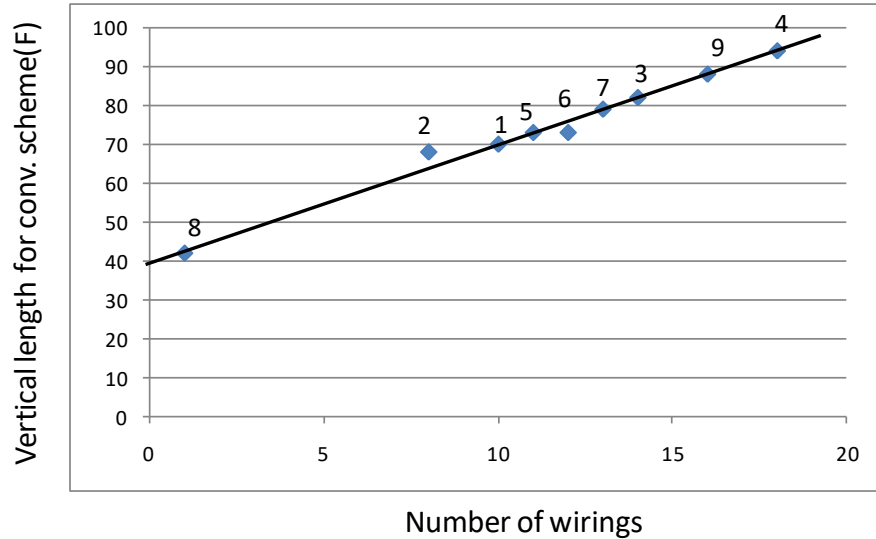


図 6-9 各順序回路の横幅の縮小率の比較

図 6-9 に各順序回路(図中にその番号を示す)の横幅の従来方式と提案方式の関係を示す。前述したようにいずれも縮小率は 25~50%になる。横幅は NAND 論理回路と FF の横幅の大きい方の値で規定される。そのため配線数や FF 回路数が大きい順序回路ほど従来方式でも提案方式でも横幅は大きくなり、その縮小率は図 6-7 の縦幅ほどばらつきは大きくない。最も縮小されるのは順序回路 5 で従来型の 27.2%に、最も縮小効果が小さいのは順序回路 1 で従来型の 46.8%になる。

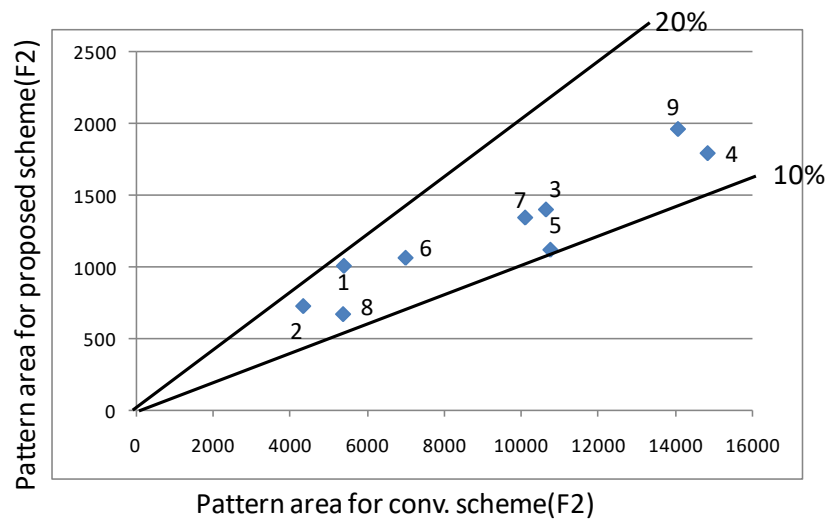


図 6-10 各順序回路のパターン面積の縮小率の比較

縦幅と横幅の積であらわされるパターン面積の縮小効果を図 6-10 に示す。どの順序回路も提案方式の導入により従来方式の 10~20%に縮小できる。縮小効果はパターン面積の

大きな順序回路の方が大きくなる傾向がある。更なる大規模回路では提案方式の有効性が更に高まる事が期待される。

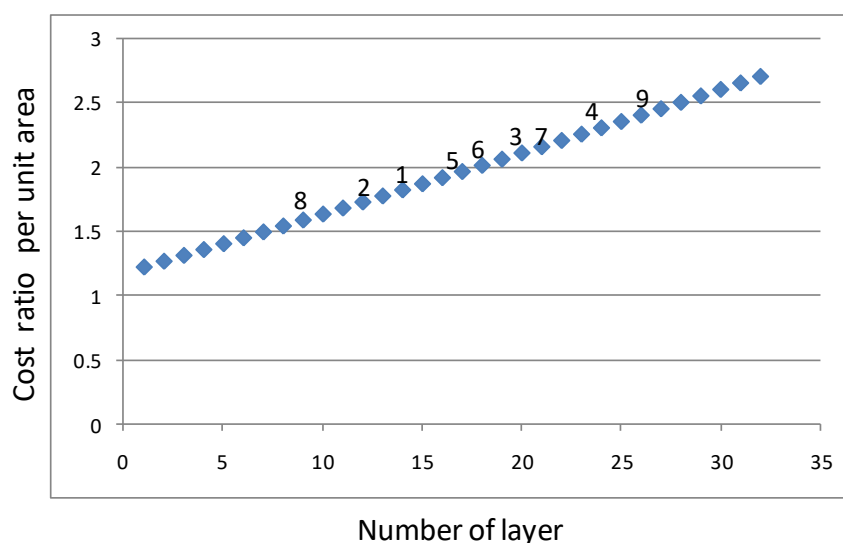


図 6-11 単位面積当たりの製造コストの積層層数依存性

表 6-3 検討した順序回路での新方式によるパターン面積の縮小効果、製造コストの縮小効果

No	pattern area ratio	minimum layer	cost ratio/area	cost ratio	cost
1	18.6%	14	1.831	0.341	1841
2	16.7%	12	1.737	0.290	1262
3	13.2%	20	2.119	0.280	2977
4	12.1%	24	2.314	0.280	4154
5	10.4%	17	1.974	0.205	2209
6	15.2%	18	2.022	0.307	2153
7	13.3%	21	2.167	0.288	2913
8	12.5%	9	1.597	0.200	1075
9	13.9%	26	2.413	0.335	4719

次に提案方式によるパターン面積の縮小結果（表 6-2、図 6-10）を用いて提案方式により各順序回路の製造コストが従来の 1 層 SGT の場合と比較してどれくらい削減されたか製造コスト比を見積もった。

1 層の SGT の場合と比較して提案方式では多層に積層している為に同一の単位面積当たりの製造コストは高くなる。その見積もり結果を図 6-11 に示す。今回検討した順序回路では 10～30 層程度の積層構造を使用するため、従来の 1 層構造の場合と比較して単位面積当たりの製造コストは 1.5～2.5 倍程度に増加することが分かる。積層数が従来方式より 10 倍

以上大きいにも関わらず単位面積当たりの製造コストがあまり増加しないのが今回提案した方式の非常に優れた特徴である。図 6-11 の見積もりのため以下の仮定を用いている。過去の研究より以下の(6-1)式で N 層積層した時の 1 層の時とのコスト比が見積もられる事が知られている [7]。

$$\text{Cost ratio per unit area} = K(1.12 + 0.04N) / Y^{(1.12 + 0.04N)} \quad (6-1)$$

(1.12+0.04N)は N 層積層した時の工程数、1.12 のうち 1 は 1 層での工程数、0.12 は 2 層以上積層するために必要な工程数、0.04 は 1 層増加するごとに増える工程数に対応している。また Y は 1 層の時の歩留まり、K は比例定数を示す。本提案では製造技術として大容量積層型メモリに使用されている多段積層縦型トランジスタ技術を用いている。そのため(6-1)式の 1 層あたりの歩留まり Y は現在の積層型 NAND メモリで使用している値を用いる必要がある。一般に積層型 NAND メモリのビットコストは以下の(6-2)式であらわされる。

$$\text{ビットコスト} = K' (1 + 0.04N) / (NY^{(1+0.04N)}) \quad (6-2)$$

(6-2)式よりビットコストを最小にする積層数が存在することが特徴である。現在製品で用いられている積層数 N は 64 層でありその時の 1 層あたりの歩留まり Y は 90~95%の値になる。そこで本提案でも Y の値は積層型メモリと同じ値 95%を用いた。

また歩留まりを決定する要因としてトランジスタ部分の不良とメタル配線の欠陥が考えられるが、本論文では注目しているトランジスタ部分の不良のみを考慮した歩留まりを用いている。

図 6-11 で得られた単位面積当たりの製造コスト比と図 6-10 で得られた提案方式によるパターン面積比の積の形で提案方式導入による従来の 1 層構成に対する製造コスト比を求めた。その結果を表 6-3 に示す。表 6-3 で cost ratio が製造コスト比を示している。提案方式によるパターン面積の縮小効果が積層化によるコスト増加より大きいため、製造コスト比はいずれの順序回路でも従来方式の 1/3 程度に低減できることが分かった。

また提案方式を用いた各種順序回路のコストを表 6-3 の最後の項目として示した。9 番目の順序回路が最もコストが高いのは配線数と FF 数 (5 個) が最も大きく最も回路規模が大きいためである。従来の 1 層の SGT を用いた方式では回路構成や配線構造に汎用性が無い為いわゆる論理の再構成は出来ない。それに対し本提案では回路構成や配線構造は Fe-FET への書き込みによって行われるので表内で最も規模の大きい 9 番目の順序回路を提案方式を用いれば、Fe-FET への書き込み内容を変更することにより、より規模の小さい順序回路 1~8 を実現する論理の再構成が可能になる。提案方式では今回解析した 1~9 の順序回路以外の構成の論理でも、順序回路 9 のコストで実現可能であり、将来の再構成可能論理として非常に有望である。

6-5. 結論

大容量積層型 NAND メモリに使用されている多段積層縦型トランジスタ構造を用いた積層型 Fe-FET 順序回路を新たに考案した。積層型 Fe-FET 順序回路は、従来提案されている組み合わせ回路を実現するための積層型 Fe-FET NAND/NAND アレイと新たに提案した積層型 Fe-FET 型フリップフロップを組み合わせることにより今回初めて実現する事が出来た。新たな提案の有効性を 9 種類の簡単な順序回路で見積もった結果、パターン面積は従来の 1 層型 SGT を用いた場合と比較して約 10~20% に大幅に縮小出来ることが分かった。またその製造コストは 10~30 層程度積層することにより、従来の 1 層の場合と比較して 1/3 に大幅に縮小出来る。更に提案方式は通常システム LSI のみならず再構成可能な論理の実現にも極めて有効であることを示した。本提案によりトランジスタの微細化を行うことなく再構成可能論理を含むロジック LSI の大容量化、低コスト化、高速化を今後も継続的に実現できる可能性がある。

本論文は新提案の方式の概念的なアーキテクチャレベルの記述にとどまっており回路シミュレーションなどによる技術検証が行われていない。そのため実際のロジック LSI レベルでの実現可能性については、今後 Fe-FET の実測データに基づく回路シミュレーションの検討が必要になる。その結果、NAND 論理の動作の安定性が十分に確保できない場合 CMOS 回路の導入等が必要になると予想される。

第 6 章の参考文献

- [1] J. Rabaey, “Digital Integrated Circuit (2nd edition)”, Printice Hall, 1996.
- [2] 浅野, “デジタル回路演習ノート” コロナ社 2001 年
- [3] 相磯編, “デジタル回路” オーム社
- [4] 坂井, “論理回路入門” 培風館 2003 年
- [5] J. Hayes, “Digital Logic Design”, Addison Wesley, 1994.
- [6] 房岡、小柳 “論理回路” 昭晃堂 2009 年
- [7] S. Tamai and S. Watanabe, “Analysis of bit cost for stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [8] 末吉、天野編 “リコンフィギュラブルシステム” オーム社 2005 年
- [9] 横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET 順序回路の提案.” 電子情報通信学会論文誌 C, vol.J99-C, no.7, pp.338-346, 2016.
- [10] (新技術) 平面型トランジスタの微細化限界を克服する新システム L S I 用順序回路の設計法提案、湘南工科大学” 電波新聞 2016 年 7 月 21 日第 14-15 面
- [11] “(新技術) 3 次元型 NAND フラッシュメモリーの製造技術を利用、高速・低コストシステム L S I 設計法を提案、湘南工科大学” 電波新聞 2016 年 10 月 20 日第 14 面

[12] “製造コスト30%以下に：システムLSI回路設計 縦型トランジスタ積層”
2017年2月24日 第25面

日刊工業新聞

7. 積層型 SGT を用いた組合せ回路とその評価結果用メモリを積層した順序回路

7-1. 序論

第5章、第6章で提案されたのが多段積層縦型トランジスタ構造を用いた Fe-FET 順序回路アレイである[1] [2]。図 7-1(A)にその基本構成を示す。組み合わせ回路を NAND logic 部分で評価/計算し、その結果を入力として次段のフリップフロップ回路 (FF circuit) に記憶する。図 7-1(A)は現時点で提案されている唯一つの積層型 FF で、4 個の NAND 回路を組みあわせて FF を実現している。NAND logic 部分とフリップフロップ回路はいずれも異なるシリコン柱に形成された直列接続された Fe-FET (強誘電体トランジスタ) で構成される。任意の回路を実現するために論理に関係しない Fe-FET にプログラムを行い入力信号に依存しない通過トランジスタとする (図内で通過トランジスタは丸で囲っている。閾値電圧は $-1V$ になる)。この方式を用いるとロジック LSI を構成する順序回路を現在製品化が進められている 3D NAND フラッシュメモリの製造技術を用いて低コストで実現することができる。

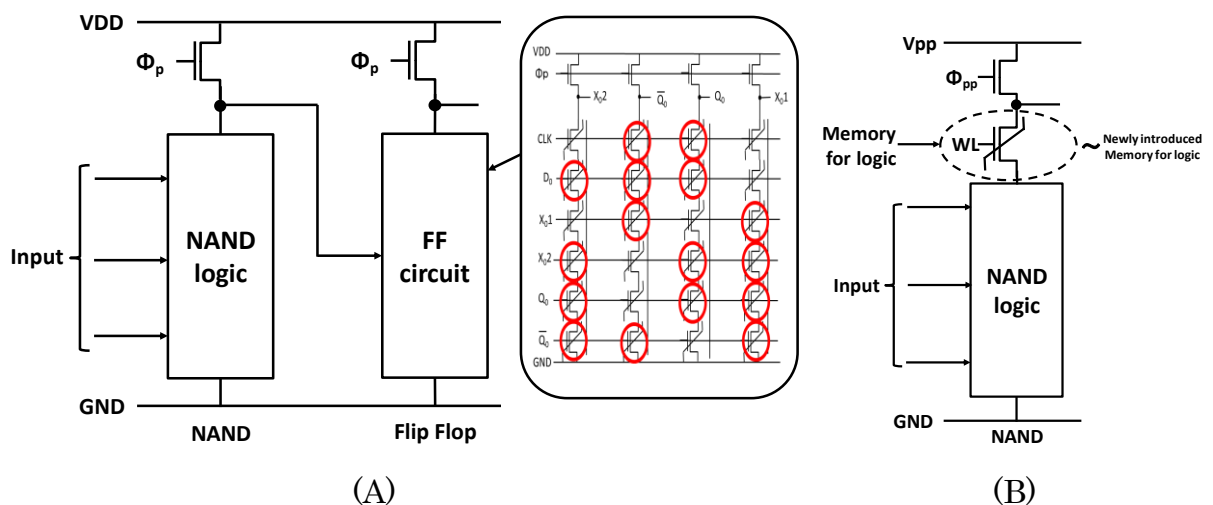


図 7-1 積層型 Fe-FET 順序回路、(A)従来例、(B)最も簡略な提案方式

フリップフロップ回路では図中に示すように不揮発性の Fe-FET を用いて揮発情報を記憶する。そのため不揮発性の素子を使っているにもかかわらずフリップフロップ回路で不揮発ではない揮発の情報しか記憶出来ない問題点がある。更に組み合わせ回路とフリップフロップ回路を異なるシリコン柱を用いて構成するため、パターン面積が大きくなる問題がある。本論文では以上の問題点を解決する 3D NAND フラッシュメモリの製造技術を用いた組み合わせ回路とその評価/計算結果の記憶用メモリ素子を縦方向に積層した不揮発性順序回路を提案する ((図 7-1 (B)が最も簡略な例)。(本論文の検討では将来の FF が図 7-1 (A) の方

式より改良され、シリコン柱数が最小の1個で実現される場合を想定している。そのため口述する本方式導入によるパターン面積と製造コストの低減効果は最も小さいケースとなる。この件に関しては7-3章の最後に記述する。）

本論文は以下のように構成される。第7-2章では4種類の提案方式について、第7-3章ではそれらの製造コスト、動作速度、コストパフォーマンスを従来方式と比較する形で述べ、第7-4章を結論とする。

7-2. 4種類の提案方式の構成

図7-2に最も簡略な提案方式を示す（左上は構成、右上はフロチャート、下はタイミング図）。従来の積層型順序回路（図7-1(A)）はフリップフロップ回路は組み合わせ回路と異なるシリコン柱に形成されていた。それに対して本方式では同じシリコン柱に組み合わせ回路の上部に従来のフリップフロップ回路に対応する評価/計算結果の記憶素子を積層し、1個のFe-FETを用いて情報を記憶する。そのため従来揮発性だったフリップフロップ回路を不揮発で実現できる特徴が有る。更に従来の積層型に比較して回路を構成するシリコン柱の数を約半分に低減出来、その結果製造コストも半減出来る特徴がある。

図7-2下図にその動作タイミングを示す。最初に組み合わせ回路のプログラムと記憶用メモリ素子のEraseを行う。その時はまず組み合わせ回路を構成するFe-FETの中で通常の論理として使用するFe-FETのプログラムと記憶用メモリ素子の消去を行うため、選択したシリコン柱の基板の電圧を高電圧(+10V)、通常の論理として使用するFe-FETと記憶用メモリ素子のゲート電圧を0Vにする。その結果、通常の論理として使用するFe-FETと記憶用メモリ素子の閾値電圧は+0.2Vになる。次に通過用Fe-FETにプログラムするため、通過用Fe-FETのゲートに高電圧(+10V)選択したシリコン柱の基板には0Vを印加して閾値電圧を-1Vにする。その後回路全体をプリチャージする（出力は1Vまでプリチャージされる）。次に予めプログラムされている組み合わせ回路の評価/計算を行うためのRead動作を行う（0Vあるいは1Vの評価結果が出力に出る）。次にその評価/計算結果を上部の記憶用メモリ素子に記憶（プログラム）する。結果を記憶させるためには、Fe-FETのチャンネルとゲートの間に10V程度の高電圧を印加する必要がある。Read動作で得られた評価/計算結果が0Vの場合には、記憶用メモリ素子へのプログラム動作の際に高電圧駆動の負荷回路が活性化されても、組み合わせ回路がオン状態なため、出力電圧はほぼ0Vに保持される。その結果記憶用メモリ素子へのプログラム動作時に記憶用メモリ素子のゲートに接続されるWLを高電圧の10Vにすると、Fe-FETのゲートとチャンネルの間に10V近い高電圧が印加され、記憶用メモリ素子の閾値が下がる（Fe-FETの閾値電圧が当初の0.2Vから-1Vに変化する）。一方Read動作で得られた評価/計算結果が1Vの場合には、組み合わせ回路がオフ状態なため、負荷回路が活性化された際にその電源電圧である5Vまで出力が充電される。その結果WLが10Vになっても、Fe-FETのゲートとチャンネル間の電圧は $10V-5V=5V$ と低い為、記憶用メモリ素子の閾値電圧は変化しない（Fe-FETの閾値電圧は当初の0.2Vから変化しない）。以上のように組み合わせ回路の評価/計算結果が自動的に不揮発な記憶用メモ

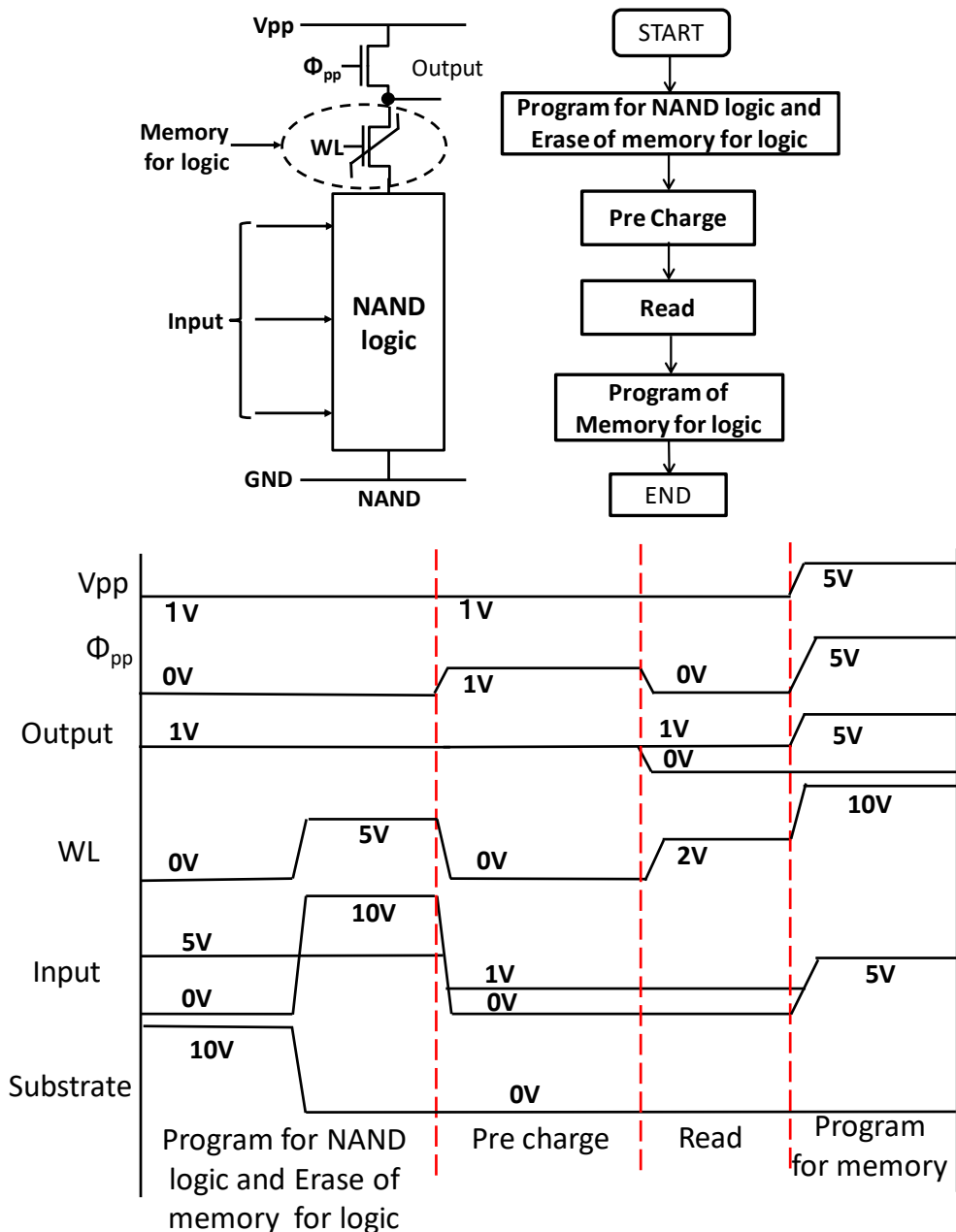


図 7-2 提案した最も簡略な積層型 Fe-FET 順序回路

りに記憶される。(プログラム時の貫通電流による電力消費を防ぐ必要がある場合には、VPPの電圧を直流でなくパルス信号に変更する)。

図 7-2 の簡略方式は従来方式と比較してパターン面積は 50%程度に縮小できるがその縮小率は余り大きくない。例えば独立したタイミングで動作する 16 種類の組み合わせ回路を実現するためには少なくとも 16 種類のシリコン柱が必要になる。それに対して全体のプログラムにかかる時間は若干増加するがシリコン柱の数を 16 分の 1 の 1 種類にすることによりパターン面積を 16 分の 1 に縮小できる複数の組み合わせ回路及びその記憶用メモリを共有する方式 (以下共有方式と略す) を考案した (図 7-3)。図 7-3 のフローチャートに示すように、毎回必要な組み合わせ回路の構成を NAND logic i に予めプログラムする。タイミン

グ図では i サイクル目の動作を示している。

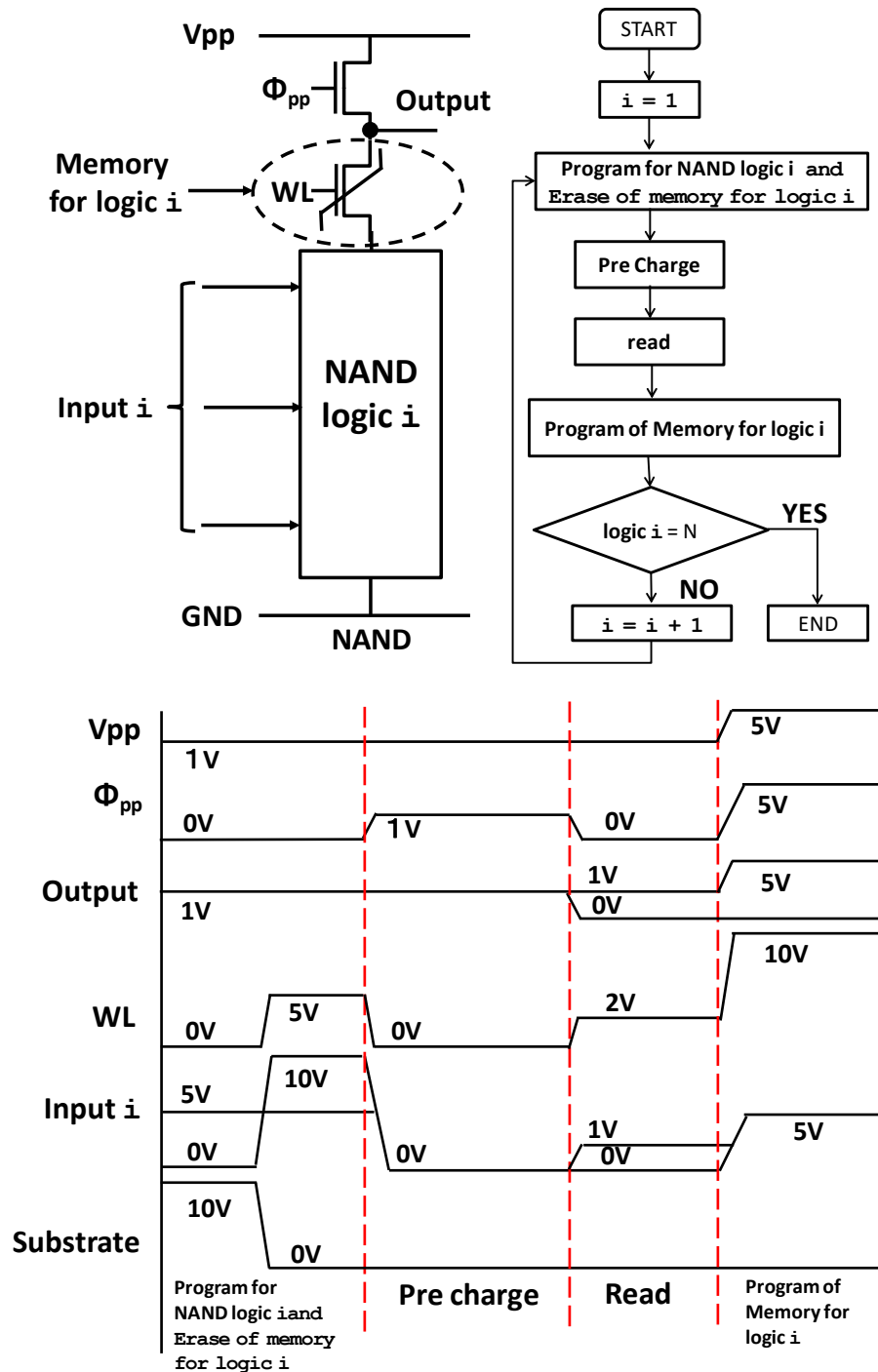


図 7-3 提案した共有積層型 Fe-FET 順序回路(タイミング図は i サイクル目の動作を示す)

図 7-2 の簡略方式と比較して毎回必要な内容を NAND logic i にプログラムするためプログラムに必要な時間は増加するがパターン面積と製造コストは大幅に低減できる (N 個の組み合わせ回路で構成されている順序回路では $1/N$ 出来る)。プログラム時間が READ 時間と同程度に高速な場合には本方式の時間増加の欠点は低減される (詳細は第 7-3 章で述べ

る)。

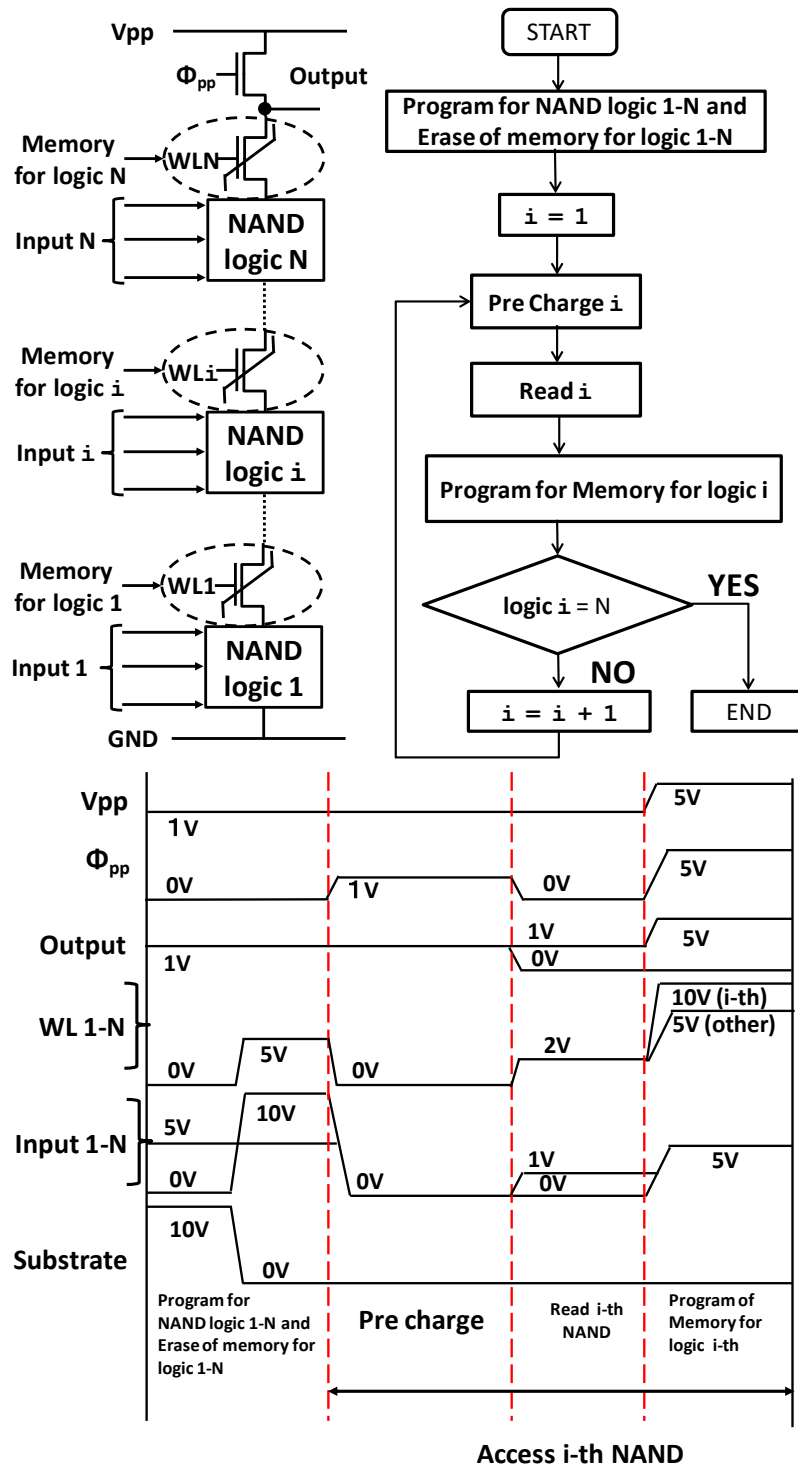


図 7-4 提案した階層積層型 Fe-FET 順序回路

図 7-3 の共有方式では毎回組み合わせ回路のプログラムを行っていたためにプログラム時間が長くなる問題がある。その欠点を克服して複数の組み合わせ回路に同時にプログラムを行いプログラム時間の低減を行うのが複数の組み合わせ回路及びその記憶用メモリを縦方向に階層的に積層する方式（以下階層積層方式と略す）である（図 7-4）。階層積層方式

を用いると階層積層していない簡略、共有方式と比較して工程数増加のため単位シリコン柱当たりの製造コストは増加するがその効果は非常に小さい。これは現在 3D NAND フラッシュメモリで使用されている低コスト製造技術（BiCS 技術等）を使用しているためである。

初めに縦方向に積層した複数の組み合わせ回路に同時にプログラムを行い、その後N個の組み合わせ回路を順番に評価/計算し、その結果を記憶用メモリに記憶する。積層積層する組み合わせ回路の数の増加に伴いRead 時間が増加する欠点があるが[3][4]、Read 時間に比べてプログラム時間が非常に長い場合に有効な方式である（フラッシュメモリでは 1000～10000 倍の差がある。詳細は第 3 章で述べる）。

図 7-4 の階層積層型を隣接したシリコン柱間で共有するのが共有階層積層方式である。この方式は、改装積層以上のパターン面積と製造コストの低減を実現するために考案されたもので、N 個の改装積層方式の順序回路をプログラムしなければならず、プログラム時間等は長くなるもののパターン面積、製造コストは大幅に低減できる（詳細は第 7-3 章で述べる）。

7-3. 各提案方式の性能の比較

本章では前章で述べた 4 種類の新方式と従来方式を製造コスト、性能（サイクル時間で評価）、コストパフォーマンスに対応する（製造コスト）＊（サイクル時間）で評価、比較した。

製造コストはパターン面積と工程数に比例し、歩留りに反比例する[4]-[6]。そこでまず N 個の順序回路を実現するために必要なパターン面積を見積もった。簡略方式では従来の 1/2、共有方式と階層積層方式では 1/2N、共有階層積層方式では 1/2N²、になる（階層積層される順序回路の数はNで有ると仮定している）。次に以上で得られたパターン面積に工程数を乗算し歩留りで割り製造コストを求めた。歩留りは平面型 Fe-FET で製造した時の歩留りが 95%になる値を用いた[4]。これは 3D の NAND 型フラッシュメモリの積層数が 128 層の時にその製造コストが最小になる値である。図 7-5 に求められた製造コストの順序回路数N依存性を示す。従来方式（図中の CONV に対応）と比較して簡略方式(図中の SIMPLE に対応)、共有方式(図中の SHARED に対応)と複雑な提案方式を導入するに従いパターン面積の縮小による大幅な製造コストの低減が可能になることが分かる。（図中では

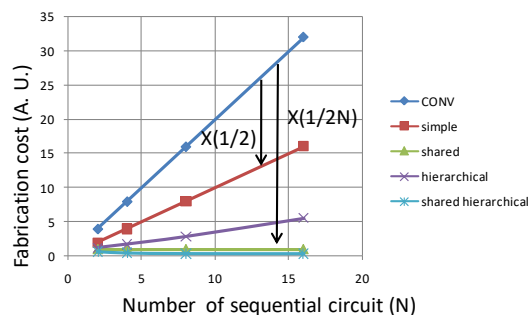


図 7-5 製造コストの比較

階層積層方式は hierarchical、共有階層積層方式は shared hierarchical に対応する。この対応関係は図 7-6、7-7 でも同様である) 階層積層すると後述するサイクル時間の削減には効果的だが工程数の増加等により単純に製造コスト削減にはつながらない場合がある。

次に性能の指標になるN個の順序回路が動作するのに必要なサイクル時間を見積もった。図 7-2~7-4 に示すように、サイクル時間はプログラム時間もしくは Erase 時間(T_{program})、プリチャージ時間(T_{precharge})、評価/計算時間(T_{tread})から構成されている。これらの時間の大小関係は順序回路の構成、順序回路を形成するトランジスタの物理的・電気的特性によって大きく影響される。ここでは階層積層する場合の縦方向の評価/計算時間増加[4]と、トランジスタの書き込みにかかる時間と読み出しにかかる時間の比のみを考慮した。前者は一般的に積層している順序回路数 N の 2 乗に比例する。後者は高速な理想的な場合比は 1、書き込み時間が非常に長いフラッシュメモリのような場合比は 1000~10000 程度になる[7][8]。従来方式及び今回提案した 4 方式のサイクル時間は以下(7-1)-(7-5)式のように求められる。

$$T_{\text{cycle}} (\text{従来}) = 2T_{\text{program}} + 2N T_{\text{tread}}(1) + N T_{\text{precharge}} \quad (7-1)$$

$$T_{\text{cycle}} (\text{簡略}) = 3T_{\text{program}} + N T_{\text{tread}}(1) + N T_{\text{precharge}} \quad (7-2)$$

$$T_{\text{cycle}} (\text{共有}) = 3N T_{\text{program}} + N T_{\text{tread}}(1) + N T_{\text{precharge}} \quad (7-3)$$

$$T_{\text{cycle}} (\text{階層積層}) = 3T_{\text{program}} + N T_{\text{tread}}(N) + N T_{\text{precharge}} \quad (7-4)$$

$$T_{\text{cycle}} (\text{共有階層積層}) = (2+N)T_{\text{program}} + N T_{\text{tread}}(N) + N T_{\text{precharge}} \quad (7-5)$$

ここで簡略方式 (図 7-2) で NAND logic のプログラム時間と Erase 時間と memory のプログラム時間が等しいとして合計 3T_{program}、1 個の NAND logic の precharge 時間を T_{precharge}、read 時間を T_{tread} (1) とし、N 個の順序回路が順番に動作するための 1 個の場合の N 倍時間がかかる N T_{tread}(1)+N T_{precharge} として求めた ((7-2) 式)。

それに対して従来方式では、簡略方式と比較して Memory のプログラム時間が不要だが、NAND logic 以外に FF の read 時間が余分に必要になる ((7-1) 式)。共有方式 (図 7-3) では、N 個必要な組み合わせ回路を NAND logic にプログラム (及び erase、memory へのプログラム) する必要がある。そのための簡略方式の 3T_{program} の項が(7-3)式で示すように 3N T_{program} になる。

一方階層積層方式(図 7-4)では、1 回で必要な組み合わせ回路を N 段に積層された NAND logic にプログラムできるため、共有方式の 3N T_{program} の項が、3T_{program} に低減できる。ただし N 段積層されるため、積層改装構造以上にサイクル時間が増加する((7-5)式)。

ここで T_{tread}(1)は順序回路が 1 段の場合の、T_{tread}(N)は順序回路が N 段の場合の評価/計算時間を示し、前述したように、T_{tread}(N)=N² T_{tread}(1) になる。また簡略化のため T_{tread}(1)=T_{precharge} と仮定した。次に T_{program} と T_{tread}(1)の比をパラメータとしてサイクル時間 T_{cycle} の順序回路数N依存性を各方式で比較した。その結果を図 7-6(A)-(E) に示す。それぞれ T_{program} と T_{tread}(1)の比が 1 倍、10 倍、100 倍、1000 倍、10000 倍の

場合を示している。

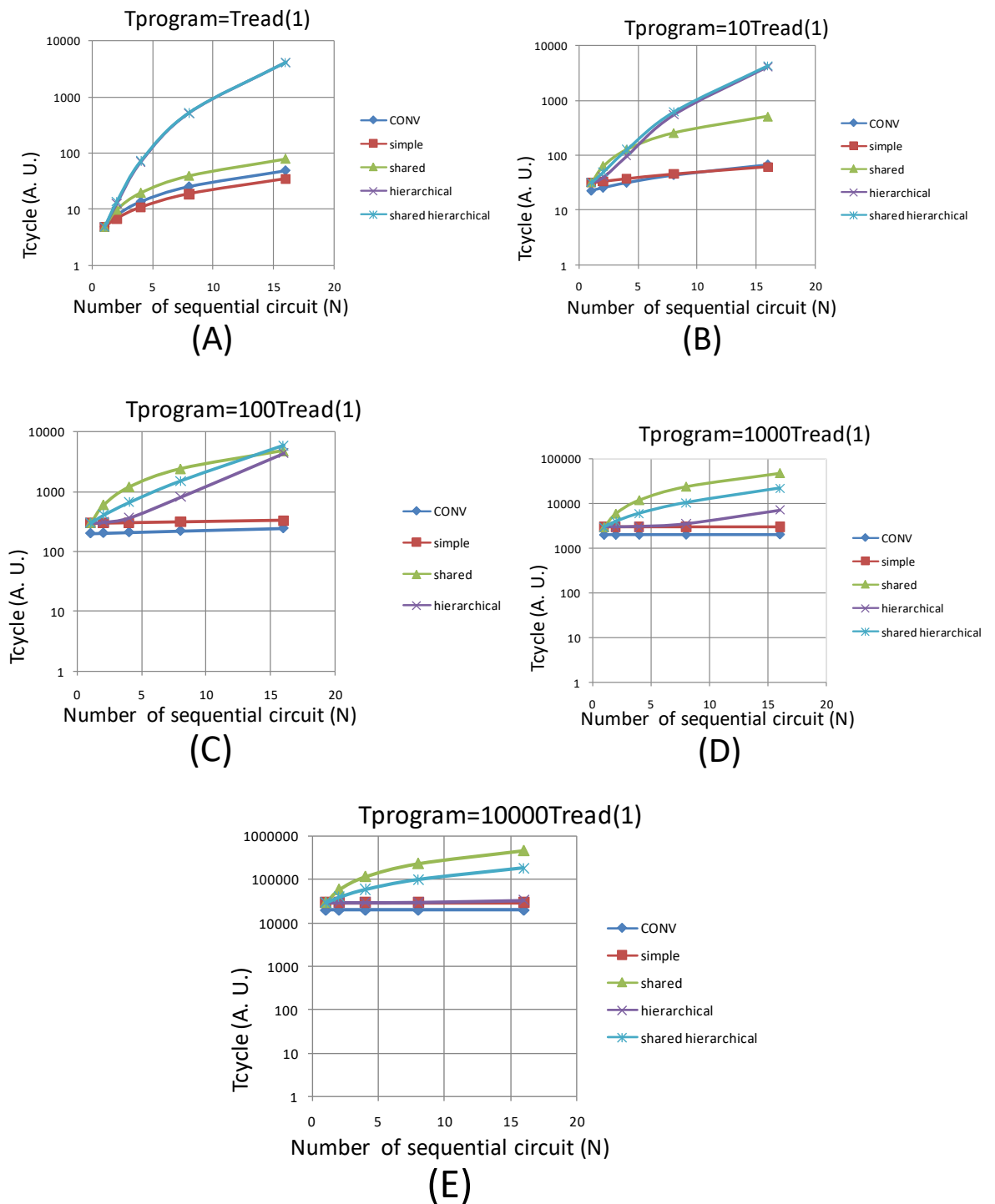


図 7-6 サイクル時間の比較

トランジスタへのプログラム時間と1段の評価/計算時間が同じ(A)の場合は、簡易方式が従来方式より早く、共有方式は従来方式より若干遅くなる。3方式の差は小さい。それに対

し、従来方式と比較して階層積層方式はNの増加に伴いかなり遅くなる。階層方式が遅くなるのは階層積層化により評価/計算時間が大幅に増加するためである。プログラム時間が1段の評価/計算時間と比較して(B)(C)(D)(E)と遅くなるに従い、階層積層方式の読み出し時間の大きさが大きなプログラム時間のために目立たなくなる。その結果トランジスタへのプログラム時間と1段の評価/計算時間が10000倍異なる(E)の場合は、簡易方式が従来方式(A)の時同様ほぼ同じだが、それらとほぼ同様のサイクル時間になるのは階層積層方式である。

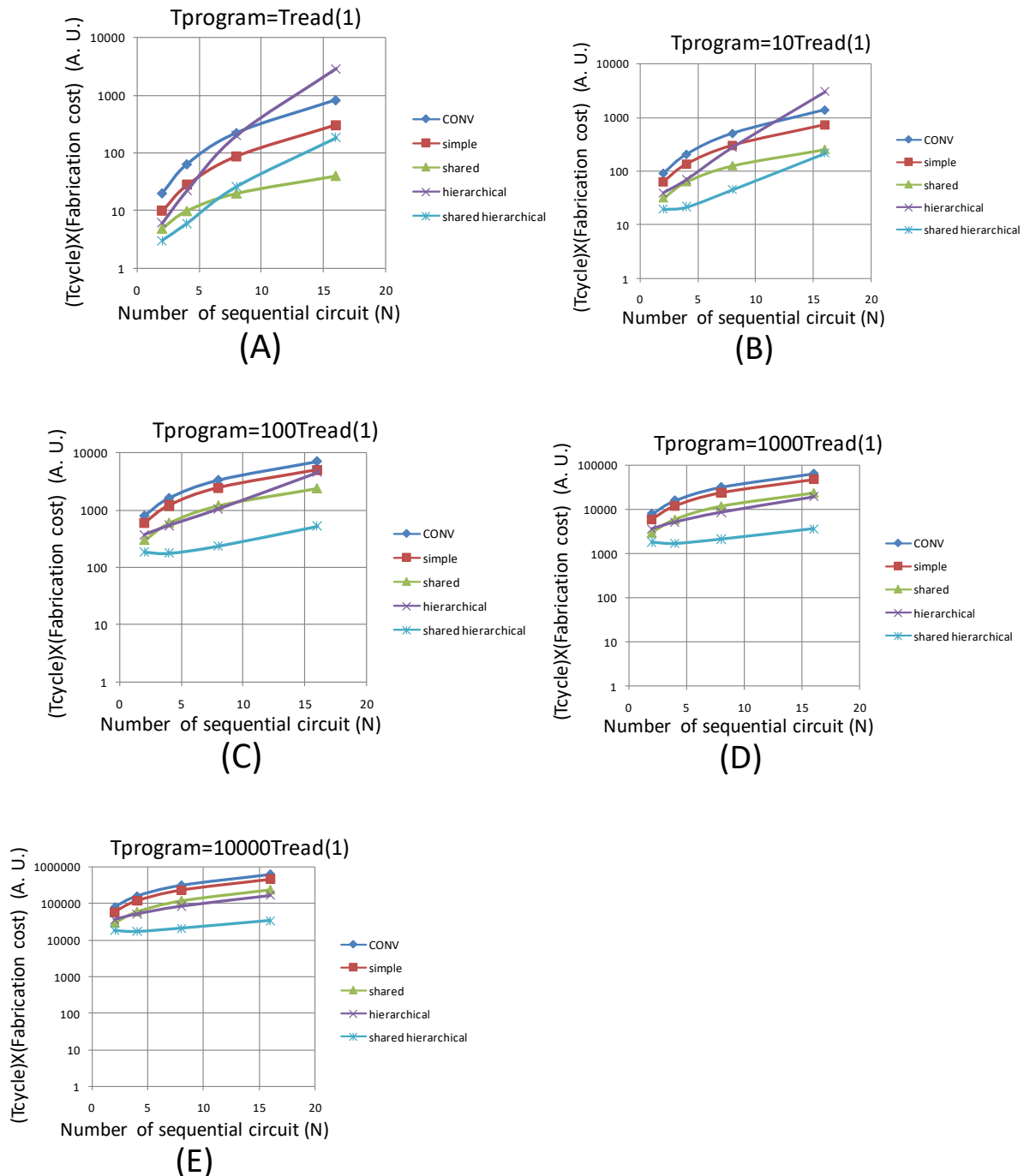


図 7-7 (製造コスト) * (サイクル時間) の比較

これは階層積層方式では N 個の順序回路で長い書き込み時間を並列処理により短縮させている為である。次に各方式でコストパフォーマンスに対応する（製造コスト）*（サイクル時間）を求めた。図 7-5 と図 7-6 の対応する値を乗算することにより値が計算される（図 7-7）。

トランジスタへのプログラム時間と 1 段の評価/計算時間が同じ(A)の場合は、大部分の提案方式で従来方式よりコストパフォーマンスが良くなる。特に共有方式は従来方式よりサイクル時間を犠牲にせず大幅に製造コストを低減できるために有効である。例えば N=16 の場合には、従来例と比較してコストパフォーマンスは 20.8 倍に出来る。簡略方式でも従来例の 2.7 倍の十分なコストパフォーマンスが得られる。一方トランジスタへのプログラム時間と 1 段の評価/計算時間が 10000 倍異なる(E)の場合は、全ての提案方式で従来方式よりコストパフォーマンスが良くなる。特に階層構造を用いた階層積層方式と共有階層積層方式は、従来方式よりサイクル時間を余り犠牲にせず大幅に製造コストを低減できるために有効である。例えば N=16 の場合には、従来例と比較してコストパフォーマンスは階層積層方式で 3.8 倍、共有階層積層方式で 18.3 倍に出来る。以上の検討結果を N=16 の場合を例として図 7-8 に提案方式によるコストパフォーマンスの増加効果としてまとめた。

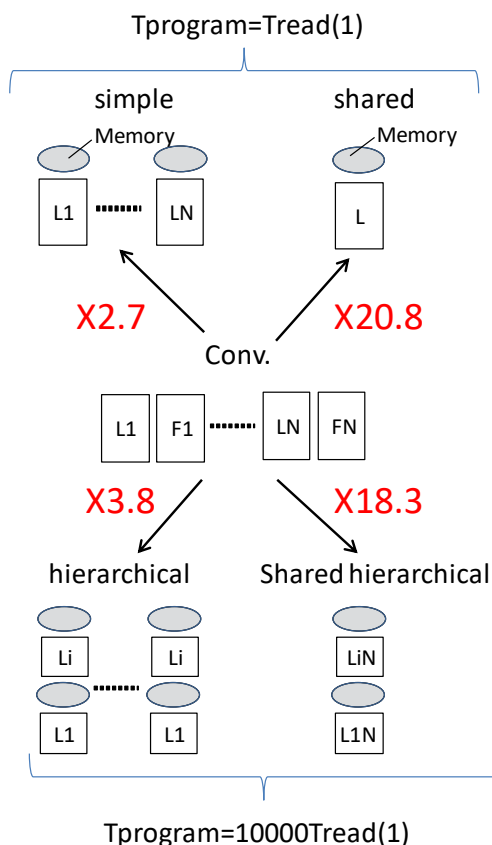


図 7-8 提案方式によるコストパフォーマンス増加
(順序回路数 N=16 の場合)

7-4. 結論

3D NAND フラッシュメモリの製造技術を用いた組み合わせ回路とその評価結果用メモリを縦方向に積層した不揮発性順序回路を新たに提案した。提案方式により従来組み合わせ回路と別のシリコン柱で形成されていたフリップフロップ回路を、同一シリコン柱で組み合わせ回路の上に積層された1個の Fe-FET で形成できる特徴がある。そのため従来よりパターン面積や製造コストを低減出来、従来揮発性だった評価結果用メモリを不揮発にできる。提案方式として、簡略型、組み合わせ回路を逐次プログラムする共有積層型、複数の組み合わせ回路を積層した階層積層型、共有積層型と階層積層型を組み合わせた共有階層積層型の4種類を考案し、それぞれのコストパフォーマンスを比較した。製造コストとサイクル時間の積でコストパフォーマンスを評価した場合、Fe-FET のプログラム時間と読み出し時間が同じ場合には、共有積層型により従来方式と比較してコストパフォーマンスは 20.8 倍に出来、Fe-FET のプログラム時間が読み出し時間と比較して非常に長い (10000 倍) 場合には、共有階層積層型によりコストパフォーマンスを 18.3 倍に増加出来ることが分かった (16 種類の順序回路の場合)。提案方式は低コストで高速な不揮発性順序回路の候補として非常に有望である。

第7章の参考文献

- [1]横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016.
- [2]横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET 順序回路の提案.” 電子情報通信学会論文誌 C, vol.J99-C, no.7, pp.338-346, 2016.
- [3]玉井翔人, 佐藤匠, 渡辺重佳, “縦型トランジスタ構造を用いた積層型 Fe-FET NOR/NOR アレイの提案とその組み合わせ論理回路への適用検討.” 電子情報通信学会論文誌 C, vol.J99-C, no.11, pp.550-563, 2016.
- [4]横田智広, 渡辺重佳, “縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電気学会論文誌 C, 2017 年 5 月号に掲載予定。
- [5]S. Tamai and S. Watanabe, “Analysis of bit cost for stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [6]加藤翔, 渡辺重佳, “積層方式 Chain 構造 PRAM の設計法,” 電気学会論文誌 C, Vol.133, No.5, pp.937-946, 2013.
- [7]J.E Brewer and M. Gill, “Nonvolatile memory technology with emphasis on flash,” Wiley inter-science, 2008.
- [8]T. Kawahara and H. Mizuno, “Green computing with emerging
- [9] 横田智広, 渡辺重佳, “3D NAND フラッシュメモリの製造技術を用いた Fe-FET 型組合せ回路とそ

の評価結果用メモリを積層した不揮発性順序回路の提案.”電子情報通信学会論文誌 C, vol.J100-C, no.10, pp.510-518, 2017.

8. SGT を用いた積層型 CMOS NAND/NOR 回路

8-1. 序論

第4～7章で示した方式では図8-1(a)に示すように負荷にはnMOSを用いたいわゆるダイナミック回路を使用している。ダイナミック回路は低コスト化できる反面、ノイズ耐性が少なく、出力電圧が十分出ないため低電力化、低消費電力化に適しておらず独自の設計法が必要になる等の問題点が有った。

本章ではこれらの問題点を解決する縦型垂直積層トランジスタによる CMOS NAND/NOR 回路(以後、今回提案方式と略す)を提案する。そしてそのパターン面積(シリコン柱の数に対応)と単位面積当たりの製造コストを従来方式と比較する。

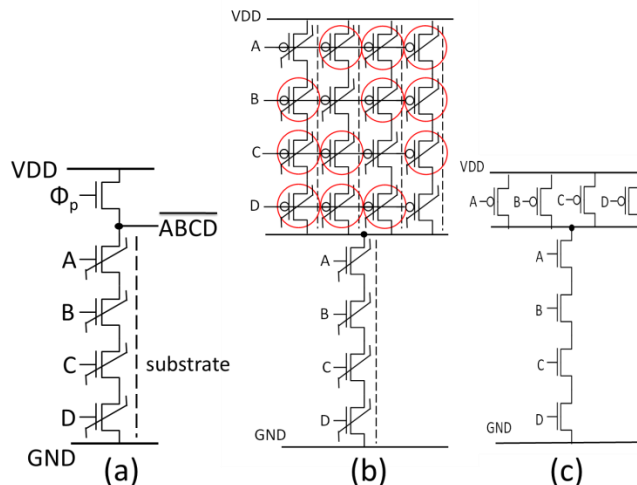


図.8-1 NAND 回路の回路図、(a)従来提案したダイナミック回路方式、(b)今回提案する CMOS 回路方式、(c)従来の 1 層型回路方式

8-2. 積層型 CMOS NAND/NOR 回路

図8-1(b)に今回提案する CMOS NAND 回路(4 入力)を従来の 1 層型回路方式[1]-[4](図8-1(c)、以後従来 1 層方式と略す)と比較して示す。図8-1(a)と(b)に示すように nMOS 部分は同じ直列接続で実現される。一方、図8-1(c)は 1 層構造のため SGT(シリコン柱)4 個分の面積が必要になるのに対し、図8-1(b)は 4 層積層構造のためシリコン柱 1 個で実現出来、パターン面積が図8-1(C)の 1/4 に縮小できる。一方 pMOS 部分には図8-1(c)では、並列に接続された 4 個の SGT で実現されるのに対し、図8-1(b)では nMOS 同様 4 段に直列接続された構成を 4 個並列に接続して実現する。これは積層した提案方式では積層して直列接続されたトランジスタを基本単位として回路を実現するためである。この点がトランジスタ 1 個を基本単位とする従来方式との異なる特徴となる。4 個直列接続されたトランジスタのうち論

理実現のために必要な1個のトランジスタ以外の3個のトランジスタは論理に無関係な通過するいわゆる通過型トランジスタとして使用する。図 8-1 (b)で通過型トランジスタは○で囲んで示している。4個の4段に積層した pMOS は4個のシリコン柱で実現され、これは図 8-1(c)の場合と同様である。

図 8-2 に nMOS と pMOS の Program、Erase 法を示す。論理を実現するために必要なトランジスタはエンハンスメント型にする(しきい値電圧は nMOS は+0.2V、pMOS は-0.2V)。通過用トランジスタはデプレッション型にする(しきい値電圧は nMOS は-1.0V、pMOS は+1.0V)。トランジスタの基板とゲート間に高電圧をかけ強誘電体の分極を反転してエンハンスメント型をデプレッション型に(Program)、もしくは(Erase)にいわゆる書込みを行う。(nMOS の Program/Erase 法に関しては第 3 章で示されている。pMOS に関しては本章で初めて提案した)。

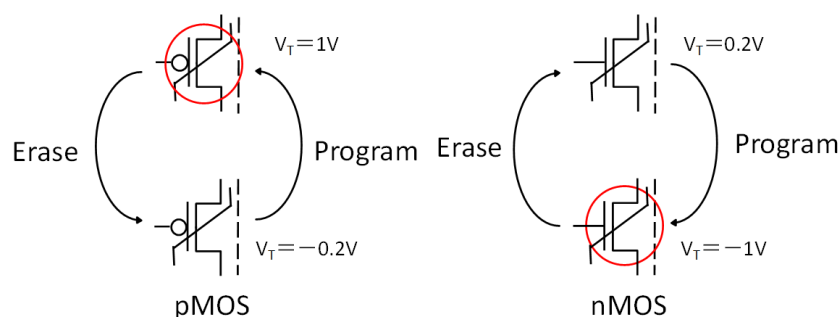


図.8-2 nMOS と pMOS の program erase 方式

今回の提案方式を用いれば CMOS NAND 回路のみならず CMOS NOR 回路も実現できる(図 8-3)。NAND 回路では pMOS 部分に 4 段に直列接続された構成を 4 個並列に接続して使用するのに対し、NOR 回路では図 8-3(a)に示すように nMOS 部分に同じ構成を使用する。論理実現に不必要なトランジスタはあらかじめ Program して通過型トランジスタとする。

8-3. パターン面積の比較

図 8-4 に従来の 1 層型と今回提案した積層型の CMOS NAND/NOR 回路の入力数(n)とシリコン柱の数(パターン面積に対応、1 個のシリコン柱の面積は $4F^2$ (F はデザインルール))の関係を示す。

従来の 1 層 CMOS では $2n$ 個の SGT が必要なためシリコン柱は $2n$ 個必要になる。一方提案 CMOS 方式では $(n+1)$ 個の n 段に直列接続したトランジスタが必要になり、シリコン柱の数は $(n+1)$ 個と従来の約 50%に減らすことが出来る。このパターン面積の低減効果が製造コストの低減につながる。(ダイナミック回路の例を参考のために図 8-4 に合わせて示す。ダイナミック回路は入力数に無関係にシリコン柱の数を 2 個に減らせられる特徴がある)。

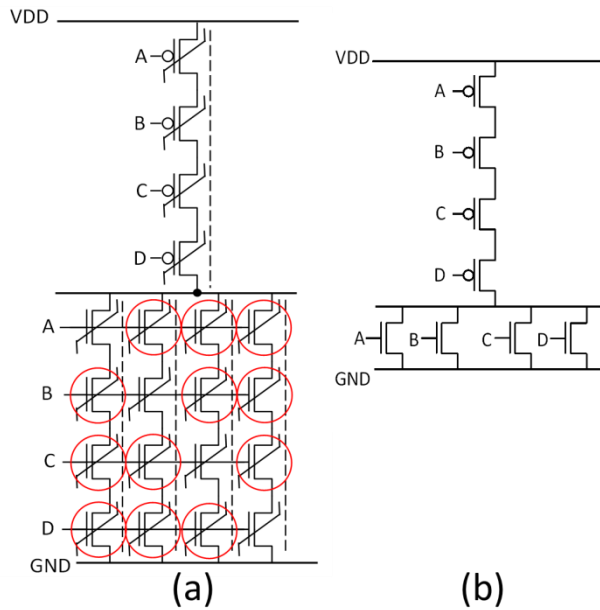


図 8-3 NOR 回路の回路図、(a) 今回提案する CMOS 回路方式、(b)従来の 1 層型回路方式

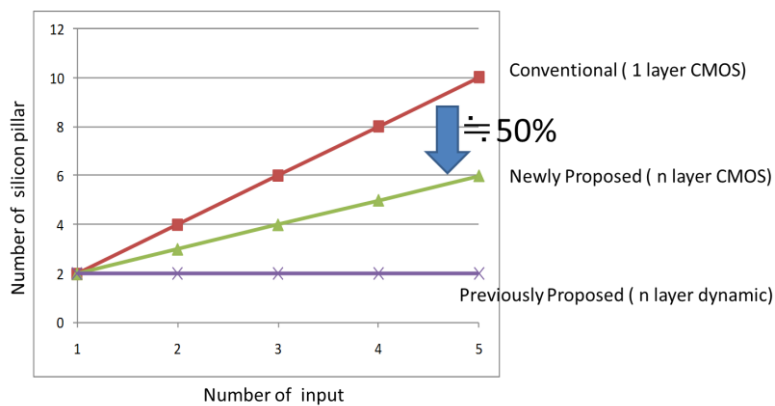


図.8-4 各方式でのシリコン柱の数（パターン面積）の比較

8-4. 単位面積当たりの製造コストの比較

前章の検討により、今回の提案方式により従来の 1 層方式に比較して約 50% にパターン面積が縮小されることが分かった。それに対して今回の提案方式では、従来の提案方式（nMOS 型）と比較して CMOS プロセスを用いるため工程数が増加する。後述するように工程数の増加に伴い単位面積当たりの製造コストが増加するため、両者の製造工程の比較を行った（図 8-5、(a) 従来の提案方式、(b) 今回の提案方式）。CMOS では nMOS 以外に PMOS も作成する必要があるため nMOS と PMOS を個別に作成するためのマスク工程（2 工程）と PMOS 用 N 型基板形成工程及び P+拡散層形成工程の合計 4 工程が新たに必要になる。

次に図 8-5 の結果を元に積層化により単位面積当たりの製造コストがどれだけ増加するかを今回と従来の提案方式で見積もった。過去の研究より従来の提案方式では、以下の(8-1)

式で N 層積層化した時の 1 層の時とのコスト比が見積もられる事が知られている（通常積層数が大きい場合で示される式が使用されているが、今回は積層数が比較的小さい場合も考慮した以下の (8-1) 式を用いた）。

$$\text{Cost ratio} = K(1.12 + 0.04(N-1)) / Y^{(1.12 + 0.04(N-1))} \quad (8-1)$$

(1.12+0.04(N-1))は N 層積層した時の工程数、1.12 のうち 1 は 1 層での工程数、0.12 は 2 層以上積層するために必要な工程数、0.04 は 1 層増加するごとに増える工程数に対応している。また Y は 1 層の時の歩留まり、K は比例定数を示す。現在製品化が進められている積層型 NAND フラッシュメモリでは 64 層が想定されているが[5]、その場合の Y=90% で 1 ビット当たりのビットコストは最小になる。そこで今後の見積もりでは Y=90% として見積もった。

一方今回提案した CMOS 方式では前述したように nMOS 方式と比較して 4 工程余分な工程が必要になる。本論文では 1 工程当たり全体の 2% に当たる 0.02 だけ工程数が増加すると仮定している。そのため(8-1)式で 1.12 の項は $1.12 + 0.02 * 4 = 0.20$ とすると、以下の (8-2) 式で求められる。

$$\text{Cost ratio} = K(1.20 + 0.04(N-1)) / Y^{(1.20 + 0.04(N-1))} \quad (8-2)$$

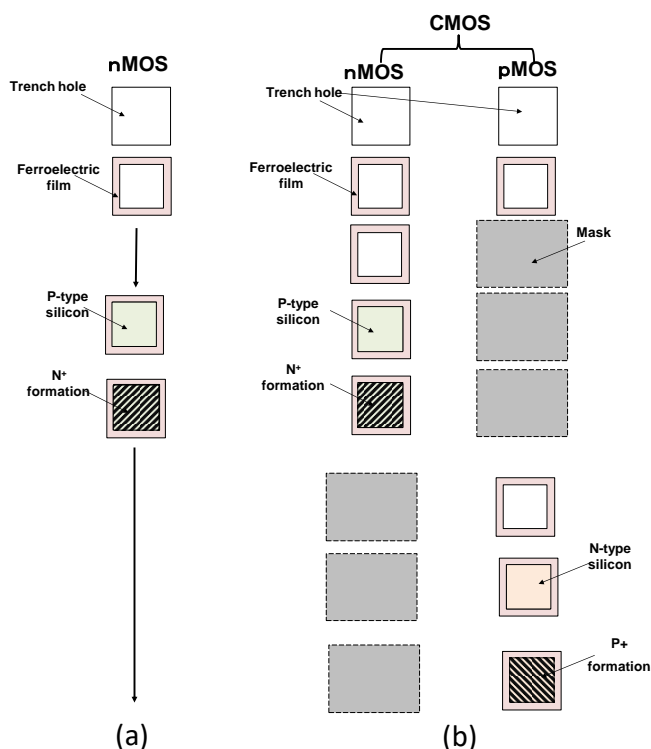


図.8-5 製造工程の比較 (a)従来提案した nMOS を用いた方式、(b)今回提案する CMOS 回路方式、

(8-1), (8-2) を用いた単位面積当たりの製造コストの積層数依存性を図 8-6 に示す。図 8-6 に示すように CMOS 方式の導入による単位面積当たりの製造コストの増加は小さく、N=4 の場合増加率は $1.52/1.41=7\%$ 、N=32 の場合は $3.03/3.16=4\%$ に抑えられ、積層数が大きいほど増加率が小さくなる事が分かる。

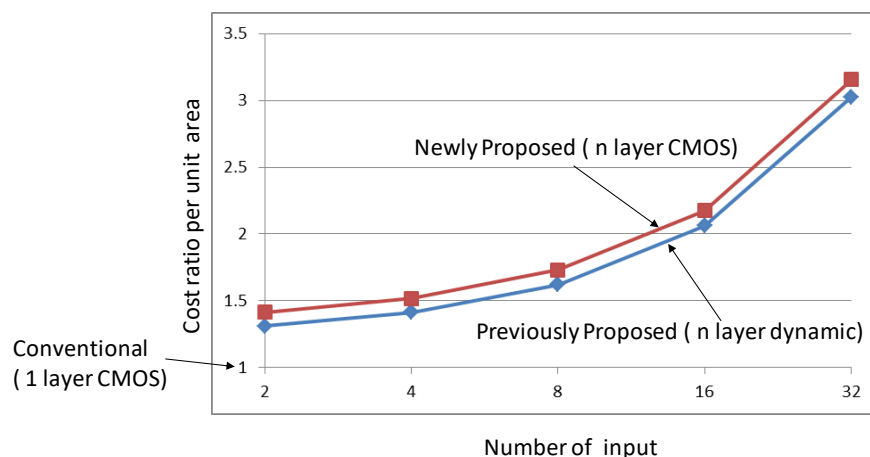


図.8-6 単位面積当たりの製造コストの比較

8-5. 結論

表 8-1 検討結果のまとめ

	proposed (N layer)		conventional (1 layer)
	Dynamic	CMOS	CMOS
patern area	2	N+1	2N
cost unit per unit area	1.41(N=4)~3.03(N=32)	1.52(N=4)~3.16(N=32)	1
feature		low poer	
	low cost	stable operation	current design scheme
		almost current design scheme	

表 8-1 に以上の検討結果をまとめた。今回の提案方式の導入により従来の 1 層方式と比較してパターン面積を約 50%に縮小できる。単位面積当たりの製造コストの増加は従来の提案方式と比較して 4~7%に抑えられる。また CMOS 方式の導入により、従来の nMOS の提案方式と比較して、低電力で安定動作を実現でき、その設計法に関しては従来の 1 層型の設計資産を活用できる特徴がある。

第 8 章の参考文献

- [1]H. Takato et al., "Impact of SGT for ultra - high density LSIs", IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991.
- [2]S. Watanabe et al., "A novel circuit technology with surrounding gate transistors (SGTs) for ultra high density DRAMs", IEEE J. Solid-State Circuits, vol.30, no.9, pp.960-95-1995.
- [3]横田智広、渡辺重佳 “SGTによるシステムLSIのパターン面積縮小効果の検討” 電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009
- [4]T. Yokota and S. Watanabe, "Analysis of pattern area reduction for logic circuit and system LSI with SGT," Contemporary Engineering Sciences, to be published in 2015.
- [5]" 東芝がフラッシュ構造を一新、18 年度に 90%超えを 3 次元に" 日経エレクトロニクス 9 月号 2016 年
- [6] 横田智広、渡辺重佳, "3D NAND フラッシュメモリの製造技術を用いた縦型垂直積層トランジスタによって構成された CMOS NAND/NOR 回路の提案." 電子情報通信学会論文誌 C, vol.J100-C, no.4, pp.168-173, 2017.

9. SGT を用いた積層型論理回路の高速化及び高機能化

9-1. 序論

第3～8章では低コストな積層型論理回路を実現する方法に関して説明した。本章では高速性能な積層型論理回路を実現する2方式(4-2: 並列処理方式、9-3: 横 NAND 方式)および高機能化について述べる。

9-2. シリコン柱内の並列処理による高速化

9-2-1. 序論

第3～8章で述べた方式ではシリコン柱の上部から1個のコンタクトを形成して出力を上部に取り出す3D NAND フラッシュメモリ固有の製造技術を仮定している。そのため1個のシリコン柱を用いて実現できる論理は1種類に限定される。つまり従来方式では1個のシリコン柱内で複数個の論理を同時に実現することが出来ない欠点があった。そのため従来方式では1個のシリコン柱内で並列処理できず、安価な積層型論理回路は実現できるものの並列処理による高速な積層型論理回路は実現できない問題があった。

本章ではこの問題を解決する1個のシリコン柱内で同時に並列処理可能な積層型論理回路を提案する(以後提案方式と略す)。提案方式では1個のシリコン柱内での並列処理を実現するため、1個のシリコン柱を複数個のブロックに分割し、各ブロックで同時に実現した異なる論理の出力をまず横方向の配線と接続し、次にそれを縦方向の配線につなぎ換えて上部に出力する。この方式を用いると、1個のシリコン柱内で複数のブロックで同時に異なる論理演算が実現でき、その結果従来方式では実現不可能だった並列処理が実現できる。この提案方式を実現するためには、従来の3D NAND フラッシュメモリの製造技術を2点で改良する必要がある。(1点目はFe-FET及び縦方向配線に用いるトレンチを異なる深さで実現する製造プロセスであり、2点目は各ブロックから横方向に出力を引出す配線及びその配線を縦方向の配線につなぎ換える製造プロセスである)。

本章は以下のように構成される。第9-2-2章では製造プロセス、動作速度、コストパフォーマンスを検討した従来及び提案方式の構成について述べ、第9-2-3章では提案方式の製造プロセスについて述べ、第9-2-4章では従来及び提案方式の製造コストとコストパフォーマンスについて述べ、第9-2-5章を結論とする。

9-2-2. 検討した従来及び提案方式

図 9-2-1 (a)~(e)に今回検討した方式を示す。図 9-2-1(a)は先ほど第 3 章で示した方式で k 個の入力が入る論理回路を示す。図で右側は回路図、左側は模式図を示す。この方式を実現するためには k 層積層すると仮定する。この方式単独では前章で述べたように並列処理は実現できない。(b) (C) は(a)を基本としてこれを並列に並べることにより並列処理をする場合を想定する (従来方式による並列処理。複数個 n 個のシリコン柱を使用)。図 9-2-1(b) は(a)の方式を n 個横に並べ並列処理をする場合を示す。(a)と比較して最大で n 倍高速化されるが、パターン面積は n 倍になるため製造コストも n 倍になる。積層数は(a)と同じ k 層を用いる。図 9-2-1(c) は(b)の積層数を n 倍の nk 層にした場合を示す。積層数が大きいほど低コスト出来る場合はコスト的に(b) より安くできる可能性がある[1]。一方図 9-2-1(d) (e)は提案方式で 1 個のシリコン柱内で並列処理できる。図 9-2-1(d)は(a)の方式を縦方向に n 個積層して n 個のブロックを形成し並列処理する場合を示す。(b)と同じ高速性能を比較的 low コストで実現できる可能性がある。ただし出力を上部に取り出すための縦方向の配線のパターン面積が新たに必要になるためその見積もりが非常に重要になる。(d)の方式を改良し、縦方向の配線を複数個のシリコン柱で共有することにより縦方向の配線数のシリコン柱数に対する割合を減らしたのが (e)方式である。詳細は次章で説明する。

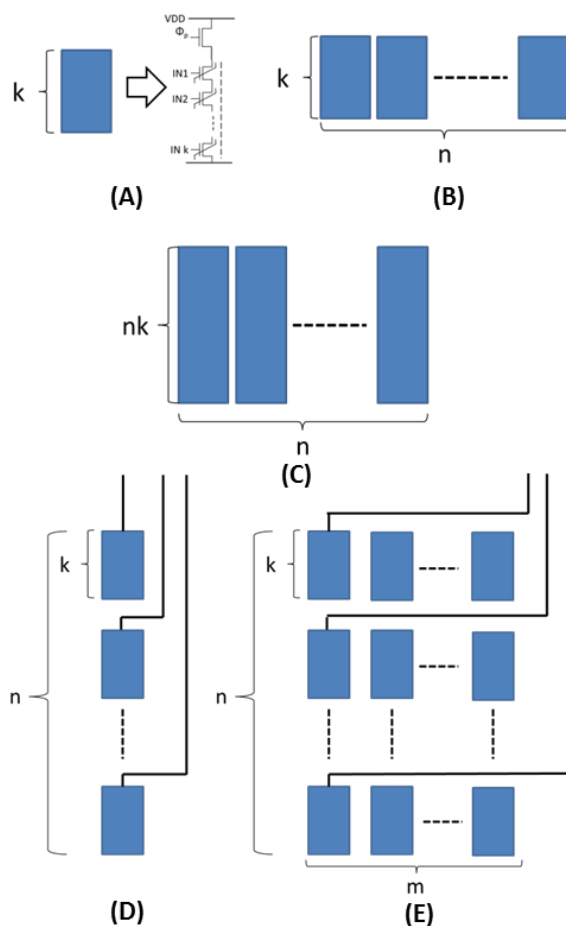


図 9-2-1 今回検討した従来及び提案方式

9-2-3. 提案方式の製造方法

今回提案した図 9-2-1(d)(e)の方式を実現するためには、従来の図 9-2-1(b)(c)とは異なる新たな製造方法が必要になる。新しい製造法を従来の図 9-2-1(c)の方式と比較する形で示す。図 9-2-3 に従来の図 9-2-1(c)の方式の製造法を示す。図 9-2-2(a)~(d)は工程断面図、(e)は対応する回路図である。初めに図 9-2-2(a)に示すように 8 入力で 8 層積層する場合を考える。まず図 9-2-2(a)に示すようにゲート材料と層間絶縁膜を交互に 8 層積層する。次に Fe-FET を構成するために GND までにトレンチの穴を形成する (図 9-2-2(b))。次にトレンチの側壁部分に強誘電体膜を形成する(図 9-2-2(c))。最後に P 型シリコンを埋め込む (図 9-2-2(d))。これは現在の 3D NAND フラッシュメモリの製造プロセスに対応する。次に図 9-2-1(d)に示すように 4 入力の積層型論理回路を複数個縦方向に積層した提案方式を考える。まず図 9-2-4(a)に示すようにゲート材料と層間絶縁膜だけでなく出力 1, 2 を積層する (n=2 を想定)。積層数は図 9-2-2 (a) に比較して増加し、製造工程も若干複雑になる。Output1,2 に関しては、ゲート材料とは異なるフォトリソグラフィプロセスを行い、横方向の出力配線を形成する。次に Fe-FET だけでなく上部への接続線を形成するためにトレンチの穴を形成する(図 9-2-4(b))。Fe-FET を形成するトレンチは一番下の GND まで、出力 2 の縦の接続線を形成するためのトレンチは横に走る出力 2 信号線まで、出力 1 の縦の接続線を形成するためのトレンチは横に走る出力 1 信号線の深さまで形成する。トレンチの深さを調整するためにトレンチ径の大きさを調整する。トレンチ径が大きいほどトレンチ深さは深くなる。詳細に関しては後述する。次にトレンチの側壁部分に強誘電体膜を形成する (図 9-2-4(c))。次に縦方向の接続線を入力線と絶縁するため絶縁膜を形成する(図 9-2-4(d))。次に横に走る接続線と VDD を Fe-FET と接続するための n 型拡散層を形成する。

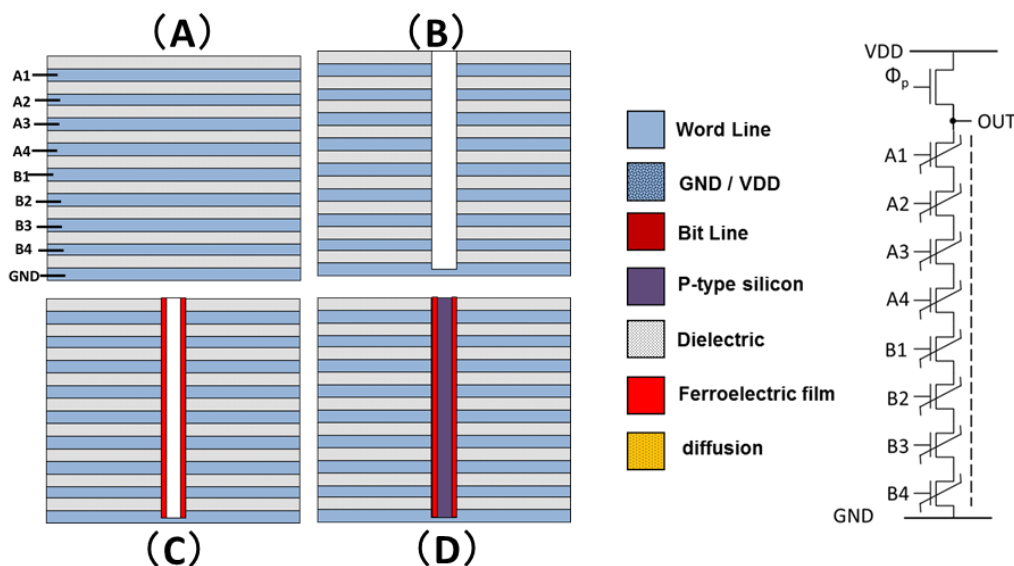


図 9-2-2 図 9-2-1 (c)の方式の工程断面図

具体的にはあらかじめ横に走る出力線と VDD 線に n 型不純物を含ませおきそれを熱処理によって拡散させることにより n 型拡散を形成する(図 9-2-3(e))。次に Fe-FET のための P 型シリコンを埋め込む (図 9-2-3(f))。最後に縦方向の接続線のためポリシリコン材

料を埋め込む(図 9-2-3 (g))。

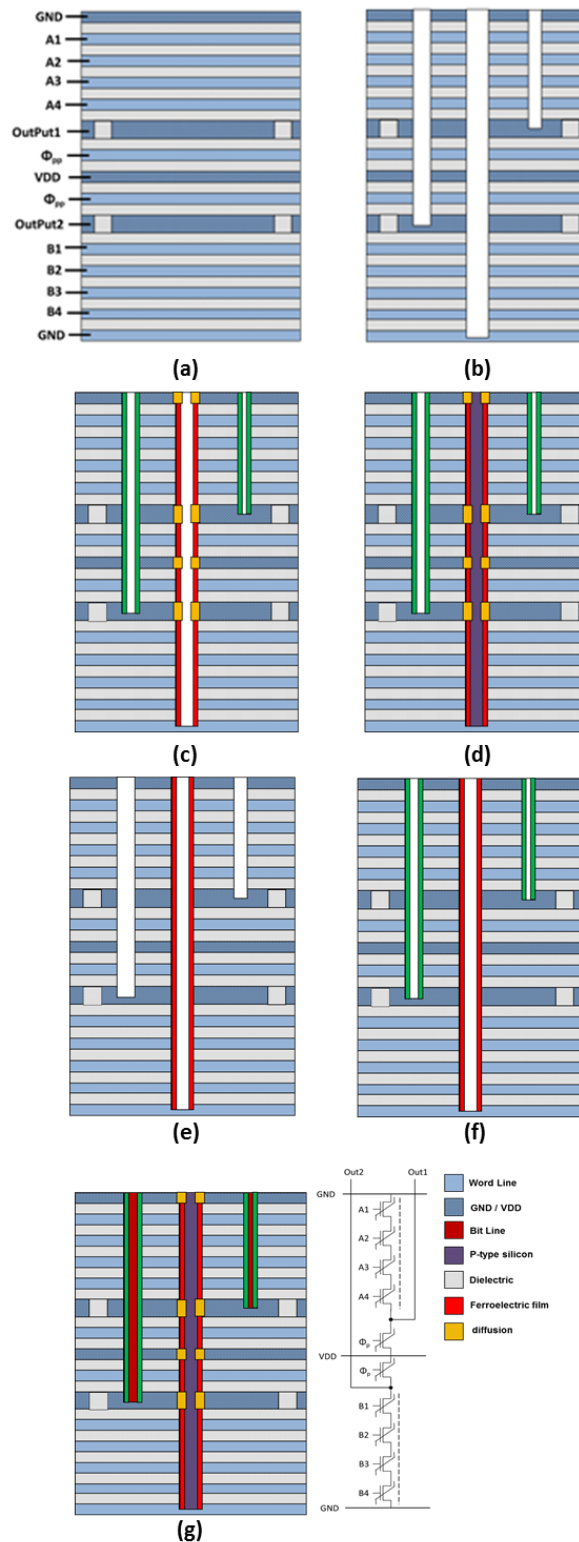


図 9-2-3 図 9-2-1(d)の方式の工程断面図

以上の工程の中で新たな製造工程として重要なのは、トレンチ径の大きさをトレンチ深さを調整する工程である。トレンチ径の大きさをトレンチ深さを調整するには以下の方式が考

えられる(図 9-2-4)。図 9-2-4 は MEMS トレンチ形成工程の例を示す[2]。断面写真からわかるようにトレンチ径の大きさが大きくなるに従いトレンチ深さが深くなるのが分かる。図 9-2-3(g) の断面を実現するためには図 9-2-4 のようなトレンチ径を形成しその後トレンチのエッチングを行い、そして最後にシリコン基板を太い波線で示すように途中まで削ることにより必要な深さのトレンチを形成できる可能性があることがわかる(必要なトレンチ深さを微調整するためにはトレンチ径の大きさを微調整することが考えられる。またトレンチの形成方法に別の方法を考えることも可能である[3])。次に図 9-2-1(e)に示すように 4 入力の積層型論理回路を複数個横方向に並列に接続し、それを更に縦方向に 2 個積層した場合を考える。その製造方法を図 9-2-5(a)に示す。基本的には図 9-2-3 の製造方法と同じで Fe-FET が形成される深いトレンチが複数個(4 個)あることが相違点である。図 9-2-5(b)に並列に 4 個接続した場合の回路図を示す(n=4)。

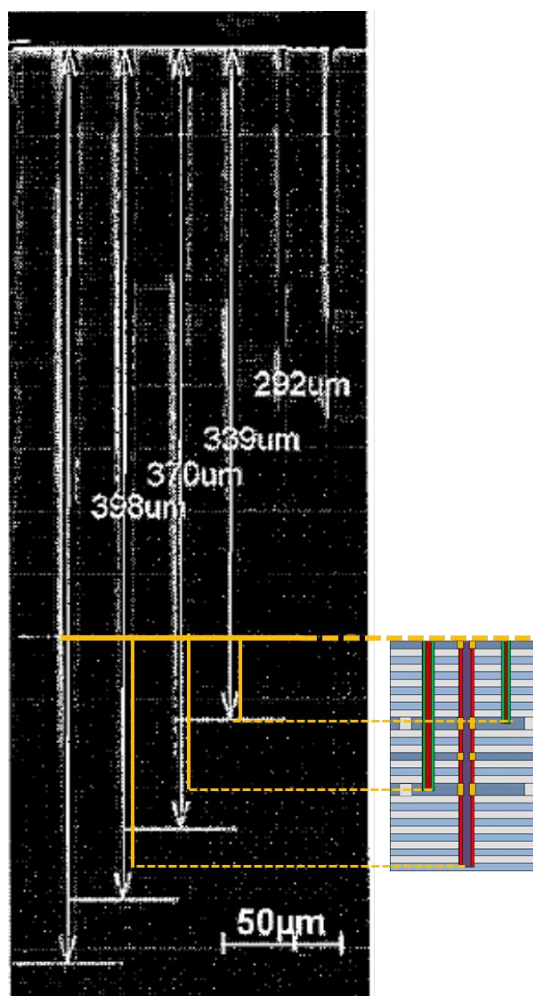
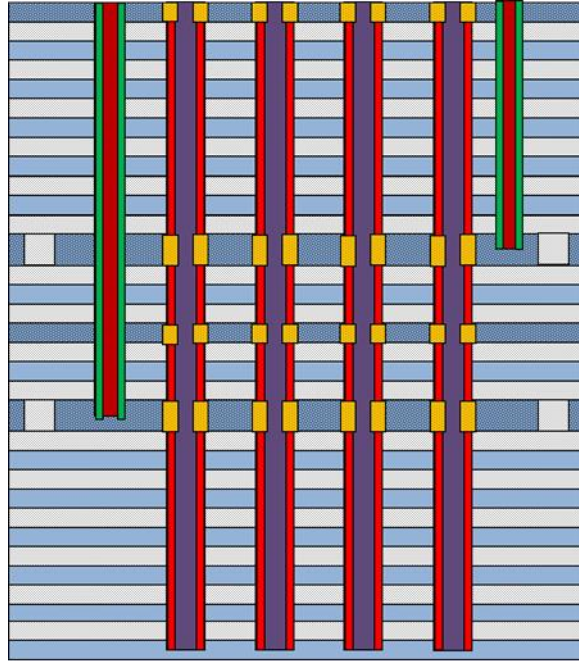


図 9-2-4 トレンチ径の調整することによりトレンチ深さを調整する製造工程の説明図 (断面写真)



(a)

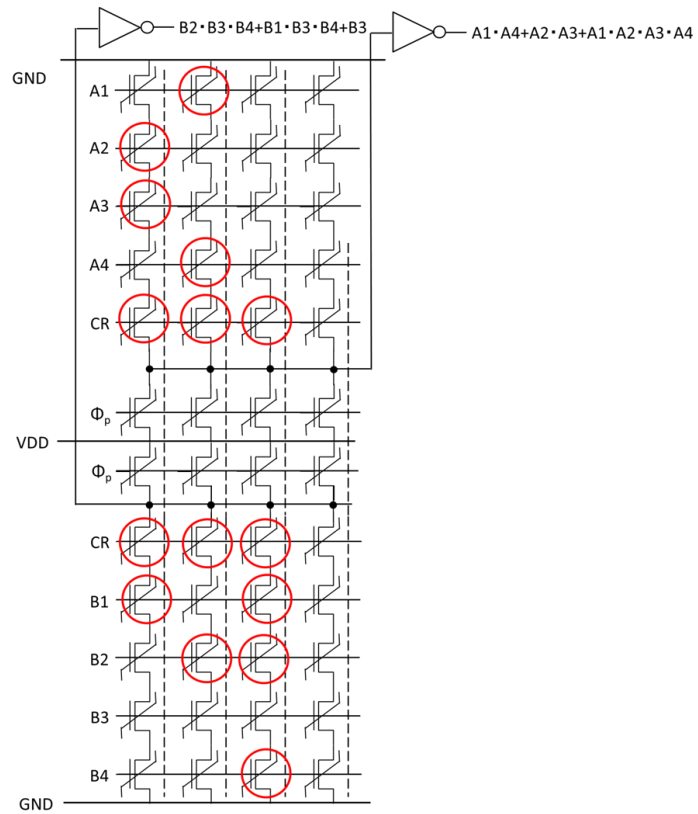


図 9-2-5 図 9-2-1(e)方式の断面図及び回路図

入力信号 A に関する論理を実現するには、まず 4 個のシリコン柱の下部を用いて積の論理を実現し、次にその出力をお互いに並列に接続することによりそれらの和の論理を実現して

いる。つまり 4 つの入力信号 A1~A4 を用いてそれらの積の演算を形成しそれを横方向に複数個接続することにより 4 つの入力の任意の積和演算を実現することが出来る。例えば A1~A4 の入力信号を用いて図 9-2-5(b)に示すように Fe-FET にプログラムをすると $A1 \cdot A4 + A2 \cdot A3 + A1 \cdot A2 \cdot A3 \cdot A4$ 信号を実現できる。同様に B1~B4 の入力信号を用いると $B2 \cdot B3 \cdot B4 + B1 \cdot B3 \cdot B4 + B3$ 信号を実現することが出来る。この方式は複数個に 1 個の割合で縦方向に出力線が走るため、図 9-2-1(d)方式に比べて縦方向の出力線のパターン面積を大幅に縮小できる特徴がある。ただしこの方式では並列に接続する数が製造技術的に固定されているため(この図では 4 個)不要な部分を並列に接続しないようにするためゲートに CR 信号が入力される Fe-FET をもうける(接続しない場合はプログラムを行わず使用する場合にはプログラムを行い動作時には CR 信号に GND の電圧を与える)。

9-2-4. 結論

3D NAND フラッシュメモリの製造技術を改良した同一シリコン柱内で並列処理可能な積層型 Fe-FET 再構成可能論理を新たに提案した。従来の方式では 1 本のシリコン柱内で 1 個の論理回路を実現させていたのに対し、提案方式では複数の論理回路を構成し、それを並列処理している。各論理回路の演算結果は縦方向の配線で上方に出力される。この縦方向の出力配線を実現するために、異なるトレンチ径を用いて深さの異なる Fe-FET 用と出力配線用のトレンチを同時に形成する方式を新たに導入している。提案方式の導入により、(製造コストと動作時間の積)の逆数で定義されるコストパフォーマンスが、従来の並列処理を行わない方式と比較して大幅に向上することが期待できる。新たに提案した並列処理方式は、低コストで高速な再構成可能な論理回路を実現する候補として極めて有望である。

9-3. 横 NAND 方式による高速化

9-3-1. 序論

第 3~8 章で述べられた方式ではいずれも縦方向のチャネル方式を用いている。NAND 論理の出力にはシリコン柱の上部に形成される。低コストを実現するためにはなるべく積層数が多いことが望ましい。しかし積層数の増加は遅延時間の増大につながる問題がある。本章ではこの問題を解決するために縦方向の積層方式を用いて横方向のチャネル方式を実現する方式を新たに導入した。この方式では信号は横方向に伝わる。この方式は参考文献[5][6]で述べられた方式を用いて実現できる。

9-3-2. 縦方向に積層された論理回路での横方向チャネル方式

図 9-3-1 に横方向チャネル方式の構成を示す。ここで信号は横方向に伝わる。チャネル

は Fe-FET によって構成され、Fe-FET のゲートに入力信号 WL1~WL4 が入力される。出力 BL1~BL4 はアレイの右端に出力される。Fe-FET の大きさは $2F \times 2F = 4F^2$ で第 3 章~8 章の場合と同じである。図 9-3-2 に鳥観図と上面断面図を示す。Fe-FET のチャンネル幅、WL の幅はいずれもデザインルール F である。WL 間距離も F になる。

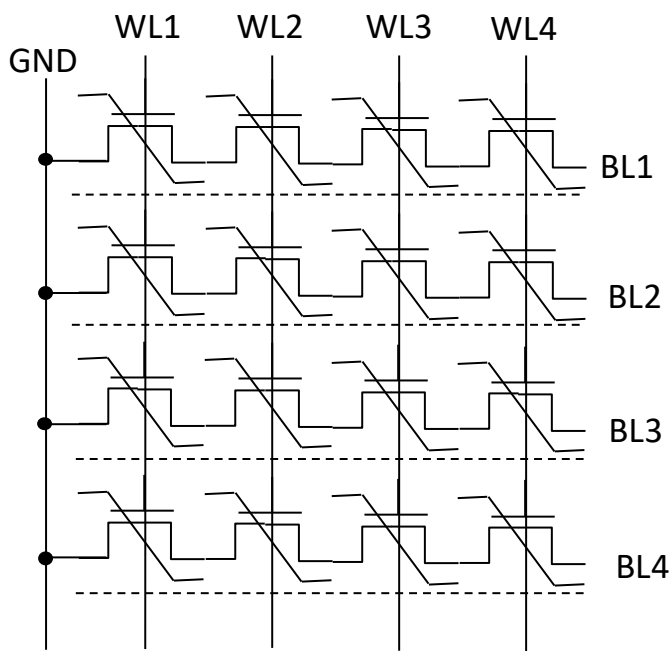


図 9-3-1 横方向チャンネル方式の構成

製造方法を図 9-3-3 と図 9-3-4 に示す。最初に Si と SiGe が縦方向に積層される。これは第 3 章~8 章の場合と同じである。次に隣接 Fe-FET を分離するため Si と SiGe を選択的にエッチングする。さらに SiGe が強誘電体膜形成のために除去され、最後に強誘電体膜と WL を形成している。この方式では縦方向の積層数と横方向に接続された Fe-FET 数は独立しているためそのため低コストと高速動作を両立することができる。

図 9-3-5 に縦/横方向チャンネル方式の NAND 論理の時間を示す。遅延時間は図 9-3-6 を用いて見積もった。F=39nm、Fe-FET の移動度は $200 \text{ cm}^2/\text{Vs}$ を用いた[7]-[11]。積層数が 256/512 層と多くなると横方向のチャンネル方式で 32 セル直列接続の方が従来の縦方向と比較して遅延時間は $1/64 \sim 1/256$ に低減できる。

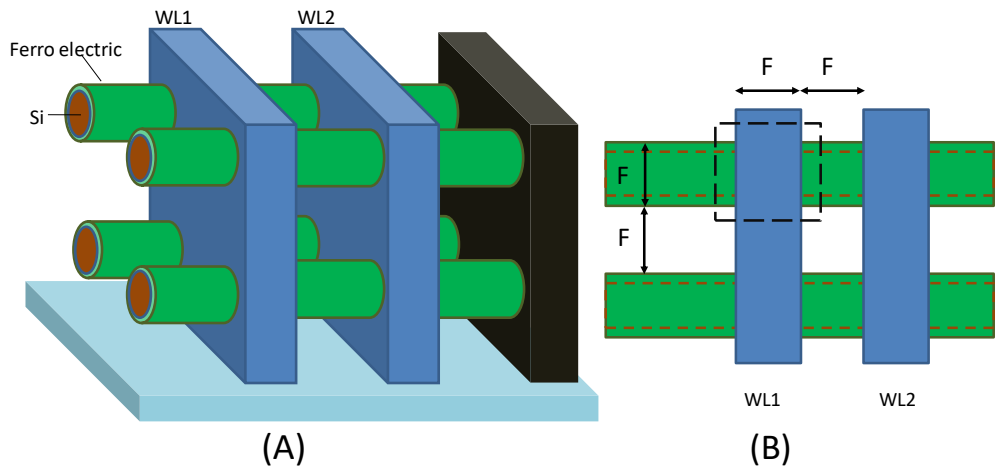


図 9-3-2 横方向チャネル方式 (A)鳥瞰図 (B)上面断面図

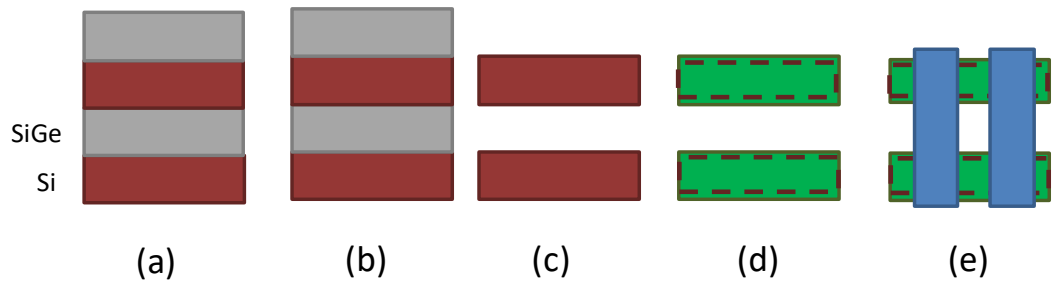


図 9-3-3 横方向チャネル方式のチャネル方向断面図 (a)Si と SiGe の形成 (b)Si と SiGe のエッチング (c)SiGe の除去(d)強誘電体膜の形成 (e)WL の形成

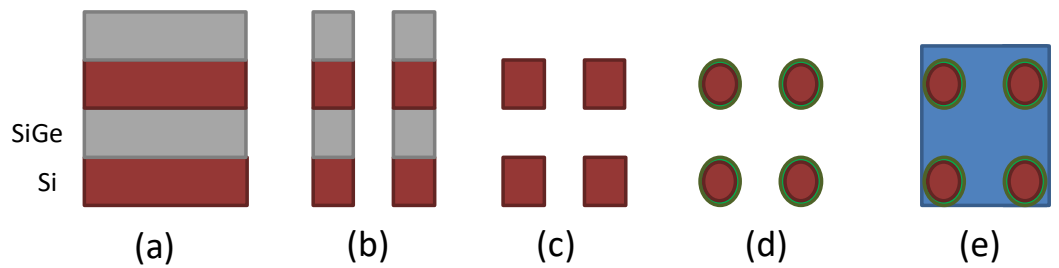


図 9-3-4 横方向チャネル方式のチャネル方向に垂直な面の断面図 (a)Si と SiGe の形成 (b)Si と SiGe のエッチング (c)SiGe の除去(d)強誘電体膜の形成 (e)WL の形成

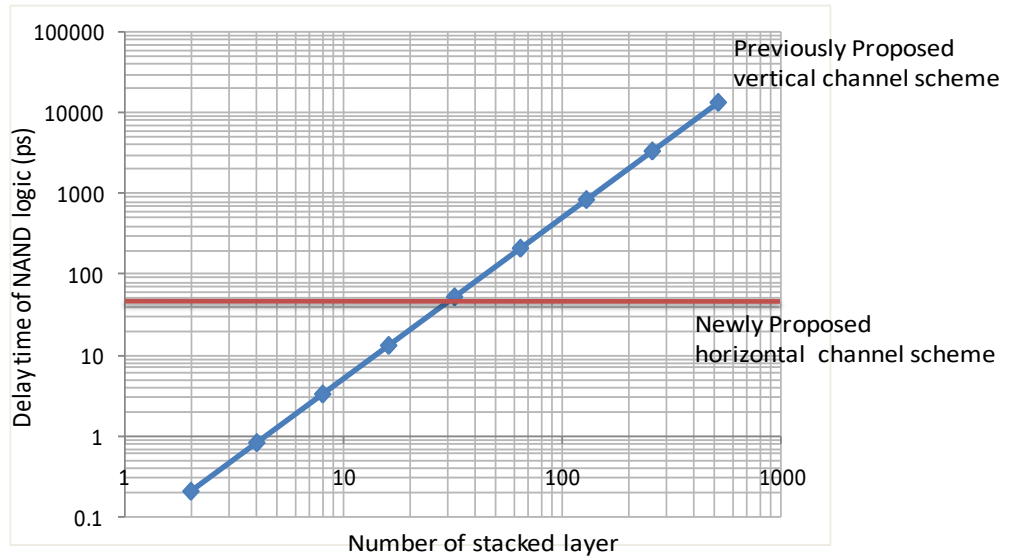


図 9-3-5 NAND 論理の遅延時間(縦方向チャネル方式と横方向チャネル方式)

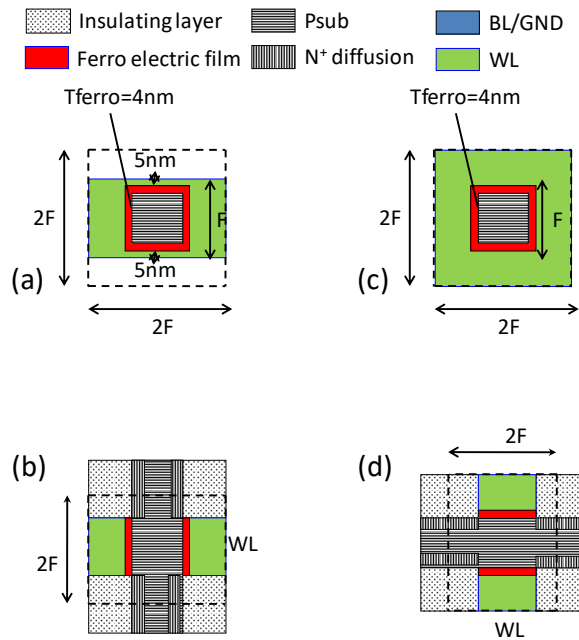


図 9-3-6 断面図 (a)縦方向チャネル方式(チャネルに垂直方向の断面図) (b)縦方向チャネル(チャネル方向断面図) (c)横方向チャネル(チャネルに垂直方向の断面図) (d)横方向チャネル(チャネル方向断面図)

9-3-3. 結論

低コスト化と遅延時間の低減を両立できる横方向チャネル方式を新たに提案した。従来の縦方向チャネル方式と比較してほぼ同じ低コストで $1/64 \sim 1/256$ の高速動作が期待できる横方向チャネル方式は将来の低コストと高速動作を実現する方法として極めて有望である。

9-4. 積層方式の高機能化

9-4-1. 序論

第3～8章で述べた方式は積層しない方式と比較して積層化により大幅にパターン面積が低減できるもののさらなるパターン面積と縮小する方式が望まれる。

9-4-2. 複数のシリコン柱を用いて演算することにより最小のシリコン柱

の論理回路を実現する新方式

2入力の場合の新方式の回路図を図9-4-1に示す。図に示すように2本のシリコン柱に合計8個のFe-FETが使用され、1本のシリコン柱のBが入力するFe-FETともう1本のシリコン柱Bが入力するFe-FETは常時Dタイプとする。2入力論理では合計16種類の論理が必要になるがそれは表9-4-1に示すようにFe-FETをあらかじめプログラムしてDタイプにすることにより実現される。例えば出力 $A\bar{B}$ を実現するためにはC3とC5のFe-FETをDタイプ（表で+VはDタイプ、0はEタイプを示す）にすることによって実現できる（図9-4-2）。

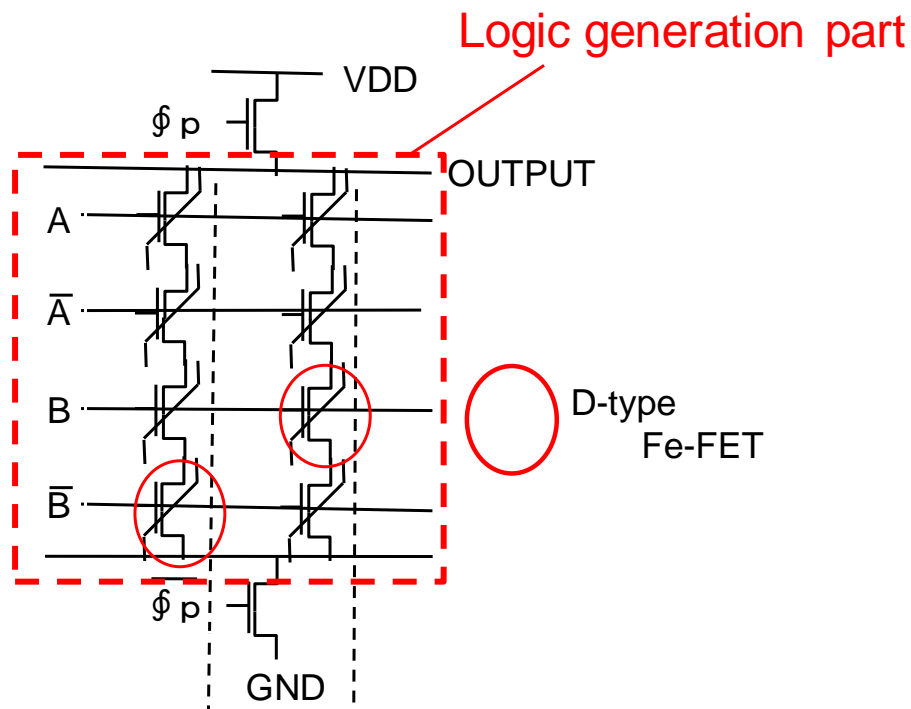


図 9-4-1 2 入力の新方式の回路図

表 9-4-1 16 論理を実現するための Fe-FET の特性

C_1	C_2	C_3	C_4	C_5	C_6	\bar{Y}
0	+V	0	0	0	+V	AB
+V	0	0	0	0	+V	$\bar{A}B$
0	0	+V	0	+V	0	$A\bar{B}$
0	0	+V	+V	0	0	$\bar{A}\bar{B}$
+V	0	0	0	+V	0	$A\oplus B$
0	+V	0	+V	0	0	$\bar{A}\oplus\bar{B}$
0	+V	0	0	+V	0	A
+V	0	0	+V	0	0	\bar{A}
+V	+V	0	0	0	+V	B
0	0	+V	+V	+V	0	\bar{B}
+V	+V	0	0	+V	+V	$A+B$
+V	+V	0	+V	0	+V	$\bar{A}+B$
0	+V	+V	+V	+V	0	$A+\bar{B}$
+V	0	+V	+V	+V	0	$\bar{A}+\bar{B}$
+V	+V	+V	+V	+V	+V	T
0	0	+V	0	0	+V	\perp

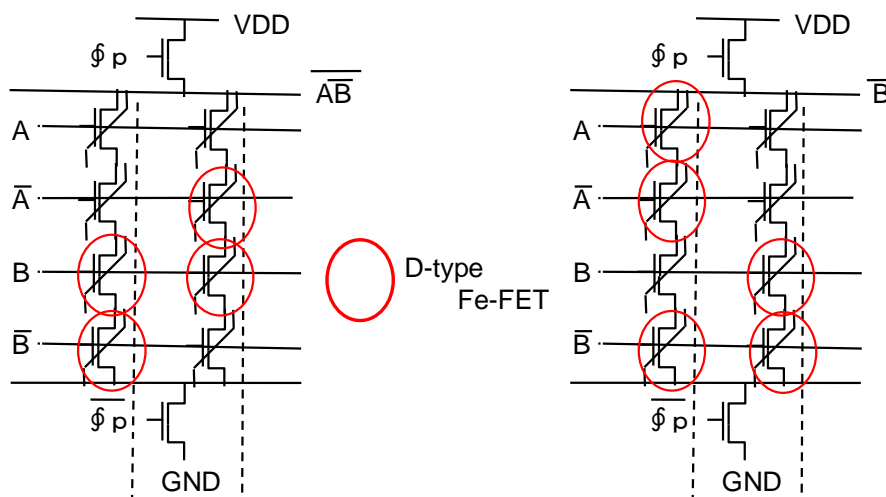
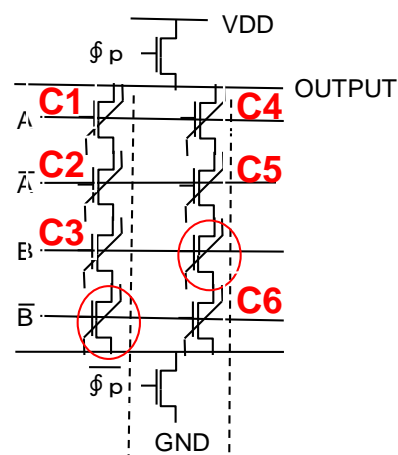


図 9-4-2 各種論理回路の実現方法

一方出力に \bar{B} を実現するためには C1、C2、C6 の Fe-FET をあらかじめ D タイプにプログラムすることにより実現できる。

2 入力の売位必要なシリコン柱数はわずか 2 本である。1 層方式ではシリコン柱は 6 本必要であり過去提案されている LUT を用いた方式[12][13][14]でも 4 本のシリコン柱が必要になる (図 9-4-3)。

パターン面積はシリコン中樞に比例するため、新方式では従来提案された積層方式の 1/2 のパターン面積が実現できる。

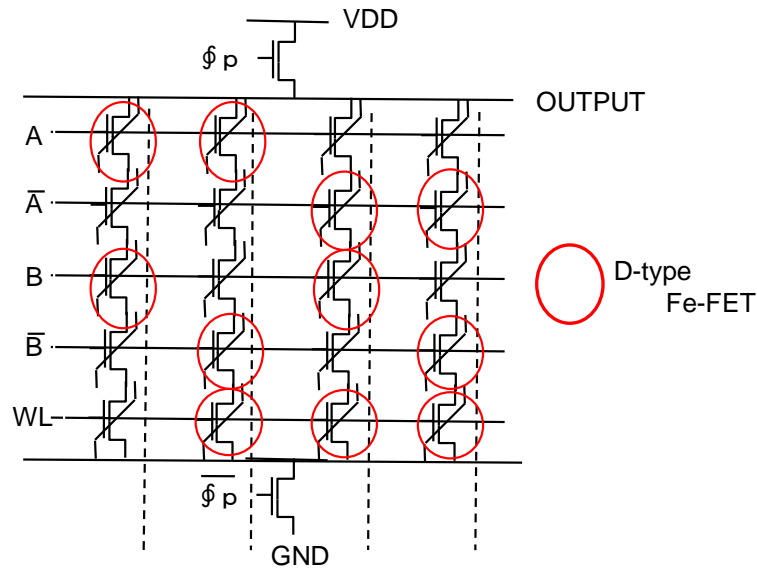


図 9-4-3 過去提案された 2 入力の積層型論理回路方式

9-4-3. 結論

複数のシリコン柱を用いて演算することにより最小のシリコン柱数の積層型論理回路を実現する方式を提案した。1 層方式の 1/3、従来方式の 1/2 のシリコン注数で任意の積層型論理回路を実現できる。

この方式は第 3～8 章に述べた方式以上の低コストな積層方式を実現するために極めて重要な候補である。

9-5. 結論

積層方式の高速化のための 2 方式(並列処理方式、 \bar{A} -NAND 方式)および高機能化について述べた。いずれの方式も将来の積層方式の KEY 技術として重要である。

第 9 章の参考文献

- [1]横田智広, 渡辺重佳, “縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電気学会論文誌 C, vol.137, no.5, pp.678686,2017.
- [2]K. Owen et. al.,”High aspect ratio deep silicon etching”, MEMS 2012, pp.251-254, 2012.
- [3]K. Muller et. al, “Trench storage node technology for gigabit DRAM generations”, IEDM Tech

Digest, p.507, 1996.

- [4]横田智広, 渡辺重佳, “3D NAND フラッシュメモリの製造技術を構造を用いた縦型垂直積層トランジスタによって構成された CMOS NAND/NOR 回路の提案.” 電子情報通信学会論文誌 C, vol.J100-C, no.4, pp.168-173, 2017.
- [5] W. Kim et al., “Multi-layered vertical gate NAND flash overcoming stacking limit for terabit density storage”, IEEE Trans. Electron Devices, vol.58, no.4, pp.1006-1014, 2011.
- [6]J. Yun et al., “Single-crystalline Si Stacked Array (STAR) NAND flash memory,” IEEE Journal of Solid-State Circuits, vol.34, no.4, pp.476-483, 1999.
- [7]E. Yurchuk et al., ”Impact of Scaling on the Performance of HfO₂ Based Ferroelectric Field Effect Transistors”, IEEE Trans. Electron Devices, vol. 61, pp. 3699 - 3706, 2014.
- [8] T.P.-C. Juan et al., ”A new metal - ferroelectric (PbZr_{0.57}Ti_{0.43}O₃) – insulator (Dy₂O₃) semiconductor (MSIF) FET for nonvolatile memory applications ”, IEEE Trans. Electron Device Lett., vol.27, no.4, pp. 217 - 220, 2006.
- [9] P. Sharma et al., ”Impact of total and partial dipole switching on the switching slope of gate-last negative capacitance FETs with Ferroelectric Hafunimm Zirconium oxide gate stack”, Symp.on VLSI Technology, Dig. Tech. Papers, pp.T154-T155, 2017.
- [10] T. Nishimura et al., ”Toward 1-nm-EOT Hf_{0.5}Zr_{0.5}O₂ Ferroelectric films”, Extended abstract of SSDM pp.30-31, 2014.
- [11] K. Florent et al., ”First demonstration of vertically stacked Ferroelectric AL Doped HfO₂ devices for NAND applications”, Symp.on VLSI Technology, Dig. Tech. Papers, pp.T158-T159, 2017.
- [12]S. Tama, S. Sato and S. Watanabe, “Proposal of stacked type memory/Logic circuit array and its application to LUT(Look Up Table)”, IEICE. Trans. on Electronics, vol.J99-C, no.7, pp.347-356, 2016.
- [13]S. Tama, S. Sato and S. Watanabe, “Pattern area reduction of logic block for stacked FPGA with process technology of 3D NAND flash memory”, IEICE. Trans. on Electronics, to be published in 2017.
- [14]S. Tamai and S. Watanabe, “Analysis of bit cost for stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.

10. 結論

10-1. 結論の要約

本論文では、SGTを用いた従来のムーアの法則を延命させる新たな論理LSIを提案した。1層構造のSGTではパターン面積を縮小可能な最適設計方法を、SGTをFe-FETとBiCS技術と組み合わせた積層型論理LSIでは低コスト、高速、低電力技術を新たに提案した。

1層型に関してはコスト削減に最も効果のあるパターン面積の縮小のための最適設計法を提案した(第3章)。

積層型に関しては低コスト化のみならず高速化、低電力化に適した方式を提案した。

低コスト化に関しては始めに第4章で積層型SGTによるNAND/NAND組み合わせ回路を提案した。次に第5章ではこれを更に低コスト化可能な階層積層型SGTによるNAND/NAND組み合わせ回路を提案した。第6章では組み合わせ回路同様に重要な情報記憶用のフリップフロップ回路(FF)の積層化について提案した。FFは組み合わせ回路の横に配置されることを前提とした。次の第7章では更なる低コスト化のために前述したFFを1個のメモリ素子で実現し、それを組み合わせ回路上に積層する方式を提案した。また第9.4章ではSGTを構成するシリコン柱の数を低減する方式も検討した。

低電力化に関しては第8章で、低電圧動作が可能な積層型CMOS回路を新たに提案した。

最後に高速化に関してはまず第9.2章でSGTを構成するシリコン柱の中で並列処理を実現できる方式を提案した。次に第9.3章で出力が横方向に出る横NAND方式を提案した。

以下に第3章から第9章を要約する。

第3章ではインバータ、NAND回路の基本論理回路に関して、1層型SGT導入によるパターン面積縮小効率に関して詳細に検討した。そしてチャネル幅の小さいインバータ以外の基本論理回路ではトランジスタを横方向に配置した方がパターン面積の縮小効果が大きくなることを利用した最適設計法を新たに提案した。また新たにフリップフロップやマルチプレクサ、全加算器等の基本論理回路を横型の1層型SGTでパターン設計し、1層型SGT導入によるパターン面積の縮小効果を解析した。その結果検討に用いたいずれの回路でもパターン面積は平面型の65~86%とSGTの導入により大幅に縮小できている。特にパターンの縦幅は63~71%と大きく縮小しており、その縮小率は配線の面積比率に強く依存する(配線の比率が0%の場合には50%に縮小できる)。横幅は回路への入力数等によらず約10%程度増加することが分かった。以上の結果より1層型SGTは平面型トランジスタのパターン面積を縮小する技術として極めて有望であることが分かった。以上の研究により、1階層型SGTを用いた論理LSIではデザインルールが同じ場合、従来の平面型の場合と比較して動作速度と消費電力を犠牲にすることなく製造コスト(正確にはパターン面積)を65%~86%に低減できる効果があることが分かった。

第4章では積層型SGTにFe-FETとBiCS技術を組み合わせた多段積層縦型トランジスタ構造を用いた積層型Fe-FET NAND/NAND アレイを新たに考案し、そのロジックLSIへの適用方法を提案した。積層型Fe-FET NAND/NAND アレイではFe-FETのNANDアレイを二組組み合わせることにより任意の再構成可能な組み合わせ回路を実現できる。従来の1層型のロジックLSIと比較して積層段数の増加とともにパターン面積と製造コストを大幅に縮小できることが分かった（再構成を考慮した場合32層でパターン面積を0.2%、製造コストを0.6%に低減可能。再構成しない場合はパターン面積を6%、製造コストを26%に低減可能）。本提案によりトランジスタの微細化を行うことなく論理LSIの大容量化、低コスト化、高速化が積層段数の増加とともに継続的に実現できる可能性がある。つまり本提案により従来のムーアの法則を今後も継続して延命することが出来る。

第5章では、第4章の方式を更に低コスト化可能な階層積層型Fe-FET NAND/NANDアレイを新たに考案し、そのロジックLSIへの適用方法を提案した。提案方式では縦方向に互いに独立に動作する回路を複数個積層する階層構造を新たに導入している。従来の縦方向に1種類の回路のみを配置する第4章の方法と比較して、パターン面積と1つの回路当たりの製造コストを低減できる特徴がある。縦方向に16個の回路を積層した場合、動作速度と読み出し時の消費エネルギーを犠牲にする事無く、1つの回路当たりの製造コストを従来方式の約36%に低減できる。提案方式は大容量積層型メモリの製造技術を変更無しで適用することにより、第4章の方式以上に低コストで高速なASIC,FPGA等の論理LSIの組み合わせ回路を実現する手段として非常に有効である。

第6章では組み合わせ回路同様に重要な情報記憶用のフリップフロップ回路(FF)の積層化について提案した。積層型SGTにFe-FETとBiCS技術を組み合わせた多段積層縦型トランジスタ構造を用いた積層型Fe-FET順序回路を新たに考案した。積層型Fe-FET順序回路は、従来提案されている組み合わせ回路を実現するための積層型Fe-FET NAND/NANDアレイと新たに提案した積層型Fe-FET型フリップフロップを組み合わせることにより今回初めて実現する事が出来た。新たな提案の有効性を9種類の簡単な順序回路で見積もった結果、パターン面積は従来の1層型SGTを用いた場合と比較して約10~20%に大幅に縮小出来ることが分かった。またその製造コストは10~30層程度積層することにより、従来の1層の場合と比較して1/3に大幅に縮小出来る。本提案によりトランジスタの微細化を行うことなく再構成可能論理を含む論理LSIの大容量化、低コスト化、高速化を今後も継続的に実現できる可能性がある。

第7章では組み合わせ回路とその評価結果用メモリを縦方向に積層した不揮発性順序回路を新たに提案した。提案方式により第6章で組み合わせ回路と別のシリコン柱で形成されていたフリップフロップ回路を、同一シリコン柱で組み合わせ回路の上に積層された1個のFe-FETで形成できる特徴がある。そのため第6章の方式より、パターン面積や製造コストを低減出来、従来揮発性だった評価結果用メモリを不揮発にできる。提案方式として、簡略

型、組み合わせ回路を逐次プログラムする共有積層型、複数の組み合わせ回路を積層した階層積層型、共有積層型と階層積層型を組み合わせた共有階層積層型の4種類を考案し、それぞれのコストパフォーマンスを比較した。製造コストとサイクル時間の積でコストパフォーマンスを評価した場合、Fe-FETのプログラム時間と読み出し時間が同じ場合には、共有積層型により従来方式と比較してコストパフォーマンスは20.8倍に出来、Fe-FETのプログラム時間が読み出し時間と比較して非常に長い(10000倍)場合には、共有階層積層型によりコストパフォーマンスを18.3倍に増加出来ることが分かった(16種類の順序回路の場合)。提案方式は低コストで高速な不揮発性順序回路の候補として非常に有望である。

第8章に第4-7章で前提としていたダイナミック回路の代わりに負荷にPMOSを用いたCMOSのスタティック回路を提案した。従来の1層方式と比較してパターン面積を約50%に縮小できる。単位面積当たりの製造コストの増加は従来の提案方式と比較して4~7%に抑えられる。またCMOS方式の導入により、従来のnMOSの提案方式と比較して、低電力で安定動作を実現でき、その設計法に関しては従来の1層型の設計資産を活用できる特徴がある。提案方式は将来の積層型論理LSIの低電力化の候補として非常に有望である。

第9-2章では、第一の高速化手法として、同一シリコン柱内で並列処理可能な積層型Fe-FET再構成可能論理を新たに提案した。従来の方式では1本のシリコン柱内で1個の論理回路を実現させていたのに対し、提案方式では複数の論理回路を構成し、それを並列処理している。各論理回路の演算結果は縦方向の配線で上方に出力される。この縦方向の出力配線を実現するために、異なるトレンチ径を用いて深さの異なるFe-FET用と出力配線用のトレンチを同時に形成する方式を新たに導入している。提案方式の導入により、(製造コストと動作時間の積)の逆数で定義されるコストパフォーマンスが、従来の並列処理を行わない方式と比較して大幅に向上することが期待できる。

第9-3章では、第二の高速化手法として、低コスト化と遅延時間の低減を両立できる横方向チャンネル方式(横NAND方式)を新たに提案した。従来の縦方向チャンネル方式と比較してほぼ同じ低コストで1/64~1/256の遅延時間の高速動作が期待できる横方向チャンネル方式は、将来の低コストと高速動作を実現する方法として極めて有望である。

10-2. 将来の展望

本論文では主にSGTを用いた従来のムーアの法則を延命させる新たな論理LSIを提案した。1層構造のSGTではパターン面積を縮小可能な最適設計方法を、SGTをFe-FETとBiCS技術と組み合わせた積層型論理LSIでは低コスト、高速、低電力技術を新たに提案した。

1層構造のSGTによる論理LSIの設計に関しては、最近ようやくLSIレベルの試作

結果が出始めており[1]、現在既に製品化されている FinFET を用いた論理LSIとの比較が進められるようになってきた[2][3]。今後1層型SGTに適した新たな論理LSIの製品化が望まれる。また過去平面型トランジスタで検討されてきたように疑似的な3次元型構造の研究[4]-[7]も期待できる。

SGTをFe-FETとBiCS技術と組み合わせた積層型論理LSIでは、今後以下に述べるような更なる技術発展が期待できる。

近未来の展望として、本論文の前提となっている、SGT, Fe-FET, BiCS技術の進展に伴う新たな研究が必要になると考えられる。特にFe-FETに関しては現在SGT構造と組み合わせた時のドレイン電流等の電気的な特性のデータは現時点では僅かしかない状態にある。そのため本論文では数式で求められる簡単な動作速度や消費電力の評価しか出来ない。これらのデータが元になり初めて本論文で提案した各種積層型論理回路の定量的な動作速度や消費電力が見積もることが出来、本論文の提案方式の製品レベルでの評価を行うことができると考えられる。

また今後BiCS技術の進展により積層数は現在の96層より更に大きくなる可能性が高い。本論文で仮定した積層数の最大値は256層程度でそれ以上の積層数でのコストを低減できる最適設計法に関しては考慮されていない。今後の更なる研究が期待できる。

積層型論理LSIの設計技術に関してもまだ研究の初期段階にある。具体的な中規模の論理回路(多ビットのALU等)をモチーフとした低コスト化、高速化、低消費電力化の検討はまだ未着手の状況にある。基本的な論理回路としては、研究はインバータ、NAND, NOR等の基本論理回路レベルに留まっている。パスゲート、複合ゲート等の更に複雑な基本論理回路への検討が行われていない。複雑な基本論理回路での検討が必要になる。また積層型論理LSIの候補として有望なFPGAへの適用に関してもまだLUTしか考えられていない。今後現時点でLUT以上に大きなパターン面積を占有している配線用スイッチ部等への適用を考える必要がある。

また本論文では研究の範囲をデジタル動作の論理LSIに研究範囲を限定しているが、範囲を更にデジタル動作の論理LSIに広げることが考えられる。ディープラーニング用LSI[8]の基本要素としてもSGTをFe-FETとBiCS技術と組み合わせた積層型論理LSIは、非常に有望である。

かなり将来を考えると本論文では高速動作できるトランジスタの候補としていわゆる電圧駆動のFe-FETを採用したが、高速化の候補としていわゆる電流駆動の現在シミュレーションレベルに留まるスピントランジスタ[9]-[12]や現在メモリ素子に使われているPRAM[5]やReRAM[6]を用いた新たな高速トランジスタが開発される可能性がある。例えば電圧駆動と電流駆動のような新たな高速トランジスタの原理的な特性の違いのため、新たな

高速トランジスタ固有の設計法が提案される可能性がある。

更に低コスト化が可能な製造技術として本論文ではいわゆる B i C S 技術を前提としたが自己組織化等他の製造技術を用いた方式が提案される可能性がある。

従来のムーアの法則を延命させる新たな論理 L S I の候補として本論文で提案した S G T を Fe-FET と B i C S 技術と組み合わせた積層型論理 L S I 方式は現在のみならず将来にわたって極めて有望である。将来の研究開発と近未来の製品化を期待する。

第 10 章の参考文献

- [1]”EUV を適用した小形 SRAM セル、imec らが発表 “, EE Times, May, 2018.
- [2]T. Kodama, Y. Hiroshima and S. Watanabe, “Study of pattern area reduction with FinFET and SGT for LSI,” Contemporary Engineering Sciences, vol.6, no.4, pp.177-190, 2013.
- [3]T. Kodama, Y. Hiroshima, and S. Watanabe,“Proposal of independent-gate controlled double gate SGT and its application to logic circuit,” Contemporary Engineering Sciences, vol.7, no.2, pp.71-86, 2014.
- [4]吉永考司、野村稔、“3 次元 LSI 実装のための TSV 技術の研究開発動向”、Science & Technology Trends, pp.23-34, 2010.
- [5]松寺克樹、河崎一茂、“TSV 技術を用いた世界初の 16 段積層 NAND 型フラッシュメモリパッケージ”、年東芝レビュー、Vol.71,No.6, pp.20-23, 2016.
- [6] Kim, J. "The Future of Graphic and Mobile Memory for New Applications". Hot Chips 28 Tutorials. Hot Chips homepage. <[http://www hotchips. org/wp-content/uploads/hc_archives/hc28/HC28.21-TutorialEpub/HC28.21.1-Next-Gen-Memory-Epub/HC28.21.122-Next-Gen-MemGPU-Kim-SAMSUNG-v02-t1-3.pdf](http://www.hotchips.org/wp-content/uploads/hc_archives/hc28/HC28.21-TutorialEpub/HC28.21.1-Next-Gen-Memory-Epub/HC28.21.122-Next-Gen-MemGPU-Kim-SAMSUNG-v02-t1-3.pdf)>, 2016.
- [7]北田秀樹、赤松俊也、石塚剛、作山誠樹、“高性能サーバの小型高密度化を実現する 3 次元実装技術” , FUJITSU Vol.68, no.1, pp.22-29, 2017.
- [8]馬路徹, “NVIDIA の AI 用最新 GPU 技術のご紹介 ～ 伸び悩む DDR メモリーバンド幅への対応 ～” , 信学技法 ICD2018-4, 2018.
- [9]玉井翔人,渡辺重佳,“スピントランジスタを用いた積層型 NAND MRAM の読出し法の検討” 信学論 vol.J91-C, no. 11, pp. 666-667, 2008.
- [10]S. Tamai and S. Watanabe, “Design method of stacked type MRAM with NAND structured cell” ,Contemporary Engineering Sciences, vol.6, no.2, pp.69-86, 2013.
- [11]S. Tamai and S. Watanabe, ” Design method of stacked type thermally assisted MRAM with NAND structured cell” , Contemporary Engineering Sciences, vol.6,

no.4, pp.143-161, 2013.

- [12]S. Tamai and S. Watanabe, ” Analysis of bit cost for stacked type MRAM with NAND structured cell” , Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.

謝辞

本研究は湘南工科大学 工学部情報工学科 渡辺研究室在学中から現在に至るまでの恩師 渡辺重佳教授との共同研究の成果をまとめたものです。本論文をまとめるに当たり、終始、懇切な御指導と御助言を賜りました湘南工科大学 工学研究科電気情報工学専攻 渡辺重佳教授に謹んで感謝の意を表します。

また本論文の作成にあたり、論文副査として貴重な御助言、御指導をいただいた湘南工科大学 工学研究科電気情報工学専攻 二宮洋教授、中上川友樹教授、三浦康之教授に深く感謝致します。

本研究及び本論文の作成は現在在籍中の株式会社 DNP データテクノの上司、先輩、同僚の方々の御理解、御支援が無ければ実現出来ませんでした。株式会社 DNP データテクノの皆様方に謹んで感謝の意を表します。

研究業績：発表論文、口頭発表、新聞発表、解説記事、受賞

自著論文

- (1) 横田智広、渡辺重佳 “SGTによるシステムLSIのパターン面積縮小効果の検討”
電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009.(第3章)
- (2) 横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 .” 電子情報通信学会論文誌 C, vol.J99-C, no.4, pp.150-159, 2016. (第4章)
- (3) 横田智広, 渡辺重佳, “縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討 .” 電気学会論文誌 C, vol.137, no.5, pp.678-686, 2017. (第5章)
- (4) 横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET 順序回路の提案 .” 電子情報通信学会論文誌 C, vol.J99-C, no.7, pp.338-346, 2016. (第6章)
- (5) 横田智広, 渡辺重佳, “3D NAND フラッシュメモリの製造技術を用いた Fe-FET 型 組合せ回路とその評価結果用メモリを積層した不揮発性順序回路の提案.” 電子情報通信学会論文誌 C, vol.J100-C, no.10, pp.510-518, 2017. (第7章)
- (6) 横田智広, 渡辺重佳, “3D NAND フラッシュメモリの製造技術を用いた縦型垂直積層トランジスタによって構成された CMOS NAND/NOR 回路の提案.” 電子情報通信学会論文誌 C, vol.J100-C, no.4, pp.168-173, 2017. (第8章)

その他の論文

- (1) T. Yokota and S. Watanabe, “Analysis of pattern area reduction for logic circuit and system LSI with SGT,” Contemporary Engineering Sciences, vol.8, no.13, pp.589-601, 2015.
- (2) T. Yokota and S. Watanabe, “Proposal of stacked type Fe-FET reconfigurable logic circuit featured with parallel processing within one silicon pillar using modified process technology of 3D NAND flash memory,” Contemporary Engineering Sciences, vol.11, no.20, pp.983-993, 2018.

- (3) T. Yokota and S. Watanabe, “A novel horizontal channel NAND structure for vertically stacked type system LSL,” Contemporary Engineering Sciences, vol.10, no.23, pp.1123-1132, 2017.
- (4) T. Yokota and S. Watanabe, “Circuit design of 2-input reconfigurable dynamic logic based on stacked type Fe-FET with whole set of 16 functions,” Contemporary Engineering Sciences, vol.10, no.23, pp.1133-1142, 2017.

口頭発表

- (1) 渡辺重佳,横田智広, “多段積層型トランジスタ構造を用いた FE-FET NAND 論理の提案とそのロジック L S I への適用検討”、電子情報通信学会 SDM 研究会 信学技報 SDM2016-36, pp.21-26, June 2016.
- (2) 渡辺重佳,横田智広,玉井翔人,佐藤匠, “多段積層型トランジスタ構造を用いた FE-FET NAND 論理の提案とその組み合わせ回路、フリップフロップ、L U T への適用検討”、電子情報通信学会 RECONF 研究会 信学技報 RECONF2016-29, pp.23-28,June. 2016.
- (3) 渡辺重佳,横田智広,玉井翔人,佐藤匠, “3次元型NANDフラッシュメモリの製造技術を用いた再構成可能なシステム L S I の設計法”、電子情報通信学会 RECONF 研究会 信学技報 RECONF2017-28, pp.37-42, Sep. 2017.

新聞発表

- (1) 微細化の限界を克服：微細化せず実現、3Dメモリー製造技術転用、最大1/100にコスト低減、湘南工大、大規模システムLSI” 日刊工業新聞 2016年3月17日 第27面（自著論文3に関する新聞発表）
- (2) “新システムLSIの設計法、湘南工大が提案、微細化せず大容量化” 電波新聞 2016年3月21日第3面（自著論文3に関する新聞発表）
- (3) ”（新技術）多段積層縦型トランジスタ構造のロジックLSI 湘南工科大の渡辺教授らが提案、大容量で低コスト化実現” 電波新聞 2016年5月12日第12-13面（自著論文3に関する新聞発表）

- (4) ”(新技術)平面型トランジスタの微細化限界を克服する新システムLSI用順序回路の設計法提案、湘南工科大学”電波新聞 2016年7月21日第14-15面(自著論文3,5に関する新聞発表)
- (5) “(新技術)3次元型NANDフラッシュメモリーの製造技術を利用、高速・低コストシステムLSI設計法を提案、湘南工科大学”電波新聞 2016年10月20日第14面(自著論文3,5に関する新聞発表)
- (6) “製造コスト30%以下に：システムLSI回路設計 縦型トランジスタ積層”日刊工業新聞 2017年2月24日 第25面(自著論文5に関する新聞発表)

解説記事

- (1) 渡辺重佳,横田智広,玉井翔人,佐藤匠,“ムーアの法則以降の新しい半導体メモリとトランジスタの技術動向”湘南工科大学紀要 vol.50, no.1, pp.39-47, 2016.

受賞

- (1) 横田智広,渡辺重佳,「“縦型トランジスタ構造を用いた階層積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.”電気学会論文誌 C, vol.137, no.5, pp.678-686, 2017.」平成30年電気学会、平成30年 電子・情報・システム部門誌優秀論文賞(自著論文4に関する受賞)